



به نام خدا



دانشگاه تهران

دانشکده مهندسی برق و کامپیوتر

VLSI

گزارش پروژه اول

نام و نام خانوادگی	امیرحسام جعفری راد
شماره دانشجویی	۸۱۰۱۰۰۲۴۷
تاریخ ارسال گزارش	

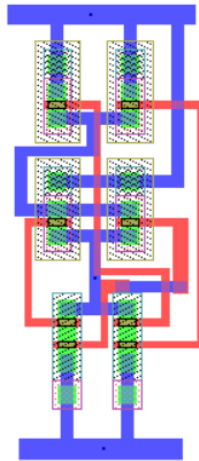
فهرست

بخش اول: L-Edit ..... ۲

بخش دوم: S-Edit ..... ۶

## بخش اول: L-Edit

۱- در این بخش هدف طراحی layout مدار یک گیت XOR دو ورودی می باشد. طبق خواسته صورت پروژه نواحی دیفیوژن مشترک بین ترانزیستورهای سری با هم متصل شده اند. طرح layout نهایی بصورت زیر در نرم افزار L-Edit انجام شده است:



فایل خروجی sp. نیز به شرح زیر می باشد:

```
Cpar1 ~B 0 C=3.6f
Cpar2 GND 0 C=144.702f
Cpar3 OUT 0 C=124.878f
Cpar4 4 0 C=162.285f
Cpar5 VDD 0 C=188.346f
* Warning: Node A has zero nodal parasitic capacitance.
* Warning: Node B has zero nodal parasitic capacitance.
Cpar6 8 0 C=17.721f
Cpar7 9 0 C=17.721f
* Warning: Node ~A has zero nodal parasitic capacitance.

M1 4 A VDD VDD PMOS L=2.5u W=6u AD=39p PD=25u AS=39p PS=25u
* M1 DRAIN GATE SOURCE BULK (199 40 205 42.5)
M2 4 B VDD VDD PMOS L=2.5u W=6u AD=39p PD=25u AS=39p PS=25u
* M2 DRAIN GATE SOURCE BULK (225 40 231 42.5)
M3 OUT ~B 4 VDD PMOS L=2.5u W=6u AD=39p PD=25u AS=39p PS=25u
* M3 DRAIN GATE SOURCE BULK (225 -2 231 0.5)
M4 OUT ~A 4 VDD PMOS L=2.5u W=6u AD=39p PD=25u AS=39p PS=25u
* M4 DRAIN GATE SOURCE BULK (199 -2 205 0.5)
M5 GND ~B 9 GND NMOS L=2.5u W=6u AD=51p PD=29u AS=16.5p PS=11.5u
* M5 DRAIN GATE SOURCE BULK (202.5 -45.5 208.5 -43)
M6 GND B 8 GND NMOS L=2.5u W=6u AD=51p PD=29u AS=16.5p PS=11.5u
* M6 DRAIN GATE SOURCE BULK (224 -45.5 230 -43)
M7 8 A OUT GND NMOS L=2.5u W=6u AD=16.5p PD=11.5u AS=39p PS=25u
* M7 DRAIN GATE SOURCE BULK (224 -37.5 230 -35)
M8 9 ~A OUT GND NMOS L=2.5u W=6u AD=16.5p PD=11.5u AS=39p PS=25u
* M8 DRAIN GATE SOURCE BULK (202.5 -37.5 208.5 -35)
```

همانطور که مشاهده می شود در این فایل ۸ ترانزیستور (۴ عدد nmos و ۴ عدد pmos) و ۶ خازن پارازیتی وجود دارد که خازن ها طبق تنظیمات داخل برنامه ظرفیت های بالای ۱ میکروفاراد دارند.

۲- با اضافه کردن کدهای خواسته شده جهت سیمولیت کردن مدار می‌توان نمودار خروجی و رفتار

مدار را تحلیل و مشاهده نمود. قطعه کدهای مورد نیاز به شرح زیر میباشد:

```
*****library*****
.inc 0.5micron.lib
*****

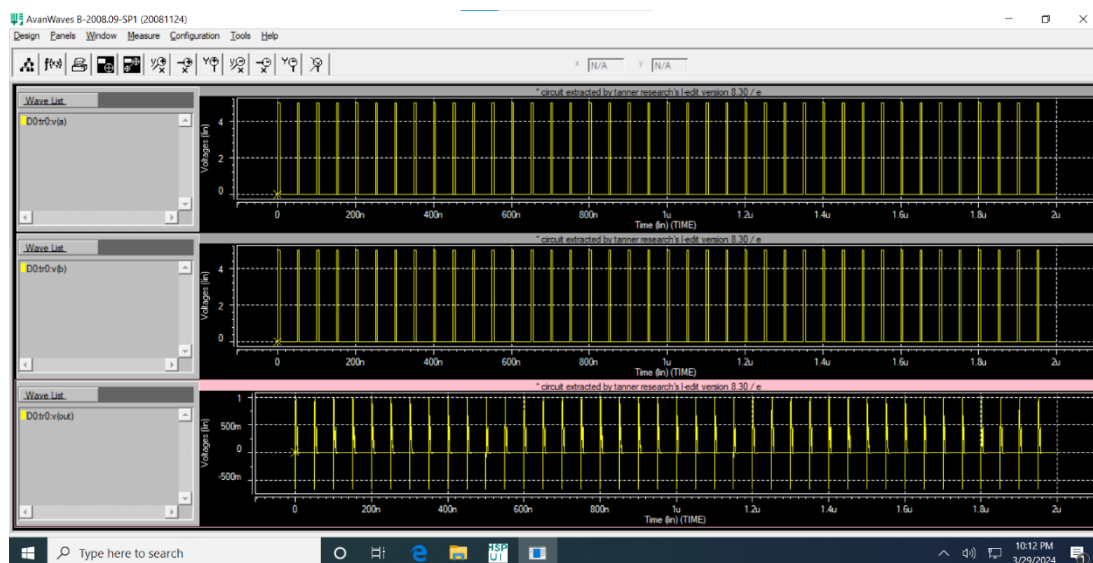
*****Inputs*****
Vcc VDD GND DC 5
Vpulse_A A 0 PULSE(0 5 0 1ps 1ps 5ns 50ns)
Vpulse_B B 0 PULSE(5 0 0 1ps 1ps 5ns 50ns)
Vpulse_A1 ~A 0 PULSE(5 0 0 1ps 1ps 5ns 50ns)
Vpulse_B1 ~B 0 PULSE(0 0 0 1ps 1ps 5ns 50ns)
*****

*****
.op
.tran 1ns 2us
.options post=2
.measure tran power_avg AVG power from=0n to=160n
*****
```

Input		output
A	B	$C = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

همچنین با توجه جدول صحت گیت XOR میتوان دو حالت مختلف که ورودی های A و B با یکدیگر برابر و متفاوت باشند را مشاهده نمود که خروجی به ترتیب برابر با ۰ ولت و ۵ ولت (۱ منطقی) خواهد شد.

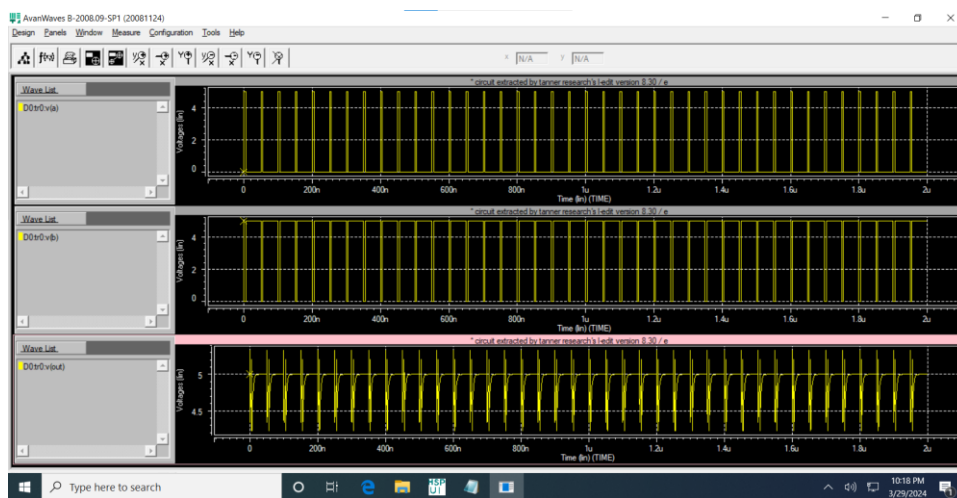
(حالت اول)



```
*****Inputs*****
Vcc VDD GND DC 5
Vpulse_A A 0 PULSE(0 5 0 1ps 1ps 5ns 50ns)
Vpulse_B B 0 PULSE(0 5 0 1ps 1ps 5ns 50ns)
Vpulse_A1 ~A 0 PULSE(5 0 0 1ps 1ps 5ns 50ns)
Vpulse_B1 ~B 0 PULSE(5 0 0 1ps 1ps 5ns 50ns)
*****
```

همانطور که انتظار میرفت با یکسان بودن ورودی ها خروجی صفر میشود. علت نویز های بوجود آمده نیز خازن های پارازیتی میباشد. همچنین برای دقت بیشتر میتوان تناوب ورودی ها را که به عنوان سیگنال پالسی تعریف شده اند بیشتر کرد.

حالت دوم)



```
*****Inputs*****
Vcc VDD GND DC 5
Vpulse_A A 0 PULSE(0 5 0 1ps 1ps 5ns 50ns)
Vpulse_B B 0 PULSE(5 0 0 1ps 1ps 5ns 50ns)
Vpulse_A1 ~A 0 PULSE(5 0 0 1ps 1ps 5ns 50ns)
Vpulse_B1 ~B 0 PULSE(0 5 0 1ps 1ps 5ns 50ns)
*****
```

مطابق انتظار با متفاوت کردن ورودی ها خروجی عبارت ۱ منطقی (۵ ولت) خواهد شد.

با توجه به اینکه در طراحی کردن مدار توجهی به pull up و pull down نشده و ابعاد ترانزیستور ها بدون توجه به این وضعیت میباشد، ابعاد ترانزیستور ها همه با هم یکسان و با طول ۲.۵ میکرومتر و عرض ۶ میکرومتر میباشند.

اطلاعات ترانزیستور ها و خازن های مهم نیست به شرح زیر است:

```

Cpar1 ~B 0 C=3.6f
Cpar2 GND 0 C=144.702f
Cpar3 OUT 0 C=124.878f
Cpar4 4 0 C=162.285f
Cpar5 VDD 0 C=188.346f
* Warning: Node A has zero nodal parasitic capacitance.
* Warning: Node B has zero nodal parasitic capacitance.
Cpar6 8 0 C=17.721f
Cpar7 9 0 C=17.721f
* Warning: Node ~A has zero nodal parasitic capacitance.

M1 4 A VDD VDD PMOS L=2.5u W=6u AD=39p PD=25u AS=39p PS=25u
* M1 DRAIN GATE SOURCE BULK (199 40 205 42.5)
M2 4 B VDD VDD PMOS L=2.5u W=6u AD=39p PD=25u AS=39p PS=25u
* M2 DRAIN GATE SOURCE BULK (225 40 231 42.5)
M3 OUT ~B 4 VDD PMOS L=2.5u W=6u AD=39p PD=25u AS=39p PS=25u
* M3 DRAIN GATE SOURCE BULK (225 -2 231 0.5)
M4 OUT ~A 4 VDD PMOS L=2.5u W=6u AD=39p PD=25u AS=39p PS=25u
* M4 DRAIN GATE SOURCE BULK (199 -2 205 0.5)
M5 GND ~B 9 GND NMOS L=2.5u W=6u AD=51p PD=29u AS=16.5p PS=11.5u
* M5 DRAIN GATE SOURCE BULK (202.5 -45.5 208.5 -43)
M6 GND B 8 GND NMOS L=2.5u W=6u AD=51p PD=29u AS=16.5p PS=11.5u
* M6 DRAIN GATE SOURCE BULK (224 -45.5 230 -43)
M7 8 A OUT GND NMOS L=2.5u W=6u AD=16.5p PD=11.5u AS=39p PS=25u
* M7 DRAIN GATE SOURCE BULK (224 -37.5 230 -35)
M8 9 ~A OUT GND NMOS L=2.5u W=6u AD=16.5p PD=11.5u AS=39p PS=25u
* M8 DRAIN GATE SOURCE BULK (202.5 -37.5 208.5 -35)

```

همچنین توان مصرفی مدار نیز از طریق رابطه زیر در فایل sp. بدست می آید:

```

.measure tran power_avg AVG power from=0n to=160n
*****

```

خروجی:

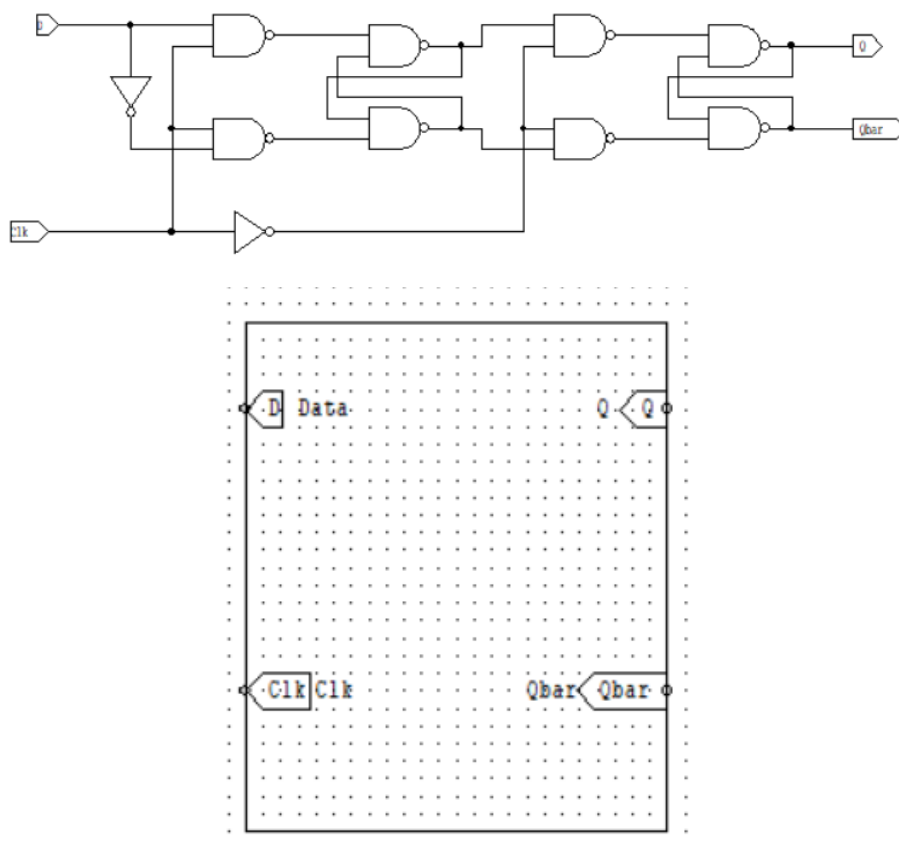
```

***** transient analysis tnom= 25.000 temp= 25.000 *****
power_avg= 84.5397u from= 0. to= 160.0000n

```

## بخش دوم: S-Edit

۱- هدف این بخش طراحی در سطح گیت لول بصورت شماتیک و سمبلیک یک D flip-flop است. تصاویر زیر به ترتیب شماتیک و سمبل یک D flip-flop که بصورت Master-Slave طراحی شده میباشد:

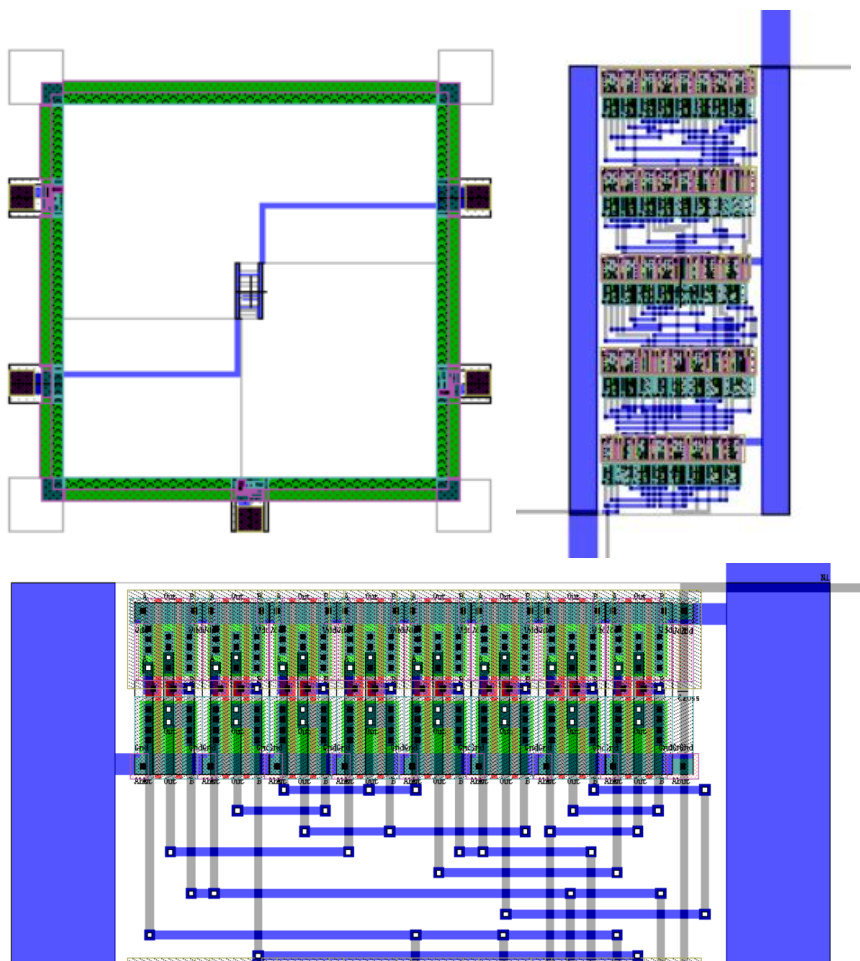


۲- در این بخش با استفاده از cascade کردن ماژول طراحی شده D flip-flop در بخش قبل یک شیفت رجیستر ۴ بیتی تحت عنوان ShR4bit طراحی میشود که به صورت زیر است:



نکته مهم در این بخش قرار دادن پد برای ورودی خروجی است که برای cascade کردن باید قرار داده شود.

۳- در این بخش هدف مشاهده layout مدار طراحی شده بصورت ماژول در نرم افزار L-Edit میپردازیم. تصویر فوق طرح مذکور میباشد که بصورت یک IC طراحی شده است.

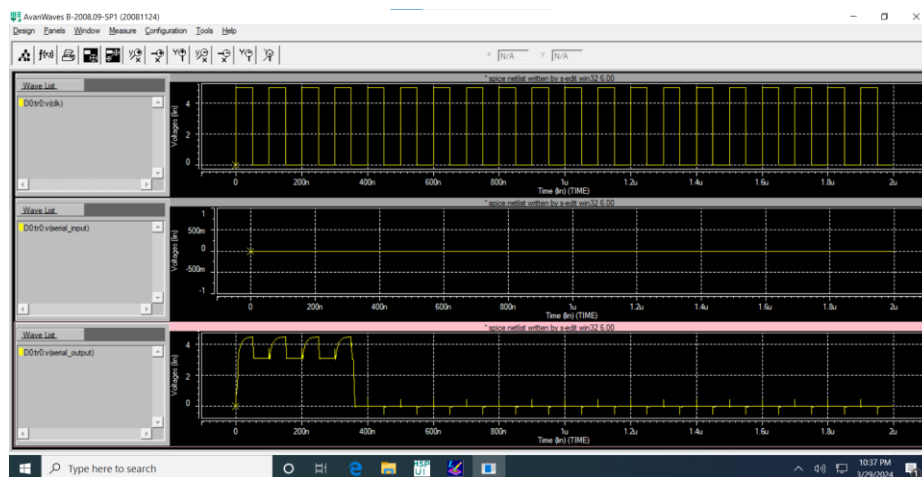


۴- هدف این بخش تست و تحلیل ماژول ساخته شده میباشد که برای این منظور کد های زیر به فایل .sp اضافه شده اند:

```
*****library*****
.inc 0.5micron.lib
*****
.PARAM l = 0.5u

*****Inputs*****
Vpulse Clk 0 PULSE(0 5 0 1ps 1ps 50ns 100ns)
VserIn Serial_Input 0 DC 0
*****
```

انتظار میرود با اعمال ورودی ۰ ولت پس از انجام ۴ سایکل کلاک خروجی نیز مقدار ۰ ولت را بگیرد.



همانطور که انتظار داشتیم خروجی پس از ۴ کلاک مقدار ۰ را گرفته است و چون ورودی دائما ۰ است خروجی نیز تا آخر مقدار ۰ خواهد ماند. همچنین میتوان با افزایش تناوب ورودی و اضافه کردن خازن به خروجی نویز و شارژ و دشارژ شدن خازن را کاهش داد.