|  |  |  |
| --- | --- | --- |
|  | به نام خدا |  |
| **دانشگاه تهران**  **دانشکده‌ مهندسی برق و کامپیوتر**  **VLSI**  **گزارش** **پروژه‌ اول** | | |

|  |  |
| --- | --- |
| امیرحسام جعفری راد | نام و نام خانوادگی |
| 810100247 | شماره‌ دانشجویی |
|  | تاریخ ارسال گزارش |

­

فهرست

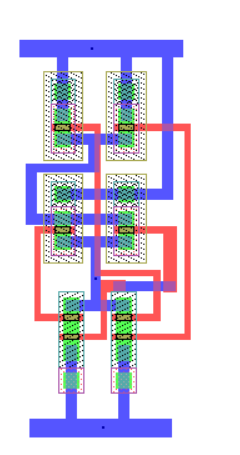
[بخش اول: L-Edit 2](#_Toc162644498)

[بخش دوم: S-Edit 6](#_Toc162644499)

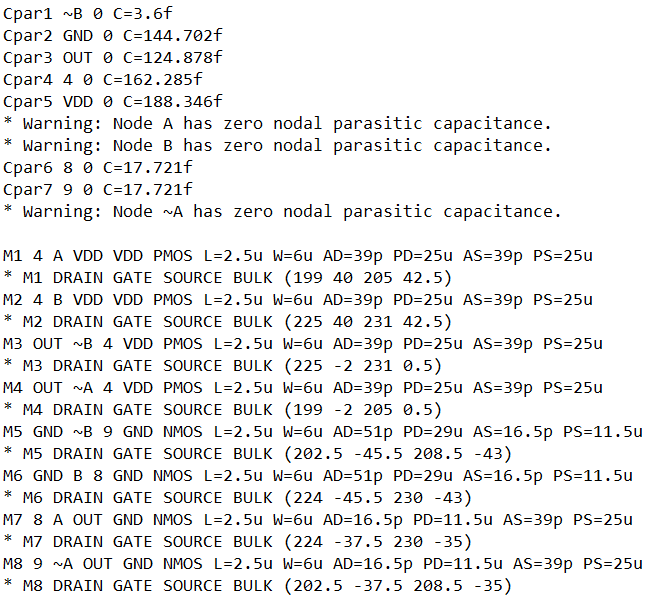
# بخش اول: L-Edit

1. در این بخش هدف طراحی layout مدار یک گیت XOR دو ورودی می‌باشد. طبق خواسته صورت پروژه نواحی دیفیوژن مشترک بین ترانزیستور های سری با هم متصل شده اند.

طرح layout نهایی بصورت زیر در نرم‌افزار L-Edit انجام شده است:

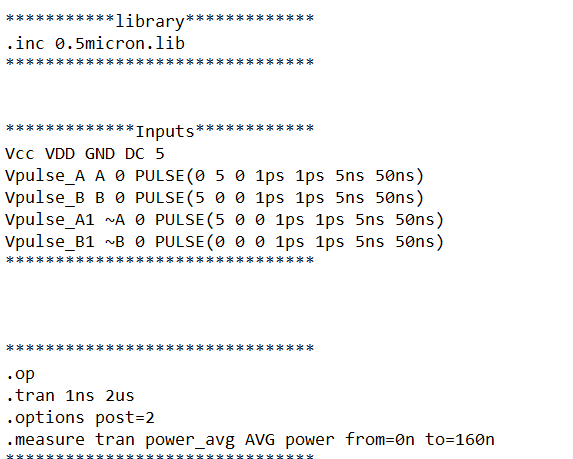


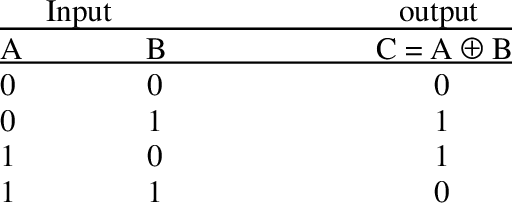
فایل خروجی .sp نیز به شرح زیر می‌باشد:

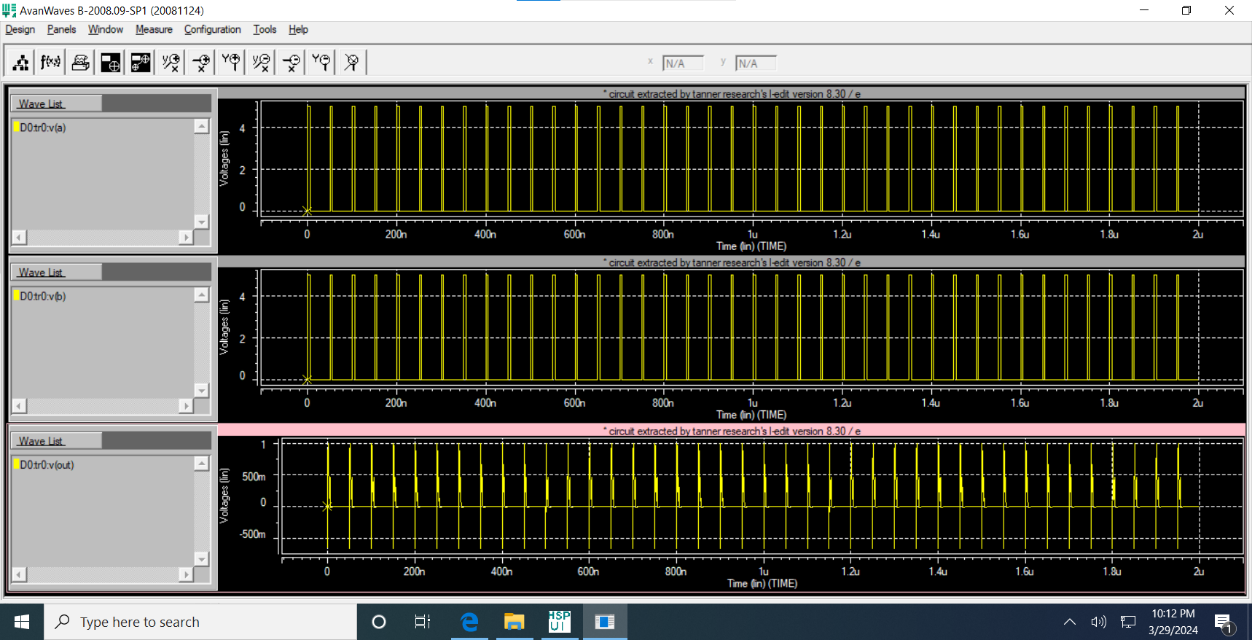


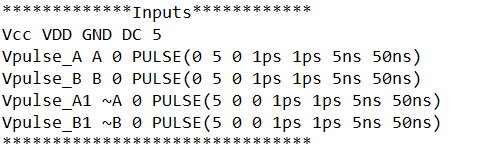
همانطور که مشاهده می‌شود در این فایل 8 ترانزیستور(4 عدد nmos و 4 عدد pmos) و 6 خازن پارازیتی وجود دارد که خازن ها طبق تنظیمات داخل برنامه ظرفیت های بالای 1 میکروفاراد دارند.

1. با اضافه کردن کد های خواسته شده جهت سیمولیت کردن مدار می‌توان نمودار خروجی و رفتار مدار را تحلیل و مشاهده نمود. قطعه کد های مورد نیاز به شرح زیر میباشد:



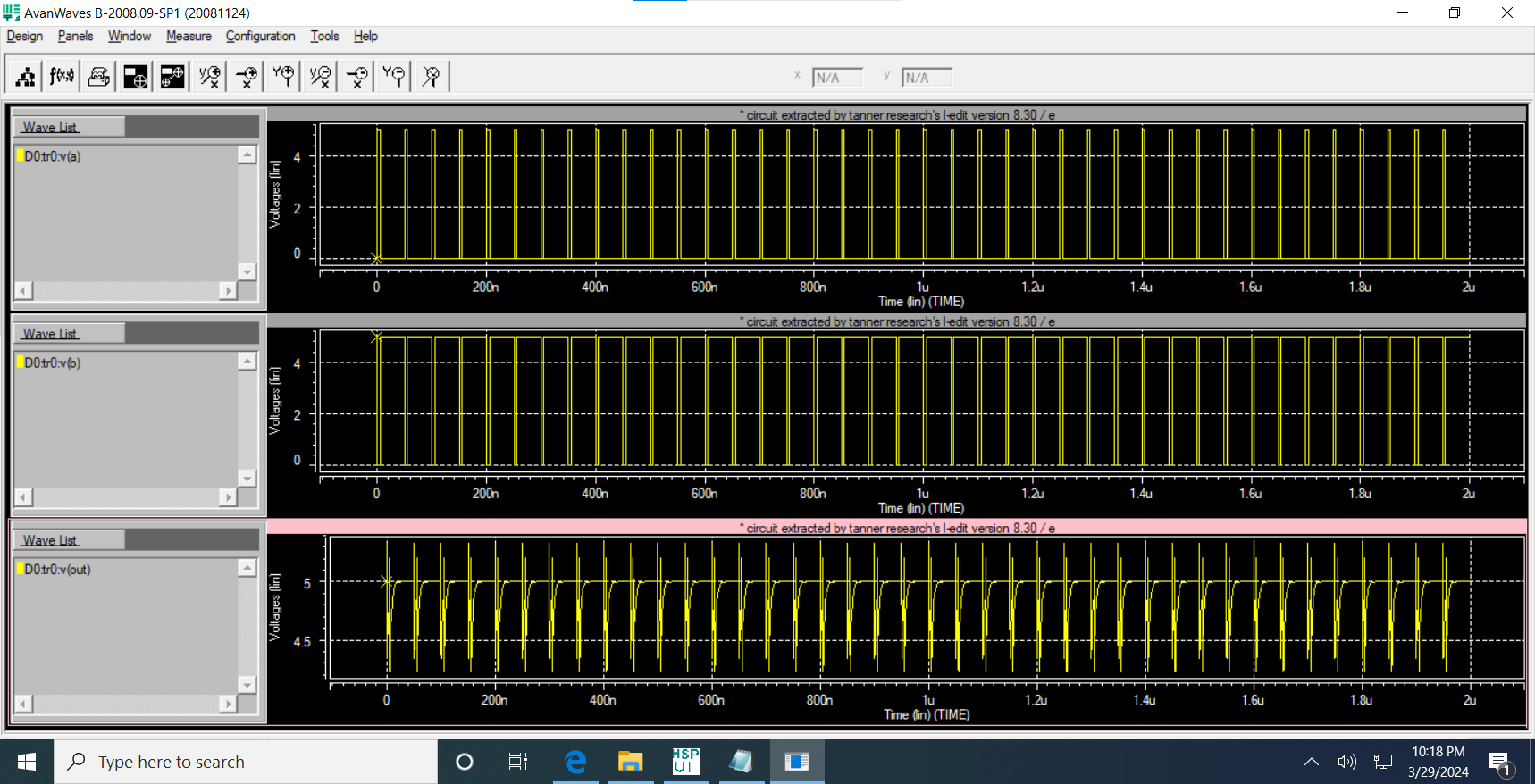
همچنین با توجه جدول صحت گیت XOR میتوان دو حالت مختلف که ورودی های A و B با یکدیگر برابر و متفاوت باشند را مشاهده نمود که خروجی به ترتیب برابر با 0 ولت و 5 ولت (1 منطقی) خواهد شد.

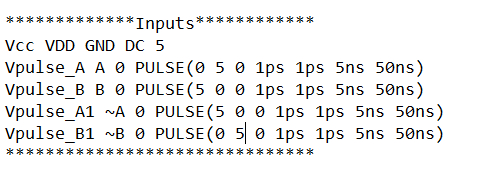
**حالت اول)**



همانطور که انتظار میرفت با یکسان بودن ورودی ها خروجی صفر میشود. علت نویز های بوجود آمده نیز خازن های پارازیتی میباشد. همچنین برای دقت بیشتر میتوان تناوب ورودی ها را که به عنوان سیگنال پالسی تعریف شده اند بیشتر کرد.

**حالت دوم)**

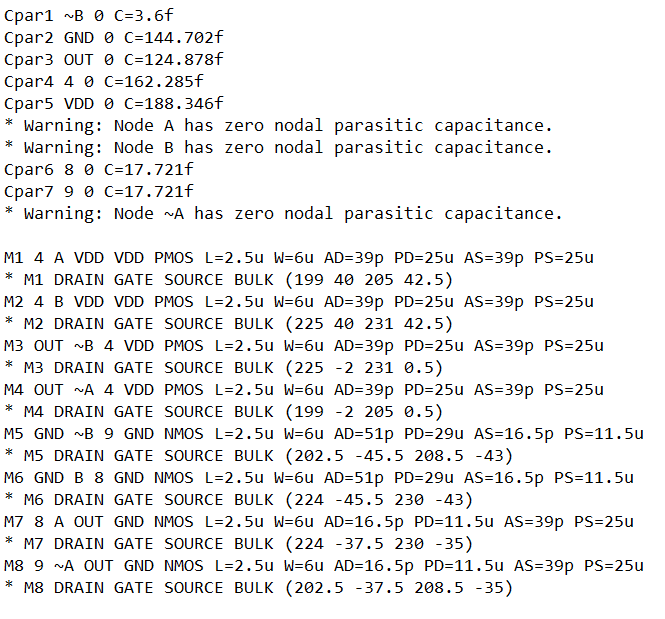




مطابق انتظار با متفاوت کردن ورودی ها خروجی عبارت 1 منطقی (5 ولت) خواهد شد.

با توجه به اینکه در طراحی کردن مدار توجهی به pull up و pull down نشده و ابعاد ترانزیستور ها بدون توجه به این وضعیت میباشد، ابعاد ترانزیستور ها همه با هم یکسان و با طول 2.5 میکرومتر و عرض 6 میکرومتر میباشند.

اطلاعات ترانزیستور ها و خازن های مهم نیست به شرح زیر است:



همچنین توان مصرفی مدار نیز از طریق رابطه زیر در فایل .sp بدست می آید:



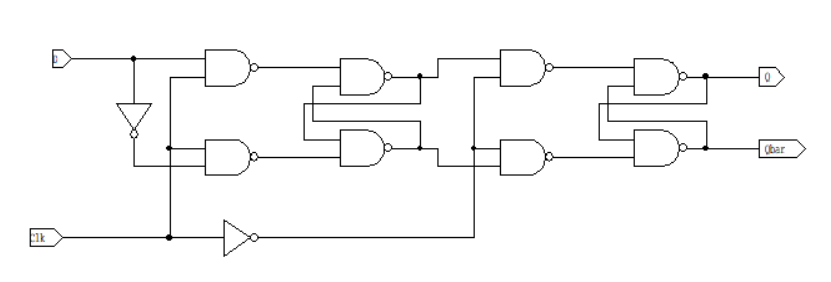
خروجی:

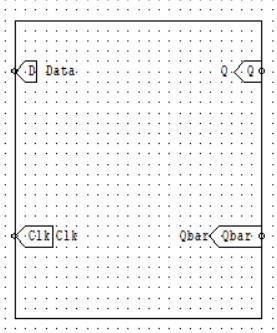


# بخش دوم: S-Edit

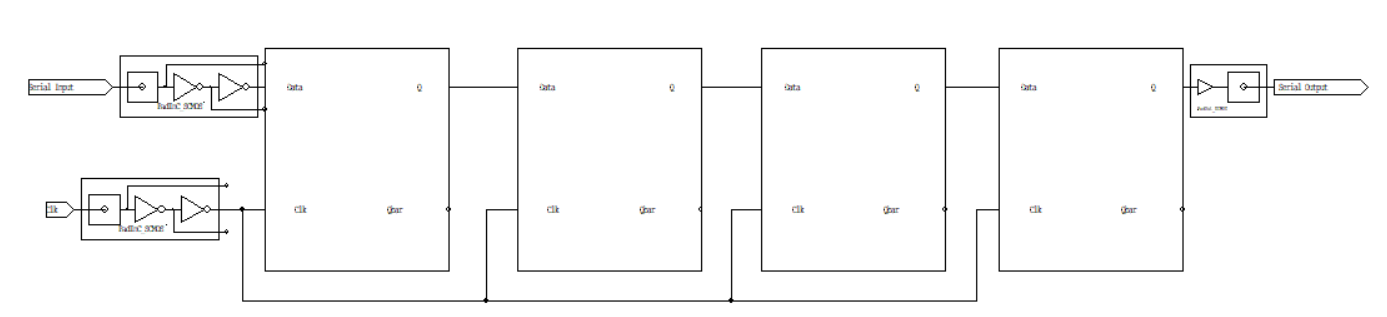
1. هدف این بخش طراحی در سطح گیت لول بصورت شماتیک و سمبلیک یک D flip-flop است.

تصاویر زیر به ترتیب شماتیک و سمبل یک D flip-flop که بصورت Master-Slave طراحی شده میباشد:



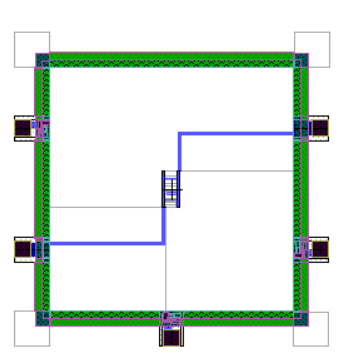
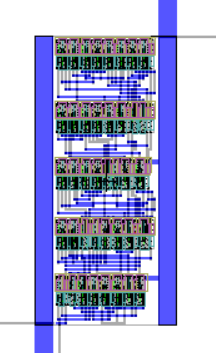


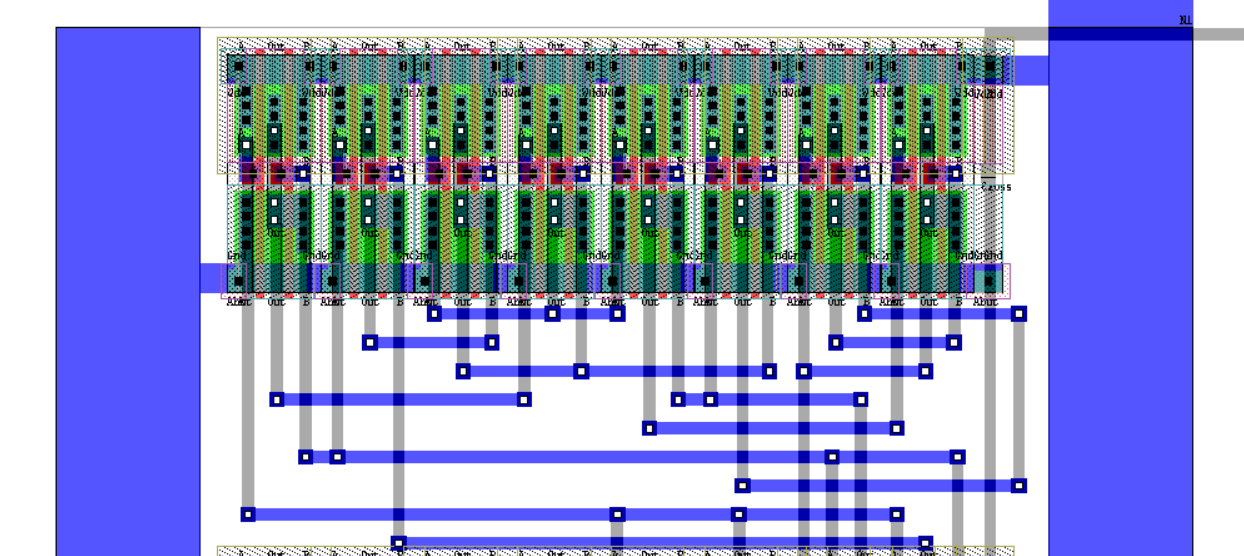
1. در این بخش با استفاده از castcade کردن ماژول طراحی شده D flip-flop در بخش قبل یک شیفت رجیستر 4 بیتی تحت عنوان ShR4bit طراحی میشود که به صورت زیر است:



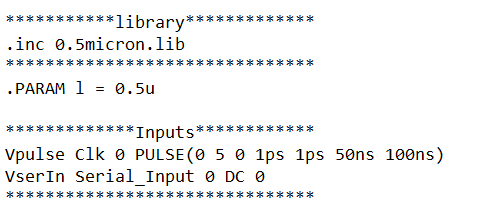
نکته مهم در این بخش قرار دادن پد برای ورودی خروجی است که برای castcade کردن باید قرار داده شود.

1. در این بخش هدف مشاهده layout مدار طراحی شده بصورت ماژول در نرم‌افزار L-Edit میپردازیم. تصویر فوق طرح مذکور میباشد که بصورت یک IC طراحی شده است.

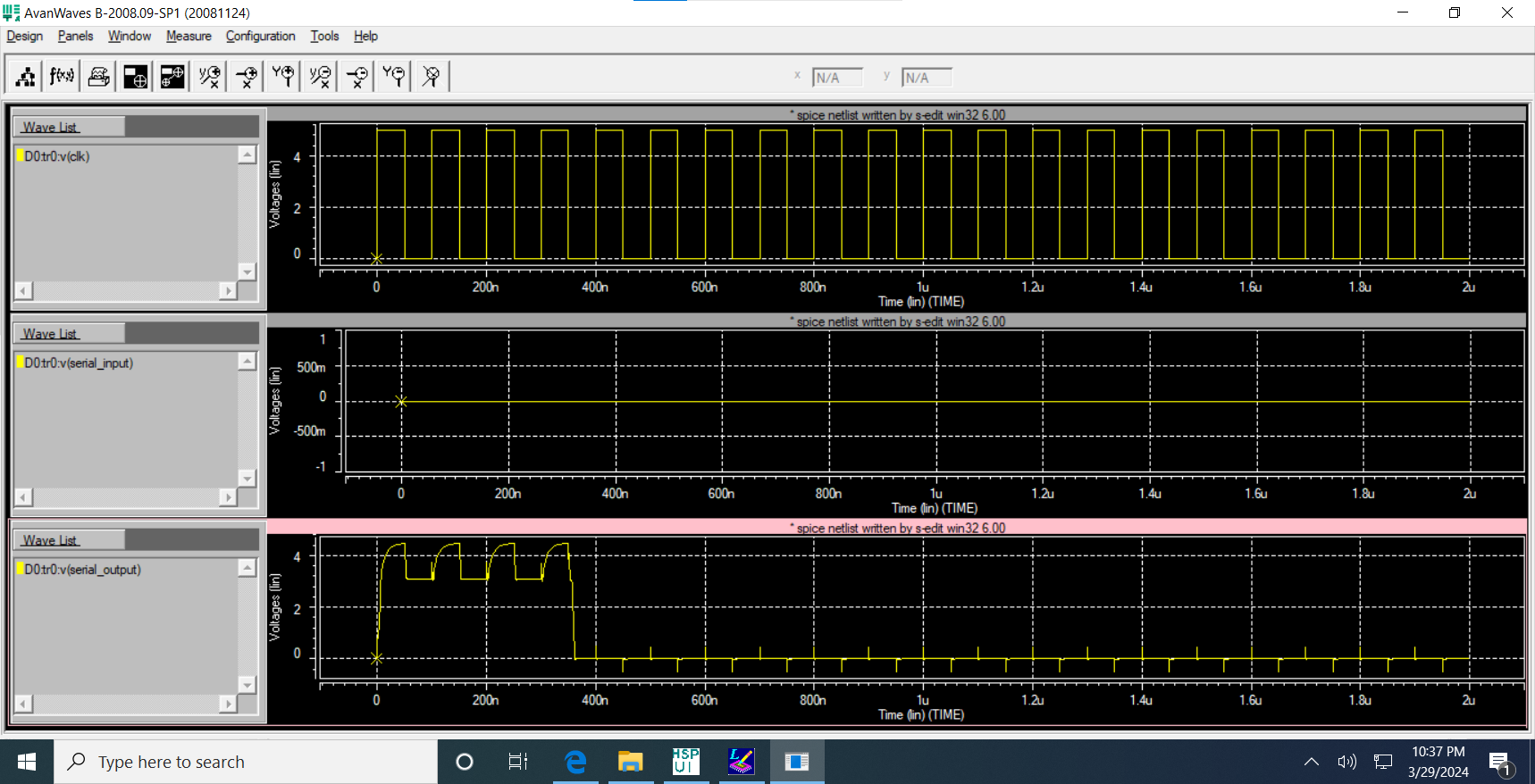




1. هدف این بخش تست و تحلیل ماژول ساخته شده میباشد که برای این منظور کد های زیر به فایل .sp اضافه شده اند:



انتظار میرود با اعمال ورودی 0 ولت پس از انجام 4 سایکل کلاک خروجی نیز مقدار 0 ولت را بگیرد.



همانطور که انتظار داشتیم خروجی پس از 4 کلاک مقدار 0 را گرفته است و چون ورودی دائما 0 است خروجی نیز تا اخر مقدار 0 خواهد ماند. همچنین میتوان با افزایش تناوب ورودی و اضافه کردن خازن به خروجی نویز و شارژ و دشارژ شدن خازن را کاهش داد.