

توضیحات آزمایش سوم

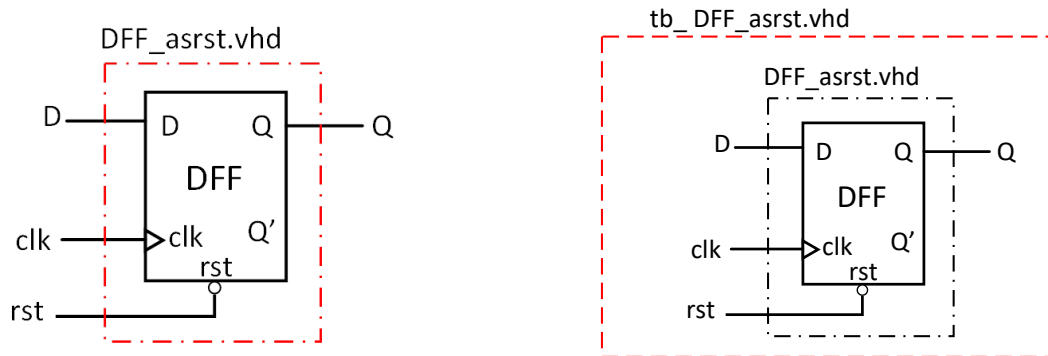
در هنگام نوشتن کد، حتماً نام متغیرهای ورودی و خروجی باید مشابه توضیحات زیر باشد و تنها نام سیگنال‌های میانی می‌تواند متفاوت باشد.

برای طراحی فلیپ فلاپ‌ها و ماشین‌های حالت از process که حساس به کلاک و سیگنال‌های کنترلی مانند reset است استفاده کنید. در بدنه Process از دستورات ترتیبی مانند if, when case, for و یا wait می‌توانید استفاده کنید.

۱- یک فلیپ‌فلاپ از نوع D(DFF) حساس به لبه بالارونده پالس ساعت با سیگنال Reset ناهمگام (asynchronous) در منطق منفی (active low) طراحی کنید. نام فایل‌ها و Entity‌ها و پورت‌های ورودی و خروجی را مانند شکل‌های زیر انتخاب کنید. ورودی‌ها و خروجی‌ها از نوع std_logic باشند.

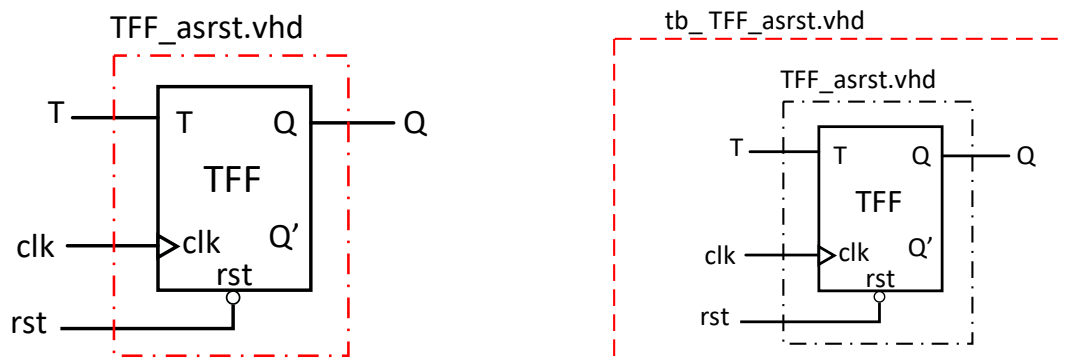
برای وضعیت کلاک می‌توان از توابع زیر که در بسته IEEE std_logic_1164 تعریف شده است استفاده کرد.

- rising_edge(clk) برای بررسی وضعیت لبه بالارونده سیگنال کلاک
- falling_edge(clk) برای بررسی وضعیت لبه بالارونده سیگنال کلاک
- -clk'event and clk='1' (or '0') برای بررسی وضعیت سطح '1' (و یا '0') سیگنال کلاک



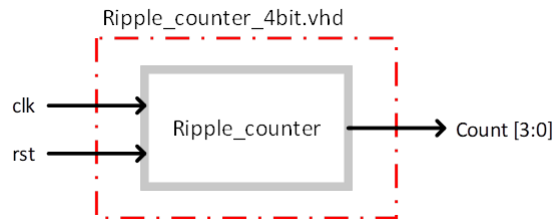
شکل ۱: فلیپ فلاپ نوع D با سیگنال reset غیرهمگام و منطق low active

۲- یک فلیپ‌فلاپ از نوع T(TFF) حساس به لبه پایین رونده پالس ساعت و سیگنال Reset ناهمگام (asynchronous) در منطق منفی و حس (active low) طراحی کنید. در شکل زیر می‌توانید پورت‌های ورودی و خروجی و نام Entity و فایل را مشاهده کنید. ورودی‌ها و خروجی‌ها از نوع std_logic باشند.



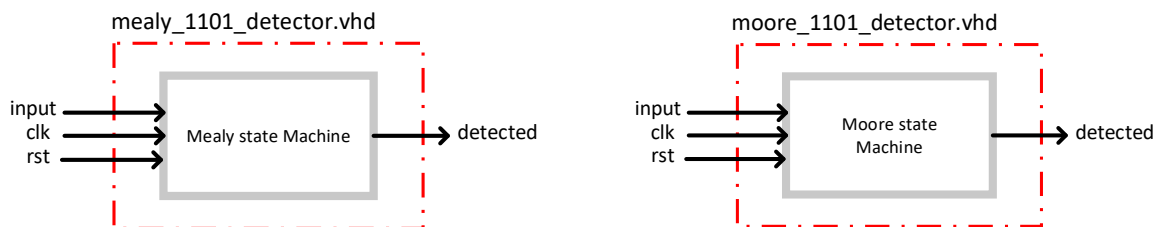
شکل ۲: فلیپ فلاپ نوع T با سیگنال reset غیرهمگام و منطق low active

۳- یک Ripple Counter ۴ بیتی که نمونه‌ای از شمارنده‌های ناهمگام می‌باشد را با استفاده از TFF ساخته شده در (۲) طراحی کنید. ورودی‌ها از نوع std_logic و خروجی از نوع std_logic_vector باشند.



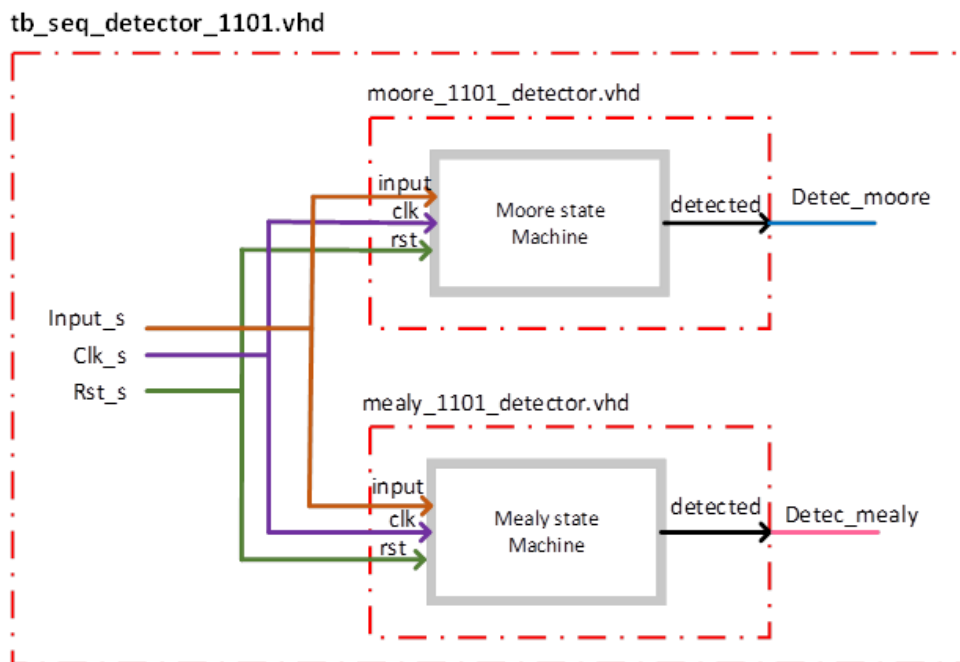
شکل ۳: ماژول شمارنده carry ripple چهار بیتی

۴- مدار یک Sequence detector برای رشته "1101" با قابلیت همپوشانی را ابتدا به صورت Mealy و سپس Moore طراحی کرده و آن را با استفاده از زبان VHDL طراحی کنید. ابتدا ماشین حالت Mealy و Moore و جدول صحت را برای شناسایی رشته بیتی ۱۱۰۱ را طراحی کرده و سپس مدار آن را به صورت ماژول‌های زیر طراحی کنید. ورودی‌ها و خروجی‌های مدار از نوع std_logic باشند.



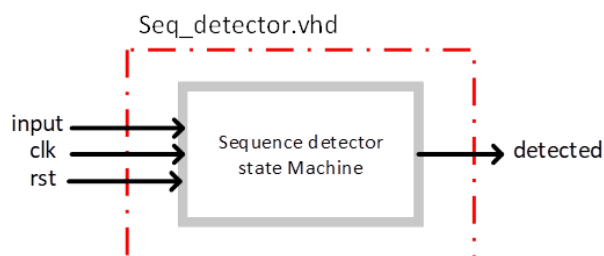
شکل ۴: ماژول‌ها و پورت‌های ورودی و خروجی sequence detector های mealy و Moore

برای تست این دو ماژول از یک فایل testbench استفاده کنید. برای این کار سیگنال‌های ورودی یکسان را به هر دو ماژول داده و سیگنال خروجی را با هم مقایسه کنید.



شکل ۵: ماژول تست sequence detector ماشین حالت میلی و مور به صورت همزمان

۵- مداری طراحی کنید که رخداد هر یک از دو رشته " 0110 " و " 0101 " را با قابلیت همپوشانی در ورودی تشخیص دهد (به دلخواه Mealy و یا Moore طراحی کنید). ورودی‌ها و خروجی‌های مدار از نوع std_logic باشند. ماشین حالت mealy و یا moore و جدول صحت را برای شناسایی رشته بیتی طراحی کنید.



شکل ۶: ماژول و پورت‌های ورودی و خروجی sequence detector