


نیمسال دوم ۱۴۰۱-۱۴۰۲	طراحی پردازنده معماری کامپیوتر	 دانشکده‌های مهندسی برق و کامپیوتر دانشگاه صنعتی خواجه نصیرالدین طوسی

هدف از این آزمون طراحی و پیاده‌سازی چندمرحله‌ی (Muti-Cycle) یک پردازنده با ویژگی‌های زیر است. پردازنده دارای داده‌ی ۸ بیتی و آدرس ۱۳ بیتی است. حافظه دارای گنجایش  $8 \times 8192$  بیت است، دستورات ۸ یا ۱۶ بیتی هستند و تمام opcode ها ۳ یا ۴ بیت طول دارند. پردازنده دارای رجیسترهای زیر است:

- یک Instruction Register (IR)
- چهار رجیستر Accumulator (AC3, AC2, AC1, AC0) که رجیسترفایل پردازنده را تشکیل می‌دهند
- یک رجیستر ۱۳ بیتی PC
- یک رجیستر ۱۳ بیتی Temporary (TR)
- یک رجیستر ۵ بیتی Direction Register (DI)
- یک رجیستر ۳ بیتی Status Register (CZN)
- یک ALU ۸ بیتی


پردازنده چهار دستور Address Instruction دارد که ۲ بایتی (۳ بیت Opcode و ۱۳ بیت آدرس) است. بخش رتبه‌ی بالای آدرس (۵ بیت) در اولین بایت دستور (۵ بیت رتبه‌ی پایین دستور) قرار می‌گیرد و ۸ بیت رتبه‌ی پایین آدرس در بایت بعدی دستور قرار می‌گیرد. این دستورات عبارتند از LDA, STA, ADA, ANA.

دستور Addressed Jump ۲ بایتی (۳ بیت Opcode و ۱۳ بیت آدرس) است. بخش رتبه‌ی بالای آدرس (۵ بیت) در اولین بایت دستور (۵ بیت رتبه‌ی پایین دستور) قرار می‌گیرد و ۸ بیت رتبه‌ی پایین آدرس در بایت بعدی دستور قرار می‌گیرد. نوع پرش در دستور JMP بر اساس بیت‌های 1:2 از رجیستر DI مشخص می‌شود.

پردازنده چهار دستور Accumulator Instruction دارد که روی رجیسترهای رجیسترفایل عمل می‌کند. این دستورات یک بایتی بوده و دارای Opcode ۴ بیتی هستند. رجیسترهای مبدا و مقصد به ترتیب با بیت‌های 1:0 و 3:2 دستور مشخص می‌شوند. این دستورات عبارتند از MVR (محتویات رجیستر مبدا را به رجیستر مقصد منتقل می‌کند)، ADR (حاصل جمع رجیسترهای مبدا و مقصد را به رجیستر مقصد منتقل می‌کند) و دستورات ANR (برای and رجیسترهای مبدا و مقصد) و ORR (برای or رجیسترهای مبدا و مقصد).

پردازنده دارای سه Flag به نام‌های CZN است که برای Carry و Zero و Negative به کار می‌رود. این Flag ها بر اساس دستورات LDA, ADA, ANA, ADR, ANR, ORR مقداردهی می‌شوند.

دستور LDI رجیستر DI را مقداردهی می‌کند. این دستور یک بایتی و دارای Opcode ۳ بیتی است که ۵ بیت رتبه‌ی پایین دستور را به رجیستر DI منتقل می‌کند. بیت‌های 4:3 این رجیستر مشخص می‌کند دستورات LDA, STA, ADA, ANA روی کدام یک از رجیسترهای Acc عمل می‌کنند. بیت‌های 2:1 این رجیستر نوع دستور JMP را مشخص می‌کند، 00 برای پرش بدون شرط، 01 برای پرش شرطی براساس C (C=1)، 10 برای پرش شرطی براساس Z (Z=1) و 11 برای پرش شرطی براساس N (N=1). بیت 0 این رجیستر استفاده نمی‌شود.

نیمسال دوم ۱۴۰۱-۱۴۰۲	طراحی پردازنده معماری کامپیوتر	 دانشگاه صنعتی خواجه نصیرالدین طوسی دانشکده‌های مهندسی برق و کامپیوتر

جدول زیر دستورات این پردازنده را به همراه Opcode مربوط به هر یک را نشان می‌دهد:

Instruction Mnemonic and Definition		Bits 7:4	RTL Notation
<b>Address Instruction</b>			
LDA	Load Addressed	000	$Ac_i \leftarrow (Address)$
STA	Store Addressed	001	$(Address) \leftarrow Ac_i$
ADA	Add Addressed	010	$Ac_i \leftarrow Ac_i + (Address) + C$
ANA	AND Addressed	011	$Ac_i \leftarrow Ac_i \& (Address)$
<b>Accumulator Instruction</b>			
MVR	Move Registers	1000	$Ac_i \leftarrow Ac_j$
ADR	Add Registers	1001	$Ac_i \leftarrow Ac_i + Ac_j + C$
ANR	AND Registers	1010	$Ac_i \leftarrow Ac_i \& Ac_j$
ORR	OR Registers	1011	$Ac_i \leftarrow Ac_i   Ac_j$
<b>Addressed Jump</b>			
JMP	Jump Addressed	110	$PC \leftarrow (Address)$ based on flags and DI
<b>LDI Instruction</b>			
LDI	Load Direction	111	$DI \leftarrow IR[4:0]$