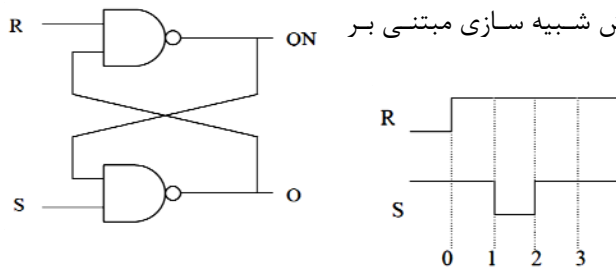


۱. برای S-R Latch مقابل و ورودی‌های داده شده، به ازای هر مدل تأخیر، با روش شبیه سازی مبتنی بر رویداد، مقادیر خروجی‌ها را رسم کنید.



الف (۲ نمره) مدل تأخیر:  $d_{\text{propagation}} = 2$ ,  $d_{\text{inertial}} = 2$

ب (۳ نمره) مدل تأخیر:  $d_{\text{rise}} = 1$ ,  $d_{\text{fall}} = 3$

ج (۲ نمره) مدل تأخیر:  $d_{\text{min}} = 1$ ,  $d_{\text{Max}} = 2$

حل: در تمام موارد، پس از تغییر S ابتدا Q یک می‌شود که QN را صفر می‌کند. بعد که S به یک برمی‌گردد، وضع سابق باید حفظ شود.

الف- چون طول پالس از  $d_{\text{inertial}}$  کمتر است، تغییری در خروجی دیده نمی‌شود.  $Q = 1$ ,  $QN = 0$

ب- در  $t=1$  خروجی Q برای زمان 2 به مقدار یک schedule می‌شود. در

زمان 2، QN برای زمان 5 به مقدار صفر schedule می‌شود. از طرف دیگر،

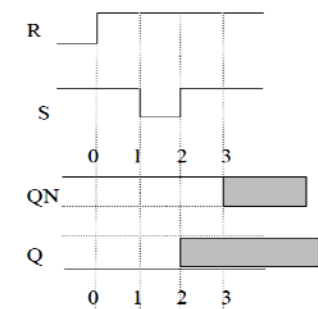
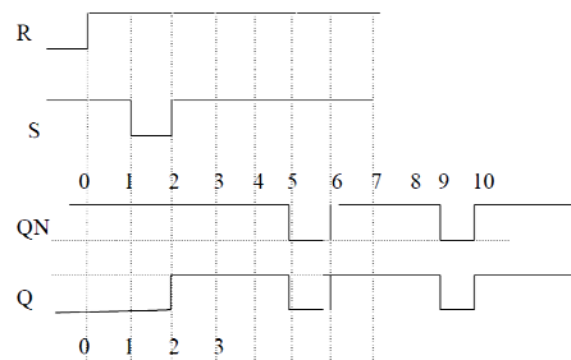
چون در  $t=2$  سیگنال S یک می‌شود، به همراه مقدار QN آن لحظه (یک)

خروجی Q را schedule می‌کند که در لحظه  $t=5$  صفر شود. در نتیجه، در

$t=5$  هر دو خروجی همزمان صفر خواهند شد. در  $t=5$  هر دو schedule

خواهند شد که در  $t=6$  صفر شوند. سپس هر دو برای  $t = 6+3=9$  به مقدار

صفر schedule می‌شوند و ... (مدار نوسانی می‌شود).



ج- صفر شدن S مقدار Q را یک خواهد کرد که این امر قبل از  $t=2$  (و بعد از  $t=3$ ) رخ نخواهد داد. یک

شدن آن منجر به صفر شدن QN می‌شود که در زودترین حالت، در  $t=3$  خواهد بود (دیرترین:  $3+2=5$ ).

تغییر هر یک از دو خروجی، خروجی دیگر را تریگر خواهد کرد و چون زمان آنها مبهم است، مقدار هیچ یک

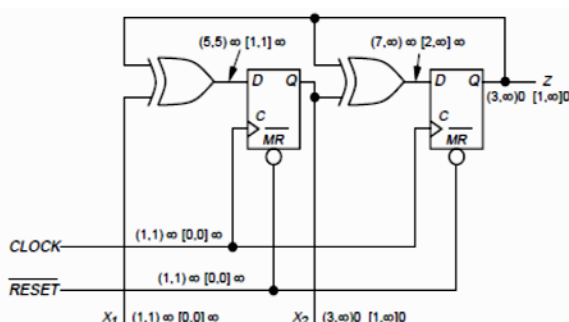
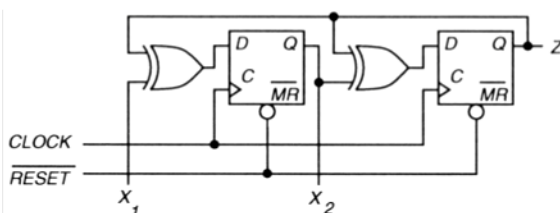
از دو خروجی از لحظه  $t=3$  به بعد مشخص نخواهد بود. امکان نوسان نیز وجود دارد.

۲. (۶ نمره) با فرض سنکرون بودن سیگنال RESET (که active-low می‌باشد) مقادیر

قابلیت کنترل و مشاهده ترکیبی و ترتیبی را برای مدار مقابل به دست آورید.  $X_1$  ورودی

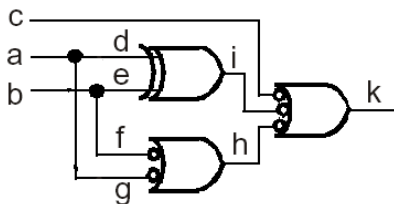
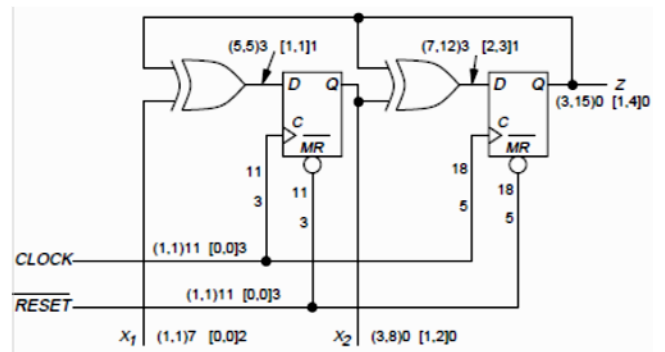
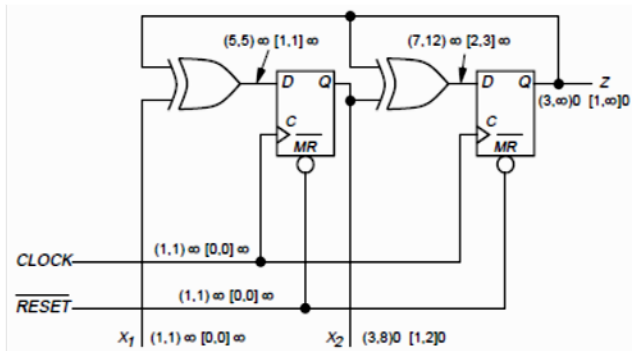
مدار، و  $X_2$  و Z خروجی‌های مدار هستند. (اگر به هیچ وجه قادر به حل این مسئله

نیستید، با صرف نظر کردن از سه نمره، سوال ۶ را به جای آن حل کنید!)



حل: (مسئله کتاب) شکل مقابل، مقادیر اولیه و مقادیر را پس از اولین مرحله نشان

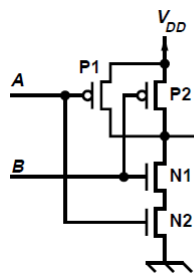
می‌دهد. شکل‌های بعدی، مرحله دوم و سپس مقادیر نهایی را نشان می‌دهد.



۳. (۴ نمره) در مدار مقابل، اگر بردار ورودی  $abc = 111$  به مدار داده شود، با روش شبیه‌سازی

استنتاجی چه اشکال‌هایی کشف می‌شود؟

$$L_a = \{a_0\}, L_b = \{b_0\}, L_c = \{c_0\}, L_d = \{a_0, d_0\}, L_e = \{b_0, e_0\}, L_f = \{b_0, f_0\}, L_g = \{a_0, g_0\}, L_i = L_d \cup L_e - (L_d \cap L_e) \cup \{i_1\} = \{a_0, b_0, d_0, e_0, i_1\}, L_h = L_f \cup L_g \cup \{h_1\} = \{a_0, b_0, f_0, g_0, h_1\}, L_k = L_i \cap L_h - L_c \cup \{k_0\} = \{a_0, b_0, k_0\}$$



۴. شکل مقابل یک گیت NAND را نشان می‌دهد.

الف (۲ نمره) ثابت کنید اشکال‌های stuck-open در هر یک از دو ترانزیستور  $N_1$  و  $N_2$  معادلند.

ب (۳ نمره) می‌خواهیم مدار را برای کلیه اشکال‌های single stuck-open در ترانزیستورها و کلیه SSF‌ها در ورودی‌ها و خروجی گیت تست کنیم. کمترین تعداد بردار تست لازم برای این منظور را پیدا کنید. آیا ترتیب مشخصی برای اعمال کردن این بردارها وجود دارد؟ چگونه؟

ج (۳ نمره) برای هر یک از اشکال‌های single stuck-at در ورودی‌های A و B و خروجی C، در صورت وجود داشتن، اشکال معادل در سطح ترانزیستوری (stuck-open, stuck-short) را بیان کنید. راهنمایی: ممکن است یک اشکال تکی، معادل یک اشکال چندگانه (multiple) باشد.

حل ( صورت مسأله 4.5 کتاب می‌باشد):

الف- هر دو اشکال فقط با هر یک از رشته‌های یکسان زیر کشف می‌شوند:  $01 \rightarrow 11, 10 \rightarrow 11, 00 \rightarrow 11$  پس معادلند.

Test No.	Fault	Test: vector 1 $\rightarrow$ vector 2
1	P1 sop	$11 \rightarrow 01$
2	P2 sop	$11 \rightarrow 01$
3	N1 sop	$01 \rightarrow 11$ or $10 \rightarrow 11$ or $00 \rightarrow 11$
4	N2 sop	$01 \rightarrow 11$ or $10 \rightarrow 11$ or $00 \rightarrow 11$

ب- جدول مقابل بیان می‌کند که هر اشکال با چه رشته‌ای کشف می‌شود:

در نتیجه برای کشف تمام اشکال‌های stuck-open، رشته‌ی زیر کافی

است:  $11 \rightarrow 01 \rightarrow 11 \rightarrow 10$

این رشته، تمام اشکال‌های SSF در گیت NAND را نیز کشف می‌کند.

Stuck-at fault	Equivalent transistor faults
A s-a-1	N2: ssh and P1: sop
B s-a-1	N1: ssh and P2: sop
C s-a-1	(P1: ssh or P2: ssh) and (N1: sop or N2: sop)
A s-a-0	N2: sop and P1: ssh
B s-a-0	N1: sop and P2: ssh
C s-a-0	N1: ssh and N2: ssh and P1: sop and P2: sop

ج- هر اشکال SSF در ورودی‌های گیت، معادل دو اشکال در

سطح ترانزیستوری است مثلاً A s-a-0 معادل است با  $N_1$

stuck-open و stuck-short  $N_2$ . جدول مقابل کلیه

اشکال‌های معادل را بیان می‌کند:

۵. (۵ نمره) برای یک T FF که دارای سیگنال reset آسنکرون active-high می‌باشد، مقادیر قابلیت کنترل و مشاهده ترکیبی و ترتیبی را به دست

آورید (برای ورودی‌های T, R, CLK و خروجی Q).

توجه: در حل این مسأله فرض شده است که برای این که reset به درستی انجام گیرد لازم است سیگنال ساعت را در یکی از دو وضعیت صفر یا یک

به صورت ثابت نگه داریم. لذا مثلاً در سطر اول، عبارت { min } اضافه شده است. این فرض را می‌توانید نادیده بگیرید.

$$CC0(Q) = CC1(R) + \min\{CC0(CLK), CC1(CLK)\} = 2; SC0(Q) = SC1(R) + \min\{SC0(CLK), SC1(CLK)\} + 1 = 0 + 0 + 1 = 1$$

$$CC1(Q) = CC0(Q) + CC0(R) + CC1(T) + CC0(CLK) + CC1(CLK) = 1 + 1 + 1 + 1 + 1 = 5;$$

$$SC1(Q) = SC0(Q) + SC0(R) + SC1(T) + SC0(CLK) + SC1(CLK) + 1 = 1 + 0 + 0 + 0 + 0 + 1 = 2;$$

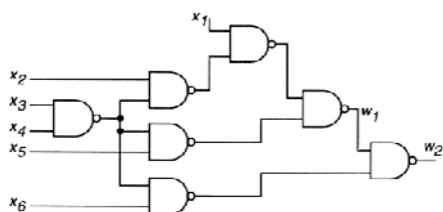
$$CO(T) = \min\{C0(Q) + CC0(R) + CC1(Q) + CC1(T) + CC0(CLK) + CC1(CLK), C0(Q) + CC0(R) + CC0(Q) + CC1(T) + CC0(CLK) + CC1(CLK)\} = \min\{0+1+5+1+1+1, 0+1+1+1+1+1\} = 5;$$

$$SO(T) = \min\{S0(Q) + SC0(R) + SC1(Q) + SC1(T) + SC0(CLK) + SC1(CLK), S0(Q) + SC0(R) + SC0(Q) + SC1(T) + SC0(CLK) + SC1(CLK)\} + 1 = \min\{0+0+2+0+0+0, 0+0+1+0+0+0\} + 1 = 2;$$

$$CO(R) = C0(Q) + CC1(Q) + CC1(R) + \min\{CC0(CLK), CC1(CLK)\} = 0 + 5 + 1 + 1 = 7;$$

$$SO(R) = S0(Q) + SC1(Q) + SC1(R) + \min\{SC0(CLK), SC1(CLK)\} + 1 = 0 + 2 + 0 + 0 + 1 = 3;$$

$$CO(CLK) = CO(T) = 5; SO(CLK) = SO(T) = 2.$$



۶. (۳ نمره) این مسأله را فقط در صورتی حل کنید که مسأله‌ی ۲ را حل نکرده باشید، وگرنه تصحیح نخواهد شد.

مقادیر قابلیت کنترل و مشاهده ترکیبی را برای مدار مقابل به دست آورید.

حل (صورت مسأله 6.3 کتاب می باشد)

