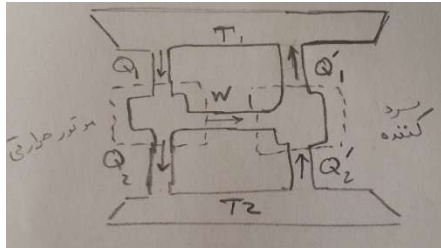


پاسخ سوال ۱- برای بهره‌وری انرژی سیستم داریم:



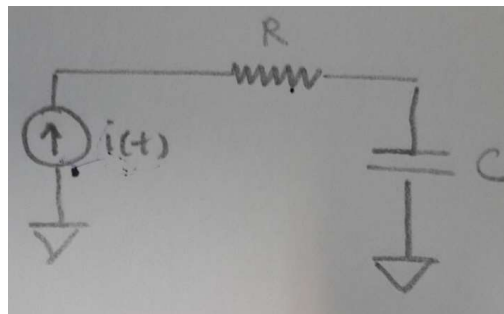
$$e = \frac{W}{Q_1} \quad e' = \frac{W}{Q'_1}$$

با توجه به قانون دوم ترمودینامیک داریم:

$$Q_1 \geq Q'_1 \Rightarrow \frac{1}{Q_1} \leq \frac{1}{Q'_1} \Rightarrow \frac{W}{Q_1} \leq \frac{W}{Q'_1} \Rightarrow e \leq e'$$

حال اگر دو سیستم فوق هر دو بازگشت پذیر باشند، میتوان جای آن دو را عوض کرد که به دست می آید $e' \leq e$ و نتیجه می شود $e = e'$ که یعنی بهره‌وری انرژی تمام سیستم‌های بازگشت پذیر یکسان است. حال اگر سردکننده بازگشت پذیر نباشد، حتی اگر موتور حرارتی بازگشت پذیر باشد، نمیتوان جابه‌جایی را انجام داد و همان نامساوی اول را داریم. در مورد سردکننده‌ها هر چه e کمتر باشد، نشان‌دهنده بهره‌وری بهتر است که از نامساوی $e \leq e'$ نتیجه می‌گیریم سردکننده بازگشت‌ناپذیر بهره‌وری‌ای بهتر از سردکننده بازگشت پذیر ندارد. به نحو مشابه وقتی موتور حرارتی بازگشت پذیر نیست حتی اگر سردکننده بازگشت پذیر باشد نمیتوان جابه‌جایی را انجام داد و همان نامساوی $e \leq e'$ را داریم. در مورد موتورهای حرارتی هر چه e بیشتر باشد، نشان‌دهنده بهره‌وری بهتر است که از نامساوی $e \leq e'$ نتیجه می‌گیریم موتور حرارتی بازگشت‌ناپذیر بهره‌وری‌ای بهتر از موتور حرارتی بازگشت پذیر دارد.

قسمت دو-



قرار است با جریان $i(t)$ خازن C شارژ شده و ولتاژ آن از 0 به V_{dd} برسد.

$$p(t) = R \cdot i^2(t) = \text{توان تلف شده لحظه‌ای}$$

با فرض اینکه در زمان $t=t_1$ ولتاژ خازن به V_{dd} برسد، انرژی تلف شده برابر است با:

$$E = \int_0^{t_1} p(t) \cdot d(t) = \int_0^{t_1} R \cdot i^2(t) \cdot d(t)$$

میخواهیم E را مینیمم کنیم. با داشتن Constraint زیر:

$$V_{dd} = \frac{1}{C} Q = \frac{1}{C} \int_0^{t_1} i(t) \cdot d(t) \Rightarrow \frac{1}{C} \int_0^{t_1} i(t) \cdot d(t) - V_{dd} = 0$$

با روش ضرایب لاگرانژ در واقع باید functional زیر را مینیمم کنیم:

$$F(i(t)) = \int_0^{t_1} Ri^2(t) \cdot d(t) + \frac{\lambda}{C} \int_0^{t_1} i(t) \cdot d(t) - \lambda V_{dd} = \int_0^{t_1} [Ri^2(t) + \frac{\lambda}{C} i(t)] d(t) - \lambda V_{dd}$$

$$G(i(t)) = [Ri^2(t) + \frac{\lambda}{C} i(t)]$$

فرمول لاگرانژ اوایلر:

$$\frac{d}{dt} \frac{\partial G}{\partial i'} - \frac{\partial G}{\partial i} = 0 \Rightarrow 0 - \left(2Ri(t) + \frac{\lambda}{C} \right) = 0 \Rightarrow i(t) = -\frac{\lambda}{2RC}$$

$$\frac{\partial F}{\partial \lambda} = 0 \Rightarrow \frac{1}{C} \int_0^{t_1} i(t) \cdot d(t) - V_{dd} = 0 \Rightarrow \frac{1}{C} \left(-\frac{\lambda t_1}{2RC} \right) - V_{dd} = 0 \Rightarrow \lambda = -\frac{2RC^2 V_{dd}}{t_1}$$

بنابراین:

$$i(t) = \frac{\frac{2RC^2 V_{dd}}{t_1}}{2RC} \Rightarrow i(t) = \frac{CV_{dd}}{t_1}$$

مشاهده میشود که جریان مقداری ثابت و مستقل از t دارد.

پاسخ سوال ۲- در این سوال هدف کم کردن شارژ و دشارژهای خازنهای دیفیوژن است. یعنی زمانی که یک یا چند ورودی تغییر مقدار می‌دهند ولی خروجی تغییر نمی‌کند، تا حد ممکن خازنهای دیفیوژن شارژ و دشارژ نشوند.

قوانین مورد نظر برای این منظور عبارتند از:

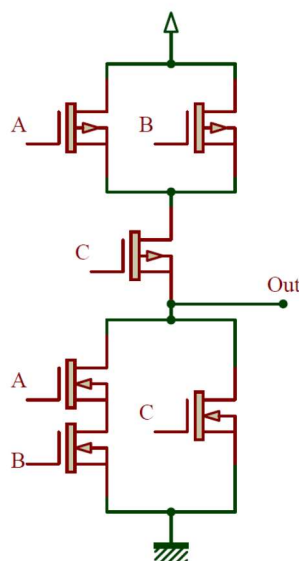
- ترانزیستورهای با احتمال سوئیچینگ بیشتر باید نزدیک خروجی قرار گیرند.
- ترانزیستورهای با احتمال بیشتر خاموش بودن باید نزدیک خروجی قرار گیرند. (NMOS با احتمال ۱ کمتر و PMOS با احتمال ۱ بیشتر)
- ترانزیستورهای با احتمال بیشتر روشن بودن باید نزدیک منبع قرار گیرند. (NMOS با احتمال ۱ بیشتر و PMOS با احتمال ۱ کمتر)

در اینجا با توجه به اینکه احتمال یک بودن هر یک از ورودی‌ها داده شده است، می‌توان احتمال تغییر (transition) هر سیگنال ورودی را به دست آورد.

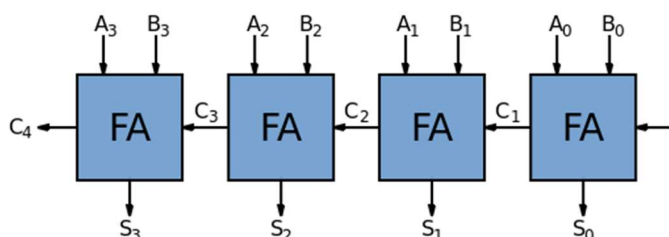
$$P(A) = 0.1 * 0.9 = 0.09 \quad P(B) = 0.9 * 0.1 = 0.09 \quad P(C) = 0.5 * 0.5 = 0.25$$

همانطور که دیده می‌شود، احتمال تغییر ورودی C نسبت به دیگر ورودی‌ها بیشتر است و تا حد ممکن باید به خروجی نزدیکتر باشد تا به خطوط تغذیه. بنابراین تکلیف شبکه PU مشخص می‌شود. در شبکه PD نیز تنها امکان جابجایی ورودی‌های A و B وجود دارد

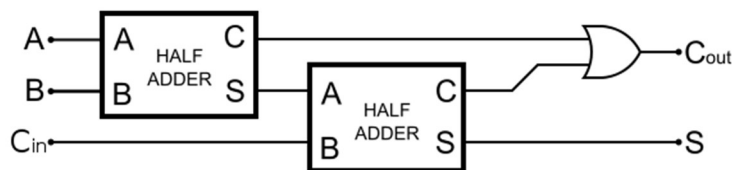
که طبق قوانین مذکور، A با احتمال ۱ کمتر باید نزدیک خروجی و B با احتمال ۱ بیشتر باید نزدیک منبع قرار گیرند. در نهایت شکل مدار به صورت زیر خواهد بود:



پاسخ سوال ۳- شکل مدار جمع کننده به صورت زیر است:



با توجه به داده‌های مساله، احتمال یک بودن دو بیت کم ارزش یعنی A_0, B_0, A_1 و B_1 برابر 0.9 و A_2, B_2, A_3 و B_3 برابر 0.5 است. در مبحث Input Reordering، هدف انتقال ورودی‌های احتمالاً فعال‌تر به سمت خروجی (نزدیک‌تر به خروجی) می‌باشد. شکل داخلی هر FA به صورت زیر است.



بنابراین در این مساله باید در هر FA، ورودی فعال‌تر به عنوان C_{in} به مدار داده شود. با توجه به اینکه فرضی در مورد C_0 نشده است، بنابراین مقدار آن صفر است و در نتیجه در این طبقه از مدار بهتر است ورودی A یا B را که هر دو دارای احتمال فعالیت یکسان 0.9×0.1 هستند، با ورودی C_0 که احتمال فعالیتش صفر است، جابجا کرد. با توجه به صفر بودن C_0 ، احتمال یک بودن C_1 از رابطه زیر محاسبه خواهد شد:

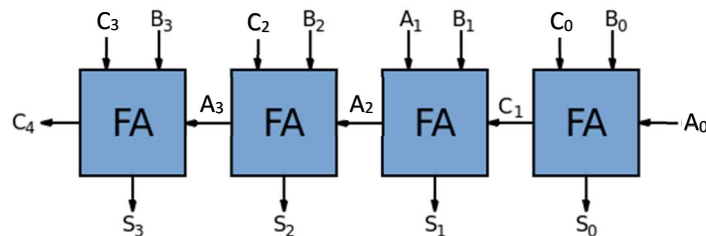
$$P(C_1) = P(A_0) * P(B_0) = 0.9 * 0.9 = 0.81$$

بنابراین احتمال فعالیت این سیگنال نسبت به دو سیگنال A1 و B1 بیشتر است و لذا بهتر است در این طبقه از مدار جابجایی صورت نگیرد. در طبقه بعدی احتمال C2 برابر است با:

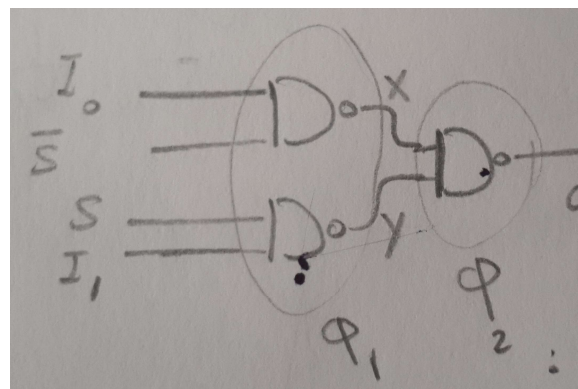
$$P(C_2) = P(A_1) * P(B_1) * P(\overline{C_1}) + P(A_1) * P(C_1) * P(\overline{B_1}) + P(B_1) * P(C_1) * P(\overline{A_1}) + P(A_1) * P(B_1) * P(C_1) = 0.9 * 0.9 * 0.19 + 0.9 * 0.81 * 0.1 + 0.9 * 0.81 * 0.1 + 0.9 * 0.9 * 0.81 = 0.95$$

در اینجا با توجه به احتمال زیاد یک بودن سیگنال C2، احتمال تغییر آن نسبت به دو سیگنال A2 و B2 کمتر است و لذا بهتر است با آن جابجا شود.

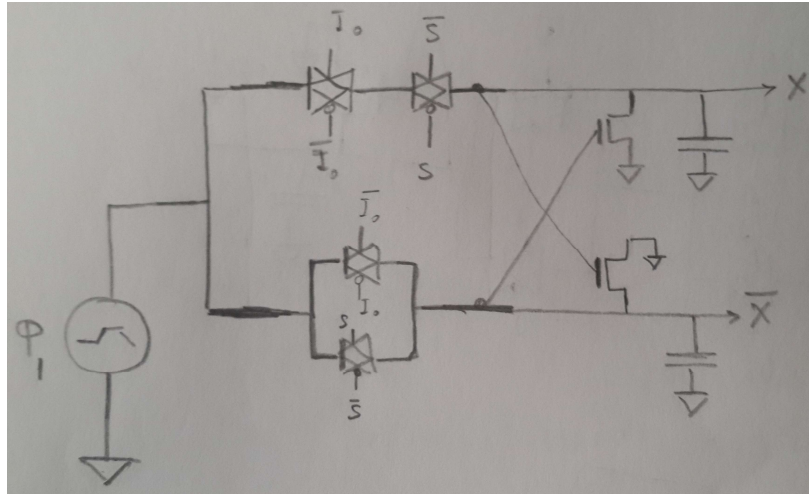
البته از آنجا که دو بیت با ارزش ورودی دارای احتمال یک بودن 0.5 هستند و در نتیجه دارای بیشترین احتمال تغییرات است، می‌توان بدون انجام محاسبات نیز جابجایی یکی از دو سیگنال A و B را با C انجام داد. در نتیجه شکل نهایی مدار به صورت زیر خواهد بود: (البته با توجه به یکسان بودن احتمال تغییرات A و B در هر طبقه، می‌توان به جای سیگنال A، B را نیز جابجا کرد).



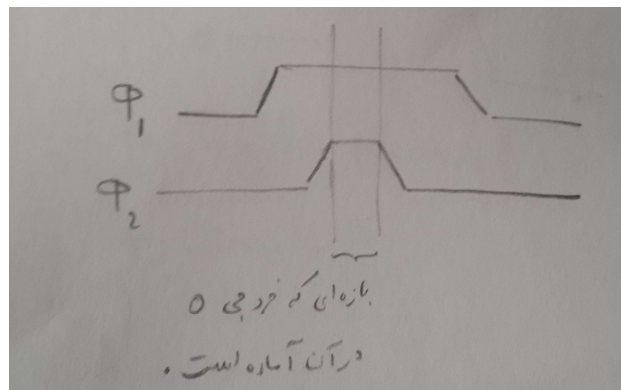
پاسخ سوال ۴- داریم:



مثلا برای $\overline{I_0 S}$ ساختار and-nand:



و کلاکها به صورت زیر خواهند بود:



پاسخ سوال ۵- با توجه به اینکه سایز بلوک‌های حافظه نهان ۴ لغت است، در هربار دسترسی به حافظه در صورتی که miss اتفاق بیفتد، ۴ لغت از حافظه اصلی خوانده شده و به حافظه نهان منتقل می‌شود. در نتیجه با فرض اینکه دسترسی‌ها از آدرس صفر شروع شود، آدرس‌های قرار گرفته در حافظه نهان به صورت زیر خواهد بود: (فرض مساله دسترسی به آدرس‌های ۰، ۱۰، ۱۲، ۲۲، ۲۴، ۳۴ و ...)

| | | | | | |
|---|---|----|----|----|----|
| 0 | 4 | 8 | 12 | 16 | 20 |
| 1 | 5 | 9 | 13 | 17 | 21 |
| 2 | 6 | 10 | 14 | 18 | 22 |
| 3 | 7 | 11 | 15 | 19 | 23 |

پریود دسترسی

همانطور که دیده می‌شود الگوی دسترسی به همین صورت تکرار می‌شود و برای دسترسی به هر آدرس جدید یک miss رخ می‌دهد که نیاز به خواندن ۴ کلمه از حافظه و انتقال آن به حافظه نهان است. بنابراین به ازای هر دسترسی به حافظه، انرژی معادل ۴ دسترسی به حافظه اصلی و دو دسترسی به حافظه نهان مصرف می‌شود که یک دسترسی متوجه می‌شود که miss رخ داده و دسترسی دیگر لغت آورده شده از حافظه اصلی را در cache قرار می‌دهد. در نتیجه برای N دسترسی داریم:

$$E_N = N * (4 * E_M + 2 * E_C)$$