

۱. [۳ نمره] در یک فرآیند ساخت تراشه، بازده ساخت (yield) برابر ۸۰٪ است. کیفیت تست بدین صورت است که ۹۰٪ از تراشه‌های سالم و تراشه‌های خراب را به درستی تشخیص می‌دهد و طبیعتاً در هر مورد، ۱۰٪ اشتباه می‌کند. Defect level را محاسبه کنید.

یادآوری: $\text{Prob}(A|B) = \text{Prob}(B|A) \times \text{Prob}(A) / \text{Prob}(B)$

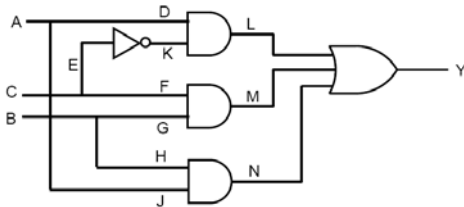
حل: مقادیر زیر را داریم:

$\text{Prob}(PQ) = 0.8$, $\text{Prob}(FQ) = 0.2$, $\text{Prob}(P|PQ) = \text{Prob}(F|FQ) = 0.90$, $\text{Prob}(F|PQ) = P(P|FQ) = 0.1$
مشابه با مثال 1.1 کتاب، می‌توان نوشت:

$$\text{Prob}(P) = \text{Prob}(P|PQ) \times \text{Prob}(PQ) + \text{Prob}(P|FQ) \times \text{Prob}(FQ) = 0.9 \times 0.8 + 0.1 \times 0.2 = 0.74$$

$$\text{Defect level} = \text{Prob}(FQ|P) = \text{Prob}(P|FQ) \times \text{Prob}(FQ) / \text{Prob}(P) = 0.1 \times 0.2 / 0.74 = 0.027$$

لذا، defect level برابر است با 27000 ppm



۲. در این سوال، اشکال‌ها را به این صورت نشان دهید: A stuck-at-zero: A/0

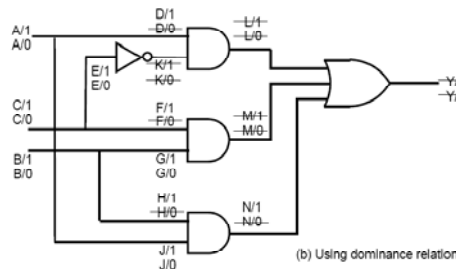
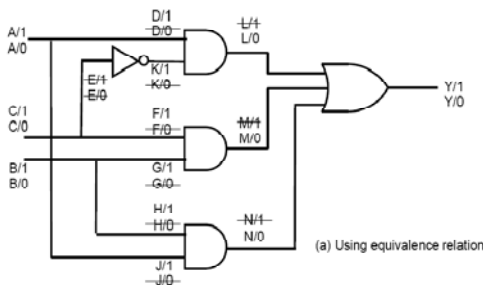
الف [۳ نمره]- لیست collapsed faults (اشکال‌های باقیمانده پس از ادغام) را با استفاده

از رابطه‌ی معادل بودن اشکال با گذر از ورودی مدار به خروجی به دست آورید.

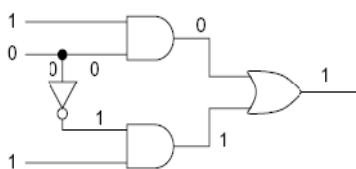
ب [۳ نمره]- لیست collapsed faults را با استفاده از رابطه‌ی غلبه اشکال با گذر از خروجی مدار به ورودی به دست آورید.

ج [۱ نمره]- با استفاده از قضیه‌ی checkpoint و بدون استفاده از هر گونه ادغام اشکال، لیست اشکال‌هایی که برای تست لازم است را به دست آورید.

حل:



(ج) A/0, A/1, B/0, B/1, C/0, C/1, D/0, D/1, E/0, E/1, F/0, F/1, G/0, G/1, H/0, H/1, J/0, J/1

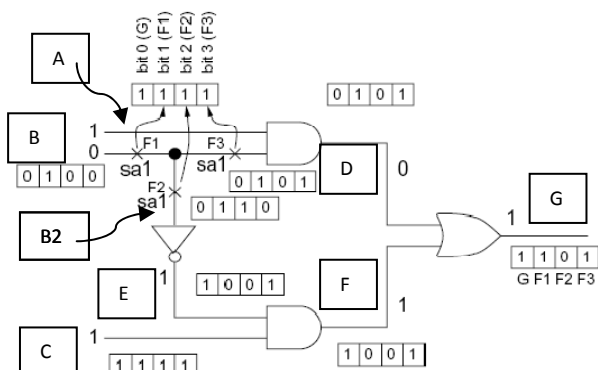


۳. [۴ نمره] به فرض این که پهنای کلمه در کامپیوتر، چهار بیت باشد، شبیه‌سازی موازی را برای سه SSF بر

روی ورودی دوم (که در مدار سالم، صفر است) و هر دو شاخه fan-out آن در مدار زیر به ازای بردار ورودی

(1, 0, 1) نمایش دهید. کدام یک از این سه اشکال قابل کشف است؟ مسأله را با شبیه‌سازی استنتاجی تکرار

نمایید.

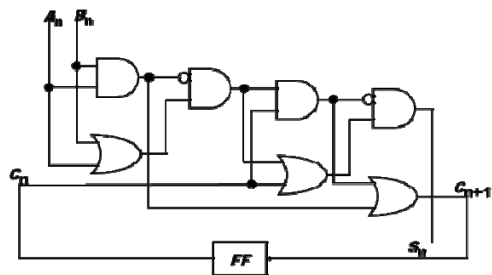


حل: فقط اشکال F2 قابل کشف است. استنتاجی:

$$L_A = \{A/0\} \quad L_B = \{B/1\} \quad L_{B1} = \{B/1, B1/1\} \quad L_{B2} = \{B/1, B2/1\}$$

$$L_C = \{C/0\} \quad L_D = L_{B1} - L_A = \{B/1, B1/1\} \quad L_E = L_{B2} = \{B/1, B2/1\}$$

$$L_F = L_E \cup L_C = \{C/0, B/1, B2/1\} \quad L_G = L_D - L_F = \{B/1\}$$



۴. شکل مقابل یک full-adder را نشان می‌دهد که دارای دو ورودی و یک خروجی S_n می‌باشد.

در این مسأله، فقط اشکال stuck-at در خروجی مدار مورد نظر می‌باشد.

الف [۲ نمره] - آیا مدار در حضور اشکال در خروجی، قابلیت مقداردهی اولیه دارد

(initializable)؟ توضیح دهید.

ب [۲ نمره] - آیا هر یک از دو اشکال s-a-0 و s-a-1 در خروجی مدار قابل کشف هستند؟

الف) It requires just one vector to initialize the circuit. If the initial state is unknown, i.e., $C_n = X$, the vector $A_n = B_n = 1$ initializes the state to 1, irrespective of the presence of any fault at the output S_n .

ب) Detection of any output fault at the output reduces to a combinational ATPG problem of setting the output to the opposite value. This can be done by a single vector: $(A_n = 0; B_n = 0)$ will set the output to 1 or $(A_n = 0; B_n = 1)$ will set it to 0. Thus, just two vectors, an initialization vector 11 followed by an appropriate vector to set the output, will detect the output fault in the circuit.

۵. [۲ نمره] - فرق verification testing با verification چیست؟

ج: verification testing در واقع نوعی تست است که بر روی اولین تراشه‌های ساخته شده انجام می‌گیرد و هدف آن، یافتن اشکال‌های فرآیند طراحی و تست می‌باشد، در حالی که verification بر روی مدل مدار و قبل از ساخت انجام می‌شود و هدف آن، یافتن اشکال‌های فرآیند طراحی است.