

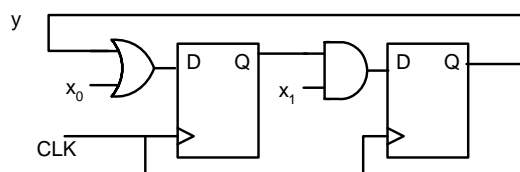
۱- دو تکنیک کاهش توان مصرفی مبتنی بر **Concurrency and redundancy** را به دلخواه شرح دهید. مشکل مشترک این روش‌ها چیست؟ چرا؟ (۲ نمره)

۲- چگونه ممکن است تکنیک‌های کاهش فعالیت که برای کاهش توان مصرفی **Switching power** مورد استفاده قرار می‌گیرند به کاهش توان مصرفی ناشی از **Sub-threshold leakage** کمک کنند؟ (۱,۵ نمره)

۳- روش **Operand isolation** در کدام بخش یک پردازنده که از خط لوله دستورالعمل (**Instruction pipeline**) استفاده می‌کند بیشترین کاربرد را دارد؟ چرا؟ (۱,۵ نمره)

۴- با استفاده از یک مثال نشان دهید که وجود **Re-convergent fan-out** برای روش‌های تحلیلی تخمین فعالیت مشکل ایجاد می‌کند. (۱,۵ نمره)

۵- با فرض اینکه احتمال 1 بودن  $x_0$  و  $x_1$  برابر با  $1/2$  باشد و از یکدیگر مستقل باشند مقدار فعالیت سیگنال  $y$  را محاسبه کنید. (۳,۵ نمره)



۶- با استفاده از مثال نشان دهید که افزایش پهنای (**Bit width**) اتصالات بر روی تراشه (**On-chip interconnect**) موجب کاهش کارایی روش **Bus-inverting** می‌شود. (۲,۵ نمره)

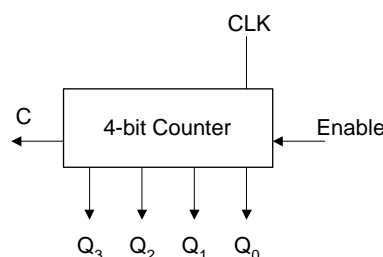
۷- یک مدار ترکیبی با 10 ورودی دارای تابع منطقی زیر است:

$$F(A_9, A_8, \dots, A_0) = A_9 + \overline{A_8}(A_7 \oplus A_6 \oplus \dots \oplus A_0)$$

با فرض اینکه فعالیت (**Activity**) ورودی‌ها از یکدیگر مستقل باشد و احتمال 1 بودن هر کدام از ورودی‌ها  $1/2$  باشد یک روش **Pre-computation** برای کاهش توان مصرفی این مدار ارائه دهید. محاسبه کنید که روش **Pre-computation** شما بطور متوسط چقدر **Activity** مدار را کاهش می‌دهد. (۳,۵ نمره)

۸- انواع تکنیک‌های **Path balancing** برای کاهش توان مصرفی ناشی از **Glitch**ها را نام برده و توضیح دهید. (۲ نمره)

۹- شکل زیر یک واحد شمارنده ۴ بیتی را نشان می‌دهد که با اتصال آشناری آن‌ها می‌توان شمارنده بزرگتر ایجاد نمود. با استفاده از این شمارنده یک شمارنده ۱۶ بیتی طراحی کنید که از روش **Clock gating** برای کاهش توان مصرفی آن استفاده شده باشد. در طراحی این شمارنده فقط استفاده از واحدهای شمارنده ۴ بیتی و واحدهای **Gate** کننده **Clock** مجاز است و استفاده از هیچ عنصر دیگری مجاز نیست. (۲ نمره)



۱۱- یک اتصال با خازن  $C$  در یک مدار **CMOS** عادی (**Conventional CMOS**) و اتصالی مشابه با خازن  $C$  در یک مدار کاملاً بی‌دررو (**Fully adiabatic**) را در نظر بگیرید. محاسبه کنید که انرژی سوئیچینگ (انرژی لازم برای یک بار شارژ و دشارژ) مربوط به این اتصال در مدار بی‌دررو چقدر نسبت به مدار **CMOS** عادی کمتر است. فرض کنید که در هر دو مدار شبکه ترانزیستوری که اتصال را تغذیه می‌کند دارای مقاومت  $R$  باشد. همچنین فرض کنید که زمان شارژ و دشارژ در مدار آدیاباتیک برابر با  $3RC$  باشد. (۱ نمره)

موفق باشید

اجاللی