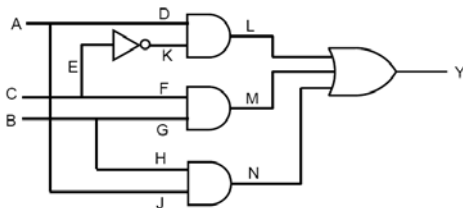




۱. [۳ نمره] در یک فرآیند ساخت تراشه، بازده ساخت (yield) برابر ۸۰٪ است. کیفیت تست بدین صورت است که ۹۰٪ از تراشه‌های سالم و تراشه‌های خراب را به درستی تشخیص می‌دهد و طبیعتاً در هر مورد، ۱۰٪ اشتباه می‌کند. Defect level را محاسبه کنید. از تعاریف زیر استفاده کنید:

تراشه در آزمون رد می‌شود: F تراشه از آزمون موفق بیرون می‌آید: P تراشه خراب است: FQ تراشه سالم است: PQ

یادآوری:  $\text{Prob}(A|B) = \text{Prob}(B|A) \times \text{Prob}(A) / \text{Prob}(B)$



۲. در این سوال، اشکال‌ها را به این صورت نشان دهید: A stuck-at-zero: A/0

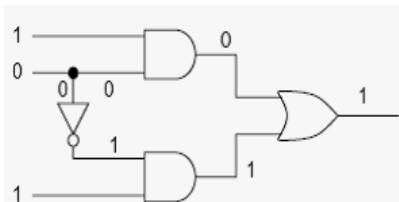
الف [۳ نمره] - لیست collapsed faults (اشکال‌های باقیمانده پس از ادغام) را

با استفاده از رابطه‌ی معادل بودن اشکال با گذر از ورودی مدار به خروجی به دست آورید.

ب [۳ نمره] - لیست را با استفاده از رابطه‌ی غلبه اشکال با گذر از خروجی مدار به ورودی به دست آورید.

ج [۱ نمره] - با استفاده از قضیه‌ی checkpoint و بدون استفاده از هر گونه ادغام اشکال، لیست اشکال‌هایی که برای

تست لازم است را به دست آورید.

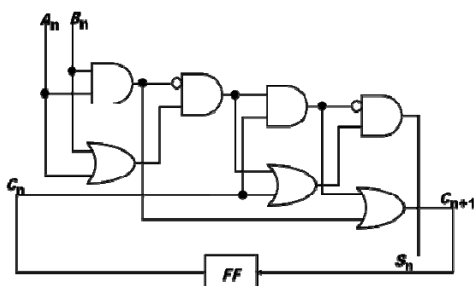


۳. [۴ نمره] به فرض این که پهنای کلمه در کامپیوتر، چهار بیت باشد، شبیه‌سازی

موازی را برای سه SSF بر روی ورودی دوم (که در مدار سالم، صفر است) و هر دو

شاخه fan-out آن به ازای بردار ورودی (1, 0, 1) نمایش دهید. کدام یک از این سه

اشکال قابل کشف است؟ مسأله را با شبیه‌سازی استنتاجی تکرار نمایید.



۴. Full-adder شکل مقابل دارای دو ورودی و یک خروجی  $S_n$  می‌باشد. فقط

اشکال stuck-at در خروجی مدار مورد نظر می‌باشد.

الف [۲ نمره] - آیا مدار در حضور اشکال در خروجی، قابلیت مقداردهی اولیه

دارد (initializable)؟ توضیح دهید.

ب [۲ نمره] - آیا هر یک از دو اشکال s-a-0 و s-a-1 خروجی مدار قابل کشف هستند؟

۵. [۲ نمره] - فرق verification testing با verification چیست؟