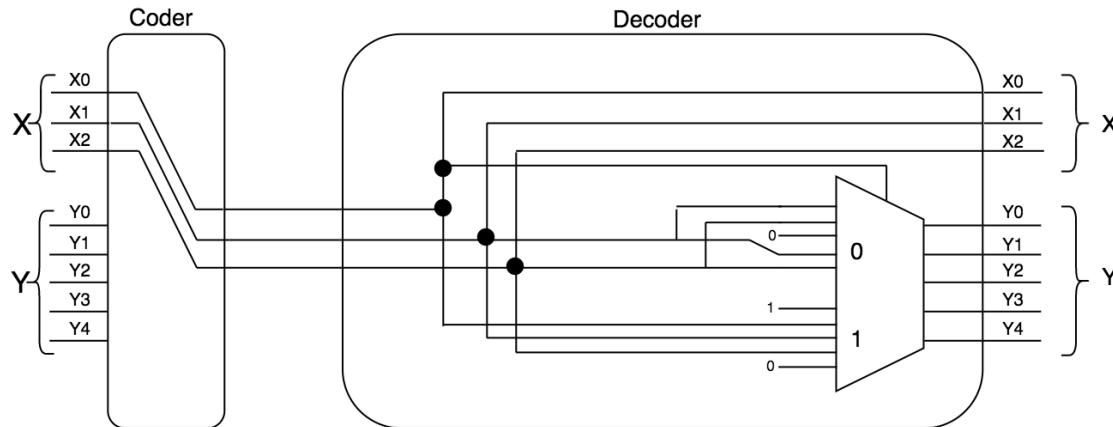


۱- گذرگاه هشت بیتی به این شکل در نظر گرفته می‌شود که یک عدد سه بیتی X در کنار یک عدد پنج بیتی Y ارسال می‌گردد. عدد Y به این صورت محاسبه می‌شود که:

$$X (x_2x_1x_0) \text{ if } x_0 = 0 \text{ then } Y = 9x/2 \rightarrow Y = x_2x_10 \ x_2x_1$$

$$\text{Else if } x_0 = 1 \text{ then } Y = 2X+1 \rightarrow Y = 0 \ x_2x_1x_01$$

پس می‌توان فقط با فرستادن Y, X را محاسبه کرد. در نتیجه مدار CODEC به صورت زیر ترسیم می‌گردد.



شکل ۱: مدار CODER

اگر X از توزیع یکنواخت پیروی کند، متوسط فعالیت گذرگاه پیش از فشرده سازی:

در اینجا هشت بیت فرستاده می‌شود پس با داشتن مقدار x_0 چهار حالت در سوئیچینگ پیش می‌آید

$$X_0 : 1) 0 \rightarrow 0, 2) 0 \rightarrow 1, 3) 1 \rightarrow 0, 4) 1 \rightarrow 1$$

برای حالت (۱):

$$x_2x_10x_2x_1 \ x_2x_10 \rightarrow x_2x_10x_2x_1 \ x_2x_10 \rightarrow \text{trans} = 6/2 = 3$$

برای حالت (۲):

$$x_2x_10x_2x_1 \ x_2x_10 \rightarrow 0x_2x_111 \ x_2x_11 \rightarrow \text{trans} = 1 + 7/2 = 4.5$$

برای حالت (۳): همانند (۲)

$$\text{trans} = 1 + 7/2 = 4.5$$

برای حالت (۴):

$$0x_2x_111 \ x_2x_11 \rightarrow 0x_2x_111 \ x_2x_11 \rightarrow \text{trans} = 4/2 = 2$$

پس در نتیجه:

$$(3 + 4.5 + 4.5 + 2)/4 = 14/4 = 3.5$$

پس از فشرده سازی: سه بیت فرستاده می‌شود.

$$X (x_2x_1x_0) \rightarrow 3/2 = 1.5$$

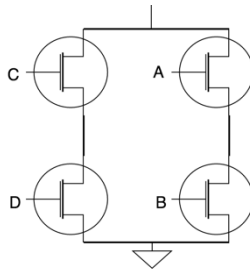
۲- هدف از این سوال این است که آرایش مناسبی برای شبکه‌های P و N در تابع $F=(AB+CD)'$ پیشنهاد داده شود. قوانینی که برای آرایش مناسب ترانزیستورها باید در نظر گرفته شود شامل موارد زیر است.

- (a) ترانزیستورهای با احتمال سوئیچینگ بیشتر باید نزدیک خروجی قرار گیرند.
- (b) ترانزیستورهای با احتمال بیشتر خاموش بودن باید نزدیک خروجی قرار گیرند (NMOS با احتمال ۱ کمتر و PMOS با احتمال ۱ بیشتر).
- (c) ترانزیستورهای با احتمال بیشتر روشن بودن باید نزدیک منبع قرار گیرند (NMOS با احتمال ۱ بیشتر و PMOS با احتمال ۱ کمتر).

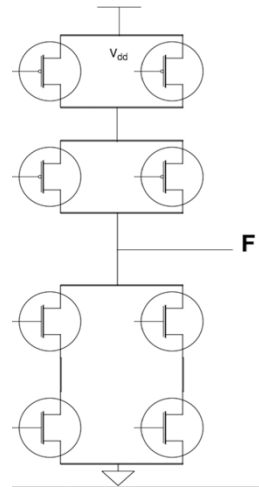
شکل ترانزیستوری تابع در شکل ۲ نشان داده شده است. در نتیجه، باید مشخص شود که هر ترانزیستور بیانگر کدام ورودی می‌باشد. تابع F شامل چهار ورودی با مشخصات زیر می‌باشد

$$P_1(A) = 0.5 * P_1(B) = 0.7 * P_1(C) = 0.2 * P_1(D) = 0.9$$

پس در نتیجه برای آرایش ترانزیستورهای طبقه پایین (N) با توجه با قانون (b,c) شکل ۳ توصیه می‌شود.



شکل ۳



شکل ۲

حال برای ترانزیستورهای طبقه بالا (P) باید تصمیم گرفته شود که کدام عبارت (A.B) و (C.D) نزدیک به منبع قرار گیرند. در این قسمت باید به قانون (a) توجه کرد. با توجه به اینکه احتمال یک بودن ورودی‌ها داده شده است می‌توان احتمال یک بودن هر کدام از عملگرهای ضرب را بدست آورد.

$$P_1(A.B) = P_1(A).P_1(B) = 0.5 * 0.7 = 0.35$$

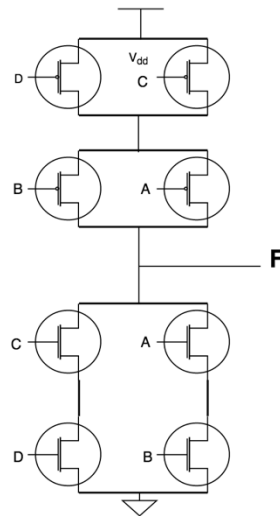
$$P_1(C.D) = P_1(C).P_1(D) = 0.2 * 0.9 = 0.18$$

در نتیجه احتمال سوئیچینگ هر کدام به صورت زیر است.

$$P_s(A.B) = 0.35 * 0.65 = 0.2275$$

$$P_s(C.D) = 0.18 * 0.82 = 0.1476$$

احتمال سوئیچینگ A.B بیشتر از C.D می‌باشد. پس در نتیجه باید نزدیک به خروجی قرار گیرد. آرایش نهایی ترانزیستورها به صورت زیر است.



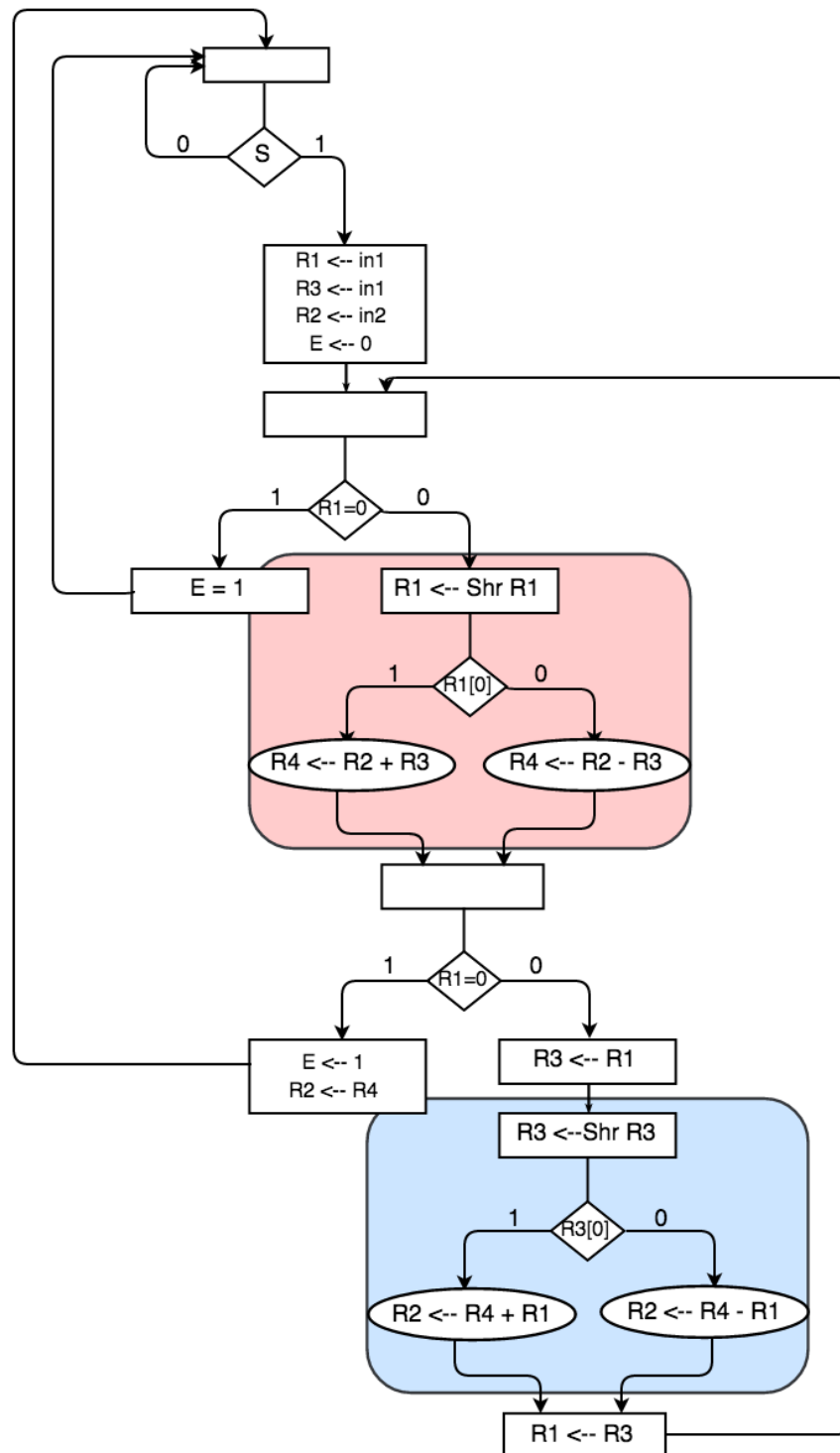
۳- هدف از روش Operand Isolation این است که بلوک‌های منطقی ترکیبی را زمانی که در هر چرخه ساعت کاری انجام نمی‌دهد مسدود کرد. روش مسدود کردن بلوک‌های ترکیبی می‌توان شامل جلوگیری از فعال شدن ورودی‌های بلوک باشد که در هر چرخه ساعت هنگامی که خروجی بلوک استفاده نمی‌شود، ورودی تغییر نکند. این روش نباید تغییری در عملکرد مدار ایجاد کند.

در این سوال، در قسمت‌های سوم و چهارم با هر بار شیفت R1 مقدار بیت اول R1 تغییر می‌کند که هر بار با تغییر R1، دو واحد جمع‌کننده و تفریق‌کننده عملیات را انجام می‌دهد. در حالی که در هر چرخه فقط به یکی از خروجی‌های جمع‌کننده و تفریق‌کننده نیاز است. از آنجا که در صورت سوال ذکر شده است که فقط با افزودن دو ثبات R3 و R4 به این کد این روش اعمال شود، در نتیجه، قطعه کد به صورت زیر تبدیل می‌شود که در صورت نیاز واحد جمع‌کننده و تفریق‌کننده هر کدام عملیات خود را انجام دهند.

```
S. F1' : R1 ← in1, R2 ← in2, F1 ← 1, E ← 0
F1. F2' : if R1 = 0 then {F1 ← 0, E ← 1} else {F2 ← 1}
F2. R1[0]: F3 ← 1, F4 ← 0
F2. R1[0]': F3 ← 0, F4 ← 1
F3: R3 ← R1
F4: R4 ← R1
F2. R1[0]: R1 ← shr R1, R2 ← R2+R3, F2 ← 0
F2. R1[0]': R1 ← shr R1, R2 ← R2-R4, F2 ← 0
```

با کد RTL بالا فقط توانسته‌ایم بر روی یک عملگر Isolation انجام دهیم. برای اینکه بخواهیم هر دو عملگر این روش را اعمال کنیم، نمودار ASM آن به صورت زیر می‌شود. همانطور که مشاهده می‌کنید، در کادر صورتی رنگ دو ثبات R1 و R4 مقدارشان تغییر می‌کند، در حالیکه ورودی واحد‌های جمع‌کننده و تفریق‌کننده R2 و R3 می‌باشد، در نتیجه این

دو واحد را Isolate کرده‌ایم و فعالیت‌های درونی‌ایشان را کاهش داده‌ایم. به همین صورت در کادر آبی رنگ دو ثبات R2 و R3 مقدار دهی می‌شوند و ورودی‌های واحدهای جمع‌کننده و تفریق‌کننده دو ثبات R1 و R4 می‌باشد. توجه: اگر در پاسخی که به این سوال داده شده است، توانسته باشید برای یکی از عملگرها (مانند کد بالا) این روش را اعمال کنید، درصد بالایی از نمره را خواهید گرفت.



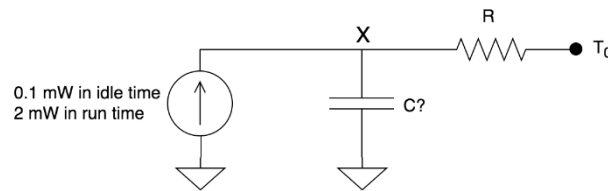
۴- توان مصرفی در حالت فعال: 2mW

توان مصرفی در حالت استراحت: 0.1mW

مقاومت گرمایی محیط (R): 50 C/mW

دمای محیط (T_0): 25 C

ظرفیت گرمایی پردازنده (C) حداقل چقدر باشد که در پایان ۱۵ میلی ثانیه دمای پردازنده از ۸۰ درجه سانتیگراد بالاتر نرود.



دما در لحظه $t = 0$ و در $t = +\infty$ در نقطه X برابر با مقادیر زیر است.

$$X(0) = 0.1 * 50 + 25 = 30^\circ\text{C}$$

$$X(+\infty) = 2 * 50 + 25 = 125^\circ\text{C}$$

پس در نتیجه تابع دما در نقطه X به صورت زیر است:

$$X(t) = 125 - 95e^{-\frac{t}{RC}}$$

از آنجا که در لحظه $t = 15 \text{ ms}$ نمی‌خواهیم دمای X از ۸۰ بیشتر گردد، داریم:

$$125 - 95e^{-\frac{15 \text{ ms}}{RC}} < 80$$

$$45 < 95e^{-\frac{15 \text{ ms}}{RC}} \rightarrow \frac{45}{95} = \frac{9}{19} < e^{-\frac{15 \text{ ms}}{RC}} \rightarrow \ln\left(\frac{9}{19}\right) < -\frac{15 \text{ ms}}{RC}$$

$$\rightarrow \ln\left(\frac{19}{9}\right) > \frac{15 \text{ ms}}{\left(50 \frac{^\circ\text{C}}{\text{mW}}\right) C} \rightarrow C > \frac{15 \text{ ms}}{\ln\left(\frac{19}{9}\right) * \left(50 \frac{^\circ\text{C}}{\text{mW}}\right)} \rightarrow$$

$$C = \frac{0.3}{\ln\left(\frac{19}{9}\right)} \mu\text{J}/^\circ\text{C}$$

نوشتن واحد ظرفیت گرمایی ضروری است.

برای پاسخ سه پرسش آخر به جزوه مراجعه شود.