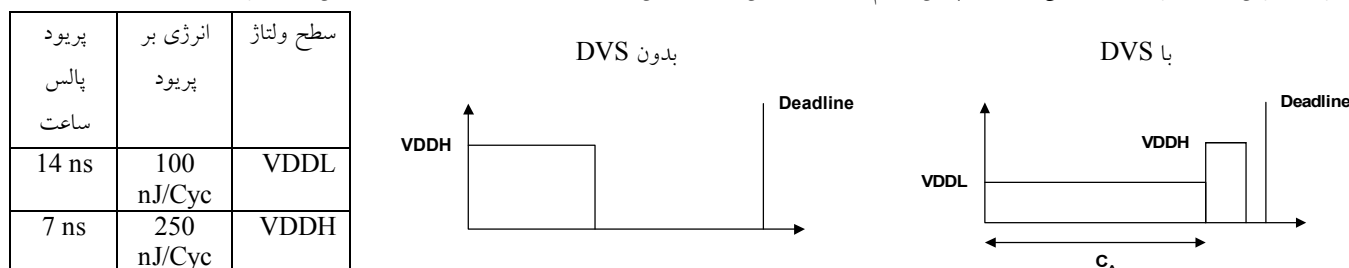
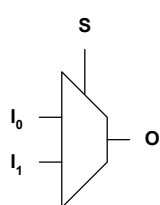


۱- در یک سیستم بی‌درنگ سخت از روش DVS برای کاهش توان مصرفی استفاده می‌شود. در این سیستم برنامه‌ای به اجرا در می‌آید که اجرای آن بر حسب پالس ساعت بین ۱۰۰۰۰ الی ۱۱۰۰۰۰ پالس با توزیع احتمال یکنواخت به طول می‌انجامد. این پردازنده دارای دو سطح ولتاژ VDDL و VDDH با مشخصات جدول زیر است. زمان ضرب العجل در این سیستم برابر با ۱,۱ ms است. در این سیستم نمی‌شود کل برنامه را با VDDL اجرا نمود چون در این صورت احتمال از دست دادن ضرب العجل وجود دارد ولی هموار بخش اول برنامه با ولتاژ VDDL به اجرا در می‌آید و بخش انتهایی با ولتاژ VDDH به این امید که برنامه این احتمال را دارد که زودتر از بدترین زمان اجرای خود (یعنی ۱۱۰۰۰۰ پالس) تمام شود که در این حالت بخش VDDH یا نیاز نخواهد بود و یا بخش کوچتری از آن وجود خواهد داشت.



الف - مقدار پارامتر C_A (زمان اجرای بخش نخست با ولتاژ VDDL) را به نحوی محاسبه کنید که متوسط انرژی مصرفی سیستم دارای DVS کمینه گردد. (۲,۵ نمره)
 ب- در صورت انتخاب بهترین مقدار برای C_A مقدار انرژی مصرفی سیستم دارای DVS چند درصد انرژی مصرفی سیستم بدون DVS است. (۲,۵ نمره)
 یادآوری: سیستم بی‌درنگ سخت سیستمی است که در صورت از دست دادن ضرب العجل زیان جدی مالی یا جانی ایجاد می‌شود و به همین دلیل هرگز نباید ولتاژی به سیستم اعمال شود که احتمال از دست رفتن ضرب العجل را (هرچند احتمال کوچک) ایجاد کند.

۲- برای طراحی یک مدار کاملاً بی‌دررو (Fully Adiabatic) از روش طراحی Retractable استفاده شده است. با فرض اینکه در این مدار کل تعداد APS های موجود ۴ عدد باشد A_0, A_1, A_2 و A_3 که Duty cycle آن‌ها به ترتیب کاهش می‌یابد (A_0 دارای بزرگترین Duty cycle است).



الف) یک مدار مالتی پلکسر ۲ به ۱ که از این خانواده استفاده می‌کند را طراحی کنید. در این طراحی دقت کنید که (۱) شکل کامل مدار در سطح ترانزیستور باید ترسیم شود، (۲) اجباری وجود ندارد که از تمامی APS های موجود استفاده کنید. (۲,۵ نمره)
 ب) با فرض اینکه سه ورودی متوالی زیر به مالتی پلکسر اعمال شده باشد و با فرض اینکه ورودی‌ها با فاز A_0 همگام باشند شکل موج مربوط به ورودی‌ها و خروجی‌های مالتی پلکسری که طراحی کرده‌اید را ترسیم کنید. (۱,۵ نمره)
 مقادیر ورودی در پالس اول: $S=0, I_0=0, I_1=0$ ؛ پالس دوم: $S=0, I_0=1, I_1=0$ ؛ پالس سوم: $S=1, I_0=1, I_1=1$

۳- یک شمارنده ۳ بیتی دارای دو ورودی کنترلی است: (۱) reset (سنکرون با CLK و ۲) UP/~DOWN که تعیین کننده جهت شمارش است. می‌خواهیم با استفاده از روش FSM Partitioning و با تقسیم شمارنده به دو FSM انرژی مصرفی این شمارنده را کاهش دهیم. نمودار حالت این مدار را قبل و بعد از عمل FSM Partitioning ترسیم کنید. همچنین ورودی‌ها و خروجی‌های FSM های خود را پیش و پس از Partitioning بطور کامل مشخص کنید. توجه کنید که: (۱) این مسئله جواب منحصر به فرد ندارد. (۲) پس از Partitioning دو FSM ایجاد می‌شود و بنابراین باید دو نمودار حالت برای مدار Partition شده رسم کنید. (۳ نمره)

۴- روش کاهش توان مصرفی Block-Level Control را بطور کامل و با استفاده از مثال شرح دهید. اثر این روش بر روی توان مصرفی ایستا چیست؟ (۲ نمره)

۵- فرض کنید که می‌خواهیم توان مصرفی یک جمع کننده ۳ بیتی (که دو عدد ۳ بیتی $A_2A_1A_0$ و $B_2B_1B_0$ جمع می‌شوند و عدد ۴ بیتی $C_3C_2C_1C_0$ حاصل می‌شود) را با روش Pre-Computation کاهش دهیم و برای این کار از مفهوم ODC استفاده می‌کنیم.

الف- با فرض اینکه داده‌ها با توزیع یکنواخت به ورودی جمع کننده اعمال می‌شوند و پیش‌گویی براساس مقدار A_1A_0 انجام شود تابع منطقی مربوط به پیشگو را بدست آورید. آیا شما پیشگویی براساس A_1A_0 را روش مناسبی برای کاهش توان مصرفی جمع کننده مذکور می‌دانید؟ چرا؟ (۲ نمره)

ب- فرض کنید که می‌دانیم در ۸۰ درصد موارد مقدار A کمتر از ۴ و مقدار B بزرگتر یا مساوی با ۴ است. چه مدار پیشگویی را برای جمع کننده فوق توصیه می‌کنید؟ تابع منطقی پیشگو را مشخص کنید. (۲ نمره)

۶- برای انتقال اطلاعات بر روی یک گذرگاه در یک تراشه از مدولاسیون Transition Signaling استفاده می‌شود. آیا در چنین گذرگاهی می‌توانیم برای کاهش انرژی مصرفی از Bus-Inverting استفاده کنیم؟ از روش Reduced Voltage Swing چه؟ (۲ نمره)