

## Микро- процессорный комплект K1804

Комплект быстродействующих микропроцессорных БИС серии K1804 предназначен для построения микроЭВМ средней производительности, контроллеров и средств цифровой автоматики. Комплект может служить элементной базой СМ ЭВМ и рассчитан на реализацию структур машин с произвольной системой команд. Секционная архитектура БИС комплекта позволяет наращивать разрядность устройств. Способ управления БИС — микропрограммный. Ориентация на выбранную систему команд реализуется эмуляцией на микропрограммном уровне, путем занесения в ПЗУ необходимых для этого прошивок. На комплекте K1804 реализована микроЭВМ «Электроника-81» с унифицированными интерфейсами и системой команд [1–4].

### 11.1. Состав комплекта

В состав серии K1804 входят следующие БИС: два типа секционных центральных процессорных элементов (ЦПЭ); два типа секционных блоков микропрограммного управления (СБМУ); контроллер последовательностей микрокоманд (КПМ); блок микропрограммного управления (БМУ); секционный контроллер адреса (КА); параллельный регистр (РГ); блок ускоренного переноса (БУП); контроллер состояния (КС); три типа секционных магистральных приемо-передатчиков (МПП); генератор синхронизации (ГСИ); многоцелевой буферный регистр (МБР); секционный 8-разрядный порт ввода/вывода (ПВВ).

Основные системные параметры и обозначения БИС комплекта K1804 приведены в табл. 11.1. Все БИС имеют напряжение питания  $(5 \pm 0,25)$  В и совместимы со стандартными ТТЛ схемами.

При использовании комплект дополняется ИС серий K531, K555, K133, K533, БИС ЗУ серий K541, K556, K133 и другими совместимыми с ТТЛ ИС.

### 11.2. Центральный процессорный элемент K1804BC1

Большая интегральная схема ЦПЭ предназначена для арифметико-логической обработки данных и временного хранения результатов вычислений во встроенной регистровой памяти. Обладая секционной структурой, ЦПЭ позволяет за счет объединения нескольких БИС строить процессоры произвольной разрядности.

**Структура БИС ЦПЭ.** Блок-схема ЦПЭ приведена на рис. 11.1 в ее состав входят: 4-разрядное арифметико-логическое устройство (ALU); два сдвигателя (SHL1, SHL2); два регистра-зашелки (RGA, RGB); два мультиплексора (MUX); рабочий регистр QR; блок регистров общего назначения с организацией (RAM); декодер микрокоманд (DC).

Структура БИС хорошо приспособлена для обработки сложных алгоритмов арифметических операций. Описание выводов БИС приведено в табл. 11.2.

**Система микрокоманд.** Микросхема управляется 18-разрядной микрокомандой, включающей 9-разрядный код ми-

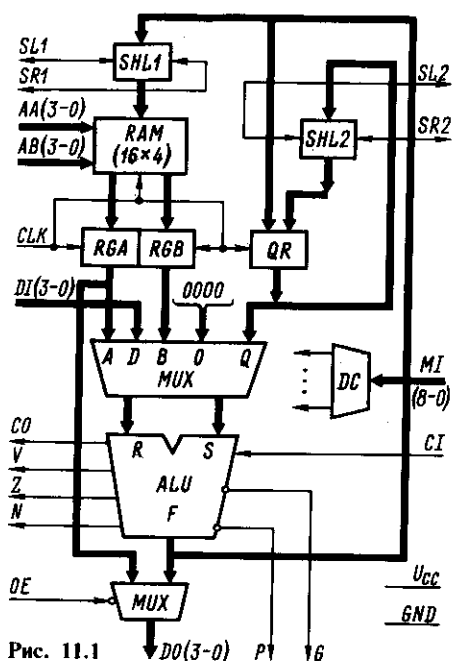


Рис. 11.1

Система микрокоманд обеспечивает высокое алгоритмическое быстродействие БИС. Например, наличие микрокоманд  $(BR, QR) := SLR(BR + AR, QR)$  и  $(BR, QR) := SLR(BR, QR)$  позволяет организовать обработку микропрограммы умножения модулей чисел с быстродействием

Таблица 11.3. Выбор источников операндов в БИС K1804BC1

Мнемоника	Микрокоманда $MI(2-0)$			Источник операндов АЛУ	
				R	S
AQ	0	0	0	A	Q
AB	0	0	1	A	B
ZQ	0	1	0	0	Q
ZB	0	1	1	0	B
ZA	1	0	0	0	A
DA	1	0	1	D	A
DQ	1	1	0	D	Q
DZ	1	1	1	D	0

Таблица 11.2. Описание выводов БИС K1804BC1

Обозначение выводов	Номер контакта	Назначение вывода
DI(3-0)	22; 23; 24; 25	Входная 4-разрядная параллельная шина данных
DO(3-0)	39; 38; 37; 36	Выходная 4-разрядная параллельная шина данных
SR1, SL1, SR2, SL2	9; 8; 21; 16	Двунаправленные цепи сдвига информации в АЛУ и рабочем регистре
AA(3-0)	1; 2; 3; 4	4-разрядная параллельная шина адреса РОН (порт A)
AB(3-0)	20; 19; 18; 17	4-разрядная параллельная шина адреса РОН (порт B)
CI	32	Вход последовательного переноса АЛУ
CO	28	Выход последовательного переноса АЛУ
P, G	26; 29	Выходы разрешения и распространения параллельного переноса АЛУ
V	27	Выход признака переполнения результата
Z	11	Выход признака нуля результата
N	30	Выход знака результата
OE	40	Вход разрешения выдачи данных в DO(3-0)
MI(8-0)	6; 7; 5; 34; 33; 35; 14; 13; 12	9-разрядная параллельная входная шина микрокоманды
CLK	15	Вход синхронизации
UCC	10	Напряжение питания (+5 В)
GND	31	» » (0 В)

крооперации, строб выдачи данных и два 4-разрядных адреса (RAM). Поля AA и AB ведут выбор регистров на A и B входах MUX. Разряды MI(2-0) определяют выбор источников операндов (табл. 11.3), MI(8-6) — приемник результата (табл. 11.4), а MI(5-3) — операции АЛУ (табл. 11.5).

один такт на разряд при размещении в QR — множителя, в AR — множимого с образованием произведений в BR и QR.

Являясь типичным представителем секционных микропроцессоров, имеющих микрокоманды с фиксированными полями, ЦПЭ обладает и недостатками, основным среди которых является очень

Таблица 11.4. Выбор приемников результата в БИС K1804BC1

Мнемо-ника	Микрокоманда MI(8-6)			Функция		Код на DY	Сдвигатель			
							RAM		QR	
				RAM	QR		SR1	SL1	SR2	SL2
OREQ	0	0	0	—	$(QR) := (F)$	F	X	X	X	X
NOP	0	0	1	—	—	F	X	X	X	X
PAMA	0	1	0	$(BR) := (F)$	—	A	X	X	X	X
RAME	0	1	1	$(BR) := (F)$	—	F	X	X	X	X
RAMQD	1	0	0	$(BR) := SLR(F)$	$(OR) := SLR(QR)$	F	F <sub>0</sub>	DI <sub>3</sub>	QR <sub>0</sub>	DI <sub>3</sub>
RAMD	1	0	1	$(BR) := SLR(F)$	—	F	F <sub>0</sub>	DI <sub>3</sub>	QR <sub>0</sub>	X
RAMQU	1	1	0	$(BR) := SLL(F)$	$(QR) := SLR(QR)$	F	DI <sub>0</sub>	F <sub>3</sub>	DI <sub>0</sub>	QR <sub>3</sub>
RAMU	1	1	1	$(BR) := SLL(F)$	—	F	DI <sub>0</sub>	F <sub>3</sub>	X	QR <sub>3</sub>

Примечания: 1. SLL — сдвиг логический влево (в сторону старших разрядов). 2. SLR — сдвиг логический вправо (в сторону младших разрядов). 3. BR — регистр RAM, выбранный по входам AB(3-0). 4. «—» — пустая операция (NOP). 5. X — произвольное значение ( $X \in \{0,1\}$ ).

Таблица 11.5. Операции ALU БИС K1804BC1

Мнемо-ника	Микро-команда MI(5-3)			Функция АЛУ	Формирование сигналов на выходах			
					$\overline{P}$	$\overline{G}$	CO	V
ADD	0	0	0	$R + S + CI$	$P_3 P_2 P_1 P_0$	$\overline{G}_3 \vee \overline{P}_3 \overline{G}_2 \vee$ $\vee \overline{P}_3 \overline{P}_2 \overline{G}_1 \vee$ $\vee \overline{P}_3 \overline{P}_2 \overline{P}_1 \overline{G}_0$	$C_4$	$C_3 \oplus C_4$
SUBR	0	0	1	$S - R + CI$	Аналогично $R + S$ с заменой $R_i$ на $\overline{R}_i$			
SUBS	0	1	0	$R - S + CI$	Аналогично $R + S$ с заменой $S_i$ на $\overline{S}_i$			
OR	0	1	1	$R \vee S$	0	$P_3 P_2 P_1 P_0$	$\overline{P}_3 \overline{P}_2 \overline{P}_1 \overline{P}_0 \vee$ $\vee CI$	$\overline{P}_3 \overline{P}_2 \overline{P}_1 \overline{P}_0 \vee$ $\vee CI$
AND	1	0	0	$R \wedge S$	0	$\overline{G}_3 \vee \overline{G}_2 \vee G_1 \vee$ $\vee \overline{G}_0$	$G_3 \vee G_2 \vee G_1 \vee$ $\vee G_0 \vee CI$	$G_3 \vee G_2 \vee G_1 \vee$ $\vee G_0 \vee CI$
NOTRS	1	0	1	$\overline{R} \wedge S$	0	Аналогично $R \wedge S$ с заменой $R_i$ на $\overline{R}_i$		
EXOR	1	1	0	$R \oplus S$	Аналогично $R \vee S$ с заменой $\overline{R}_i$ на $R_i$			
EXNOR	1	1	1	$\overline{R} \oplus \overline{S}$	$G_3 \vee G_2 \vee$ $\vee G_1 \vee G_0$	$G_3 \vee P_3 G_2 \vee$ $\vee P_3 P_2 G_1 \vee$ $\vee P_3 P_2 P_1 P_0$	$\overline{G}_3 \vee \overline{P}_3 \overline{G}_2 \vee$ $\vee \overline{P}_3 \overline{P}_2 \overline{G}_1 \vee$ $\vee \overline{P}_3 \overline{P}_2 \overline{P}_1 \overline{G}_0 \vee$ $\vee (\overline{G}_0 \vee \overline{CI})$	*

\*  $[\bar{P}_2 \vee \bar{G}_2 \bar{P}_1 \vee \bar{G}_2 \bar{G}_1 \bar{P}_0 \vee \bar{G}_2 \bar{G}_1 \bar{G}_0 CI] \vee [P_3 \vee \bar{G}_3 \bar{P}_2 \vee \bar{G}_3 \bar{G}_2 \bar{P}_1 \vee \bar{G}_3 \bar{G}_2 \bar{G}_1 \bar{P}_0 \vee \bar{G}_3 \bar{G}_2 \bar{G}_1 \bar{G}_0 CI]$ ,  
где  $P_0 = R_0 \vee S_0$ ;  $G_0 = R_0 S_0$ ;  $P_1 = R_1 \vee S_1$ ;  $G_1 = R_1 S_1$ ;  $P_2 = R_2 \vee S_2$ ;  $G_2 = R_2 S_2$ ;  $P_3 = R_3 \vee S_3$ ;  $G_3 = R_3 S_3$ ;  
 $C_3 = G_2 \vee P_2 G_1 \vee P_2 P_1 G_0 \vee P_2 P_1 P_0 CI$ ;  $C_4 = G_3 \vee P_3 G_2 \vee P_3 P_2 G_1 \vee P_3 P_2 P_1 G_0 \vee P_3 P_2 P_1 P_0 CI$ .

большая разрядность управляющих кодов. Следует также отметить, что БИС K1804BC1 выполняет только логические сдвиги, преобразование которых при умножении в арифметические осуществляется контроллером состояний K1804BP2 (требующим для управления цепями сдвига и переноса еще пяти управляющих сигналов) или внешней логикой, реализованной на ИС серии K531. При расчете быстродействия к задержкам ЦПЭ нужно прибавлять задержки не только в БУП K1804BP1, но и в контроллере состояний K1804BP2.

Большая интегральная схема ЦПЭ не имеет конвейерного регистра микрокоманд и требует для их хранения использования пяти корпусов ИС K533ИР1. Разрядность конвейерного регистра может быть уменьшена на 8 бит при использовании временной диаграммы работы процессора, учитывающей наличие регистров-защелок данных на обоих выходах RAM (RGA, RGB).

### 11.6. Блок микропрограммного управления **K1804BY4**

Микросхема предназначена для генерации последовательностей адресов микрокоманд разрядностью в 12 бит. БИС K1804BY4 не позволяет наращивать адрес за счет объединения нескольких микросхем и представляет собой законченное устройство с возможностями, адекватными трем объединенным БИС K1804BY2, управляемых одной БИС K1804BY3.

**Структура БМУ.** Блок-схема БМУ K1804BY4 приведена на рис. 11.4, в ее состав входят: 12-разрядный регистр-вычитающий счетчик, используемый для загрузки начального адреса и принудительной адресации (СТ), а также подсчета числа циклов; пятиуровневый стек адресов микропрограмм (STACK) с регистром — указателем стека (SP); 12-разрядный микропрограммный счетчик (PC) с блоком инкремента (INC); 4-входовой мультиплексор (MUX); декодер нулевого адреса (DC); схемы управления БМУ, выполненные в виде программируемой логической матрицы (PLA).

Описание выводов БМУ приведено в табл. 11.15. Микросхема имеет совмещенную шину задания принудительного

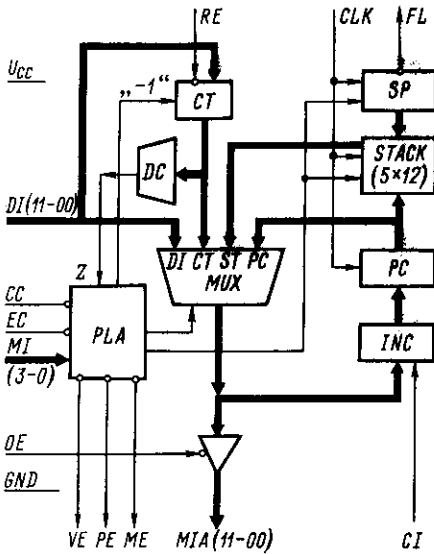


Рис. 11.4

Таблица 11.15. Описание выводов БМУ K1804BY4

Обозначение выводов	Номер контакта	Назначение вывода
<i>DI</i> (11-00)	27; 25; 23; 21; 19; 17; 4; 2; 40; 38; 36; 34	12-разрядная параллельная входная шина принудительного адреса
<i>MIA</i> (11-00)	28; 26; 24; 22; 20; 18; 3; 1; 39; 37; 35; 33	12-разрядная параллельная выходная шина адреса микрокоманд
<i>MI</i> (3-0)	8; 9; 11; 12	Входная 4-разрядная параллельная шина микрокоманд
<i>CC</i>	14	Вход условного перехода
<i>EC</i>	13	Вход разрешения анализа условия
<i>OE</i>	29	Вход разрешения выдачи адреса
<i>CI</i>	32	Вход разрешения счета
<i>RE</i>	15	Вход разрешения записи в регистр адреса
<i>FL</i>	16	Выход признака заполнения стека
<i>ME</i>	7	Выход разрешения работы ПЗУ начальных адресов

Обозначение выводов	Номер контакта	Назначение вывода
<i>VE</i>	5	Выход выбора источника адреса
<i>PE</i>	6	Выход разрешения работы конвейерного регистра микрокоманд
<i>CLK</i>	31	Вход синхронизации
<i>UCC</i>	10	Напряжение питания (+5 В)
<i>GND</i>	30	Напряжение питания (0 В)

и начального адресов, что в ряде применений требует использования внешнего мультиплексора для подключения шины *DI* к выходам ПЗУ микрокоманд или ПЗУ начальных адресов микропрограмм. БИС не имеет встроенного конвейерного регистра микрокоманд, и ее работа синхронизируется одной серией. Сигналы *RE* и *OE* обычно поступают из ПЗУ микрокоманд.

**Система микрокоманд БМУ.** Работа БИС управляется 8-разрядной микрокомандой, подаваемой на входе, *MI*(3-0), *OE*, *EC*, *CI* и *RLD*. В режиме принудительной адресации требуется дополнительно подача 12-разрядного адреса в шину *DI*, таким образом, суммарная разрядность микрокоманды в ПЗУ достигает 20 бит. Анализ системы микрокоманд (табл. 11.16) указывает на возможность эмуляции с помощью БИС всех микроопераций, выполняемых набором из трех СМУ K1804BY2 и КМП K1804BY3. При этом БМУ обладает рядом преимуществ, к числу которых следует отнести: большую кратность вложения микропрограмм (до пяти уровней); возможность последовательного счета адресов в двух регистрах *CT* и *PC* в противоположных направлениях; подсчет числа циклов в БМУ (до 4096 итераций).

Отличительными особенностями БИС являются генерация трех дополнительных сигналов управления *VE*, *PE*, *ME* и выработка сигнала заполнения стека *FL*. Специфику использования различных микрокоманд БМУ иллюстрирует рис. 11.5.

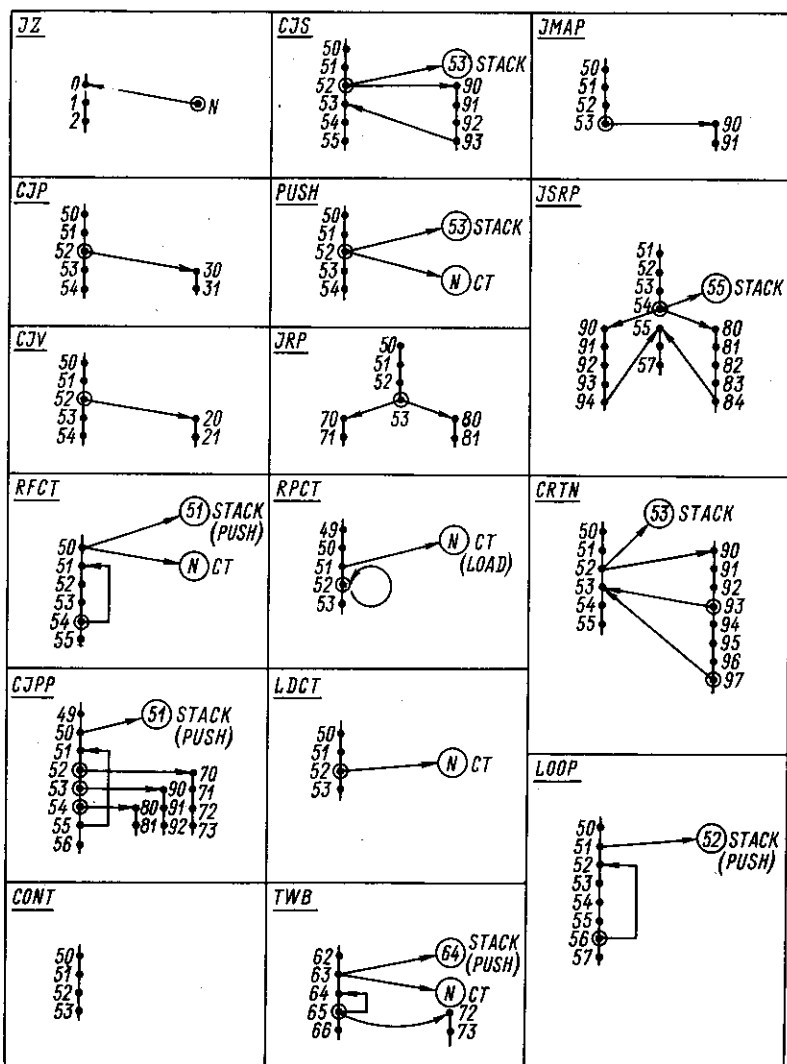


Рис. 11.5

Таблица 11.16. Система микрокоманд БМУ К1804ВУ4

Мнемоника	Микрокоманда M1(3-0)	Название операции	Состояние CT	Действия при EC, CC = 01		Действия при EC, CC = 10		Установка CT	Выдаваемый сигнал
				MIA	STACK	MIA	STACK		
JZ	0000	Переход адреса в нуль	X	0	CLEAR	0	CLEAR	—	$\overline{PE}$
CJS	0001	Переход к подпрограмме	X	PC	—	DI	PUSH	—	$\overline{PE}$
JMAP	0010	Вход в команду	X	DI	—	DI	—	—	$\overline{ME}$
CJP	0011	Безусловный переход из PC	X	PC	—	DI	—	—	$\overline{PE}$
PUSH	0100	Загрузка PC в стек	X	PC	PUSH	PC	PUSH	*	$\overline{PE}$
JSRP	0101	Вход в две подпрограммы	X	CT	PUSH	DI	PUSH	—	$\overline{PE}$
CJV	0110	Безусловный переход из CT по заданному адресу	X	CT	—	DI	—	—	$\overline{VE}$
JRP	0111	Безусловный переход из CT	X	CT	—	DI	—	—	$\overline{PE}$

Мнемоника	Микрокоманда MI(3-0)	Название операции	Состояние СТ	Действия при ЕС, СС = 01		Действия при ЕС, СС = 10		Установка СТ	Выдаваемый сигнал
				MIA	STACK	MIA	STACK		
RFCT	1000	Повторение при СТ ≠ 0, RG ≠ 0	≠ 0 = 0	ST PC	— POP	ST POP	— POP	DEC —	$\overline{PE}$ $\overline{PE}$
RPCT	1001	Повторение при СТ ≠ 0, RG ≠ 0	≠ 0 = 0	DI PC	— —	DI PC	— —	DEC —	$\overline{PE}$ $\overline{PE}$
CRTN	1010	Возврат из подпрограммы	X	PC	—	ST	POP	—	$\overline{PE}$
CJPP	1011	Переход с выбором из стека	X	PC	—	DI	POP	—	$\overline{PE}$
LDCT	1100	Загрузка СТ и продолжение	X	PC	—	PC	—	LOAD	$\overline{PE}$
LOOP	1101	Организация цикла	X	ST	—	PC	POP	—	$\overline{PE}$
CONT	1110	Последовательная адресация	X	PC	—	PC	—	—	$\overline{PE}$
TWB	1111	Ветвление в три точки	≠ 0 = 0	ST DI	— POP	PC PC	POP POP	DEC —	$\overline{PE}$ $\overline{PE}$

Примечания: 1. CLEAR — очистка. 2. PUSH — инкремент SR с последующей загрузкой адреса в стек. 3. POP — выбор адреса из стека с последующим декрементом SR. 4. LOAD — загрузка. 5. X — произвольное значение сигнала ( $X \in [0,1]$ ).

\* При СС, ЕС ≠ 10 — загрузка, иначе пустая операция (—).



## 11.8. Контроллер состояний **K1804BP2**

Микросхема КС предназначена для управления цепями сдвига, переноса и формирования признаков ветвлений программ и микропрограмм процессоров, построенных на основе секционных ЦПЭ K1804BC1.

**Структура КС K1804BP2.** Структурная схема контроллера состояний приведена на рис. 11.7, в его состав входят: мульти-

плексоры сдвигов *SH MUX*, переносов *C MUX*, проверки признаков ветвлений *TST MUX* и три 4-разрядных мультиплексора информационных цепей *MUX*; регистры признаков ветвлений микропрограмм *NRG* и программ *MRG*; дешифратор микроопераций *DC*.

Описание выводов КС приведено в табл. 11.19. В составе БИС можно выделить три блока с функционально-различным назначением: логику формирования сдвигов *SH MUX*; логику управления переносами *C MUX* и *DC*; логику формирования признаков ветвлений программ и микропрограмм *MRG*, *NRG*, *TST MUX* и *MUX*.

Принципы использования КС поясняются приведенной на рис. 11.8 функциональной схемой 16-разрядного процессора, где БИС «вставляется в разрыв» цепи сдвигов и переносов между ЦПЭ, находящимися в старшей и младшей позиции. Так как в самих ЦПЭ K1804BC1 нет входов задания позиции, то КС формирует необходимые коды на входах сдвигов и таким образом трансформирует логические сдвиги данных в ЦПЭ в логические, арифметические или циклические сдвиги данных в процессоре, гене-

рирует сигналы входного переноса и управляет входом ветвлений устройства микропрограммного управления. Для прерывания подпрограмм с сохранением и восстановлением содержимого регистра состояний процессора в БИС предусмотрена возможность записи информации в *MRG* и *NRG* из входной шины *I* (*C*, *Z*, *N*, *V*) и выдачи их содержимого в выходную шину *Y* (*C*, *Z*, *N*, *V*).

В *MRG* и *NRG* имеется по четыре триггера, предназначенных для хранения признаков *C* — переноса, *Z* — нуля, *N* — знака, *V* — переполнения. При реализации специализированных систем в этих триггерах могут храниться и другие признаки, что достигается коммутацией сигналов на входной и выходной шинах.

**Система микрокоманд КС.** Управление сигналами переноса осуществляется 2-разрядной микрокомандой, поступающей на входы *MI*(12–11), и сигналами *MI*(5, 3, 21) согласно табл. 11.20. При этом на вход переноса ЦПЭ, стоящего в младшей позиции, могут быть поданы перенос из предыдущего такта, запомненный в *NRG*, сдвиг из *SHMX*, 0,1 или значение входного переноса, считанное из ПЗУ микрокоманд.

Управление типом сдвига осуществляется микрокомандой, поступающей на входы *MI*(10–6) согласно табл. 11.21. При этом в качестве входных переменных могут использоваться сигналы на выходах сдвига и шине *I* (*C*, *N*, *V*, *Z*). Все типы сдвигов данных в ЦПЭ, образуемых с помощью КС, иллюстрируются рис. 11.9, где *MI*(10–6) дано в восьмеричном коде; *BR* и *QR* имеют старшие разряды слева.

Управление регистрами состояния осуществляется кодом на *MI*(5–0) согласно табл. 11.22, при этом в качестве дополнительных разрядов управления используются сигналы выбора регистров *CEM*, *CES* и сигналы выбора триггеров *SRG* (*EC*, *EZ*, *EN*, *EV*), благодаря чему возможна селекция как регистров, так и отдельных триггеров в *MRG*. Управление выходом кода условия *CC* задается табл. 11.23.

Стробы выдачи *OEV*, *OEC* и *SE* отпирают выходные каскады шин *Y* (*C*, *Z*, *N*, *V*), *CC* и сдвигов, благодаря чему достигается необходимая гибкость управления БИС.

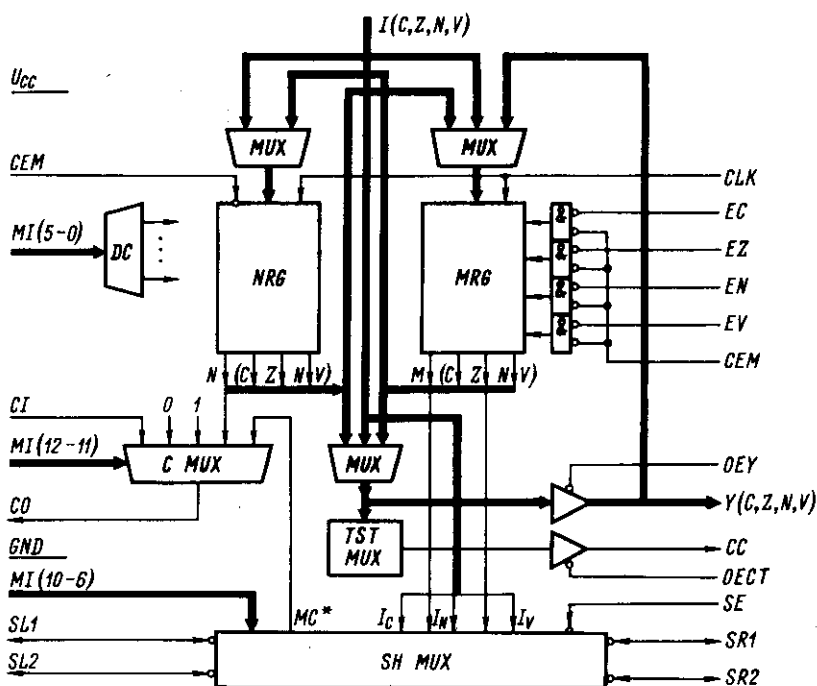
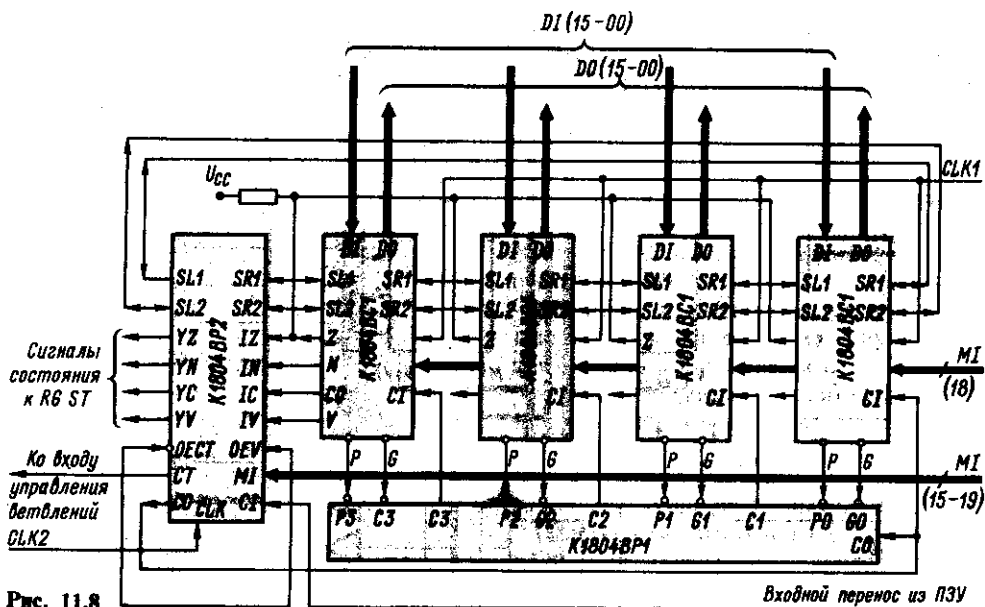


Рис. 11.7

Таблица 11.19. Описание выводов КС K1804BP2

Обозначение вывода	Номер контакта	Назначение вывода
$I(C, Z, N, V)$	12; 9; 14; 16	Входная 4-разрядная параллельная шина признаков условных переходов
$EC, EZ, EN, EV$	11; 8; 13; 15	Входы разрешения записи меток $C, Z, N, V$ в регистр состояния программ
$CEM$	7	Входы разрешения записи меток в регистры состояния программ и микропрограмм
$Y(C, Z, N, V)$	31; 32; 29; 28	Выходная 4-разрядная параллельная шина признаков условных переходов
$OEY$	20	Вход разрешения выдачи меток
$MI(12-0)$	23; 22; 38; 39; 40; 1; 3; 4; 5; 6; 21; 19; 18	Входная 13-разрядная параллельная шина микрокоманд
$CI$	24	Вход переноса подключается к $CO$ АЛУ
$CO$	25	Выход переноса подключается к $CI$ АЛУ
$SR1, SL1, SR2, SL2$	35; 36; 33; 34	Двунаправленные цепи распространения сдвигов в ЦПЭ
$CC$	27	Выход условия перехода
$OECT$	26	Вход разрешения выдачи условия
$SE$	37	Вход разрешения выполнения сдвига
$CLK$	17	Вход синхронизации
$U_{cc}$	10	Напряжение питания (+5 В)
$GND$	30	» » (0 В)



Правила управления выдачей информации в шину  $Y$  ( $C$ ,  $Z$ ,  $N$ ,  $V$ ) задает табл. 11.24, а табл. 11.25 – критерии для оценки результата операции вычитания ( $A - B$ ) в БИС центрального процессора.

Суммарная разрядность поля ПЗУ управляющего КС составляет  $15 \div 20$  бит. БИС не имеет встроенного конвейерного регистра микрокоманд.

Таблица 11.20. Управление сигналами переноса

Код микрокоманды						Сигнал на выходе $CO$
$MI12$	$MI11$	$MI5$	$MI3$	$MI2$	$MI1$	
0	0	X	X	X	X	0
0	1	X	X	X	X	1
1	0	X	X	X	X	$CI$
1	1	0	0	X	X	$NC$
1	1	0	X	1	X	$NC$
1	1	0	X	X	1	$NC$
1	1	0	1	0	0	$NC$
1	1	1	0	X	X	$MC$
1	1	1	X	1	X	$MC$
1	1	1	X	X	1	$MC$
1	1	1	1	0	0	$MC$

Примечания: 1. X – безразличное состояние ( $X \in \{0, 1\}$ ). 2.  $NC$  и  $MC$  – содержимое разрядов  $C$  регистров  $NRG$  и  $MRG$  соответственно.

Таблица 11.21. Управление выполнением сдвигов (при  $SE = 0$ )

$MI^*$ (10 – 6)	Информация на выходах сдвигов КС				Загрузка в МС	$MI^*$ (10 – 6)	Информация на выходах сдвигов КС				Загрузка в МС
	$SL1$	$SR1$	$SL2$	$SR2$			$SL1$	$SR1$	$SL2$	$SR2$	
00	HZ	0	HZ	0	—	20	0	HZ	0	HZ	$SR1$
01	HZ	1	HZ	1	—	21	1	HZ	1	HZ	$SR1$
02	HZ	0	HZ	$MN$	$SL1$	22	0	HZ	0	HZ	—
03	HZ	1	HZ	$SL1$	—	23	1	HZ	1	HZ	—
04	HZ	$MC$	HZ	$SL1$	—	24	$SR2$	HZ	0	HZ	$SR1$
05	HZ	$MN$	HZ	$SL1$	—	25	$SR2$	HZ	1	HZ	$SR1$
06	HZ	0	HZ	$SL1$	—	26	$SR2$	HZ	0	HZ	—
07	HZ	0	HZ	$SL1$	$SL2$	27	$SR2$	HZ	1	HZ	—

MI* (10-6)	Информация на выходах сдвигов КС				Загрузка в MC	MI* (10-6)	Информация на выходах сдвигов КС				Загрузка в MC
	SL1	SR1	SL2	SR2			SL1	SR1	SL2	SR2	
10	HZ	SL1	HZ	SL2	SL1	30	SR1	HZ	SR2	HZ	SR1
11	HZ	MC	HZ	SL2	SL1	31	MC	HZ	SR1	HZ	SR1
12	HZ	SL1	HZ	SL2	—	32	SR1	HZ	SR1	HZ	—
13	HZ	IC	HZ	SL1	—	33	MC	HZ	0	HZ	—
14	HZ	MC	HZ	SL1	SL2	34	SR2	HZ	MC	HZ	SR1
15	HZ	SL2	HZ	SL1	SL2	35	SR2	HZ	SR1	HZ	SR1
16	HZ	IN $\oplus$ IV	HZ	SL1	—	36	SR2	HZ	MC	HZ	—
17	HZ	SL2	HZ	SL1	—	37	SR2	HZ	SR1	HZ	—

Примечание. HZ — высокоимпедансное состояние выхода; «—» — отсутствие операции загрузки MC.

\* Кодировка MI в восьмеричном коде.

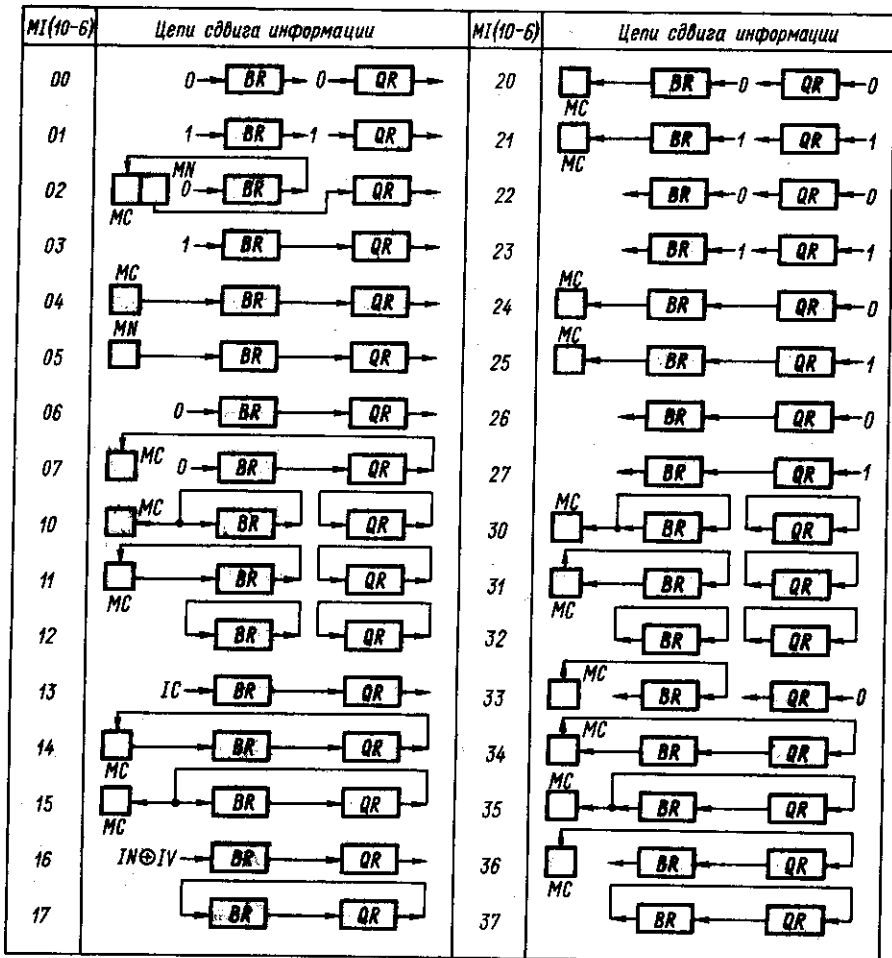


Рис. 11.9

Таблица 11.22. Операции загрузки регистров

Операции в NRG		Операции в MRG	
Код в MI* (5-0)	CEN = 0	Код в MI* (5-0)	CEM = EZ = EC = EN = EV = 0
00	(NRG) := (MRG)	00	(MRG) := Y(C, Z, N, V)
01	(NRG) := 1111	01	(MRG) := 1111
02	(NRG) ↔ (MRG)	02	(MRG) := (NRG)
03	(NRG) := 0000	03	(MRG) := 0000
		05	(MRG) := ( $\overline{\text{MRG}}$ )
06; 07	(NZ) := (IZ), (NC) := (IC), (NN) := (IN), (NV) := (IV) + (NV)	04	(MZ) := (IZ), (MC) := (MV), (MN) := (IN), (MV) := (MC)
10	(NZ) := 0	10; 11;	(MZ) := (IZ).
11	(NZ) := 1	30; 31;	(MC) := (IC),
12	(NC) := 0	50; 51;	(MN) := (IN),
13	(NC) := 1	70; 71	(MV) := (IV)
14	(NN) := 0		
15	(NN) := 1	06; 07; 12-17;	(MZ) := (IZ),
16	(NV) := 0	20-27; 32-37;	(MC) := (IC),
17	(NV) := 1	40-47; 52-67;	(MN) := (IN),
		72-77	(MV) := (IV)
30; 31;	(NZ) := (IZ)	Примечание. Команды сдвигов с участием разряда переноса загружают MC независимо от кода MI(5-0)	
50; 51;	(NC) := (IC),		
70; 71	(NN) := (IN), (NV) := (IV)		
04; 05;	(NZ) := (IZ),		
20-27;	(NC) := (IC),		
32-47;	(NN) := (IN),		
52-67;	(NV) := (IV)		
72-77			

\* Восьмеричная кодировка микрокоманды.

Таблица 11.23. Управление выходом кода условия

Код микрокоманды *	Правила образования выходного сигнала CC, индицируемого при OEC = 0			
MI(3-0)	MI(5, 4) = 00	MI(5, 4) = 01	MI(5, 4) = 10	MI(5, 4) = 11
0	$(NN \oplus NV) + NZ$	$(NN \oplus NV) + NZ$	$(MN \oplus MV) + MZ$	$(IN \oplus IV) + IZ$
1	$(NN \oplus NV) \cdot \overline{NZ}$	$(NN \oplus NV) \cdot \overline{NZ}$	$(MN \oplus MV) + \overline{MZ}$	$(IN \oplus IV) \cdot \overline{IZ}$
2	$NN \oplus NV$	$NN \oplus NV$	$MN \oplus MV$	$IN \oplus IV$
3	$\overline{NN \oplus NV}$	$\overline{NN \oplus NV}$	$\overline{MN \oplus MV}$	$\overline{IN \oplus IV}$
4	NZ	NZ	MZ	IZ
5	$\overline{NZ}$	$\overline{NZ}$	$\overline{MZ}$	$\overline{IZ}$
6	NV	NV	MV	IV
7	$\overline{NV}$	$\overline{NV}$	$\overline{MV}$	$\overline{IV}$
8	NC + NZ	NC + NZ	MC + MZ	IC + IZ
9	$\overline{NC} \cdot \overline{NZ}$	$\overline{NC} \cdot \overline{NZ}$	$\overline{MC} \cdot \overline{MZ}$	$\overline{IC} \cdot \overline{IZ}$
A	NC	NC	MC	IC
B	$\overline{NC}$	$\overline{NC}$	$\overline{MC}$	$\overline{IC}$
C	$\overline{NC} + NZ$	$\overline{NC} + NZ$	$\overline{MC} + MZ$	$\overline{IC} + IZ$
D	$NC \cdot \overline{NZ}$	$NC \cdot \overline{NZ}$	$MC + \overline{MZ}$	$IC \cdot \overline{IZ}$
E	IN $\oplus$ MN	NN	MN	IN
F	$\overline{IN \oplus MN}$	$\overline{NN}$	$\overline{MN}$	$\overline{IN}$

\* Шестнадцатиричный код.

\* Шестнадцатиричный код.

Таблица 11.24. Управление выходной шиной  
 $Y(C, Z, N, V)$

Код на входах управления			Информация на шине $Y(C, Z, N, V)$
$OEY$	$MI5$	$MI4$	
1	X	X	$Y(C, Z, N, V) = HZ$
0	0	X	$Y(C, Z, N, V) = (NRG)$
0	1	0	$Y(C, Z, N, V) = (MRG)$
0	1	1	$Y(C, Z, N, V) = I(C, Z, N, V)$

Примечания: 1. При  $MI(5-0) = 00000$  шина  $Y(C, Z, N, V)$  является входом независимо от  $OEY$ . 2. X – произвольное значение ( $X \in [0,1]$ ). 3. HZ – высокоимпедансное состояние выхода.

Таблица 11.25. Правила сравнения чисел после вычитания  $(A-B)$

Комбинации $A$ и $B$	Для чисел без знака			Для чисел в дополнительном коде		
	Состояние $MRG$ или $NRG$	$MI(3-0)$		Состояние $MRG$ или $NRG$	$MI(3-0)$	
		$CC=1$	$CC=0$		$CC=1$	$CC=0$
$A = B$	$Z = 1$	4	5	$Z = 1$	4	5
$A \neq B$	$Z = 0$	5	4	$Z = 0$	5	4
$A \geq B$	$C = 1$	$A$	$B$	$N \oplus V = 1$	3	2
$A < B$	$C = 0$	$B$	$A$	$N \oplus V = 1$	2	3
$A > B$	$C \wedge \bar{Z} = 1$	$D$	$C$	$(N \oplus V) \wedge \bar{Z} = 1$	1	0
$A \leq B$	$\bar{C} + Z = 1$	$C$	$D$	$(N \oplus V) + Z = 1$	0	1

Примечания. 1.  $MI(3-0)$  в шестнадцатичном коде. 2. Для K1804BY4 на вход  $CC$  следует подавать выход КС  $CC = 0$ .