

نیمسال اول 1400-99	آزمایش 1	به نام خدا
شماره دانشجویی: 98171053	نام و نام خانوادگی: امیرمهدی کوششی	آزمایشگاه مدارهای منطقی

تاریخ تحويل: ساعت 16:30 روز 99/10/4

آزمایش پنجم:

واحد محاسبات و منطق (ALU)

گزارش کار:

- آزمایش اول:

کار با تراشه 74181:

طبق دستور کار آزمایش، شکل شماتیکی که برای مدار داده شده بود و جدول عملیات های صورت گرفته، شروع به کشیدن جدول صحت آن میکنیم تا گیت های مناسب را به دست آوریم.

M_2	M_1	M_0	S_A	S_B	S_3	S_2	S_1	S_0	M	C_N
0	0	0	0	1	X	X	X	X	X	X
0	0	1	1	0	1	1	1	1	1	X
0	1	0	1	1	1	1	1	1	1	X
0	1	1	1	1	1	0	1	0	1	X
1	0	0	1	1	0	0	1	1	1	X
1	0	1	1	1	0	0	0	0	1	X
1	1	0	1	1	1	0	1	1	1	X
1	1	1	1	1	1	0	0	1	0	1

به نام خدا	آزمایشگاه مدارهای منطقی
نیمسال اول 1400-99	آزمایش 1
شماره دانشجویی: 98171053	نام و نام خانوادگی: امیرمهدی کوششی تاریخ تحويل: ساعت 16:30 روز 99/10/4

با توجه به اینکه ورودی M اکتیوهای است، و فقط عملیات آخر که جمع است از نوع محاسباتی است، فقط در حالت 111 مقدار ورودی M برابر صفر است.

مقدار C_n را در حالت آخر برابر 1 در نظر گرفته ایم که جمع بدون در نظر گرفتن کری انجام شود. مقدار این بیت در سایر حالات اهمیتی ندارد.

$$M = M'0 + M'1 + M'2$$

$$C_n = 1$$

جدول کارنو را در زیر مشاهده میکنید:

$M_0 \oplus M_1$	M_0	0	1	1	1
		0	1	1	1
		1	1	1	1
		1	1	1	1

$M_0 \oplus M_1$	M_0	1	1	1	1
		1	1	1	1
		0	1	1	1
		1	1	1	1

$$S_A = M_1 + M_0 \oplus M_0$$

$$S_B = M_0 \oplus M_1 + M_0'$$

$M_0 \oplus M_1$	M_0	X	1	1	1
		X	1	1	1
		1	0	1	0
		1	1	1	0

$$S_0 = M_0' + (M_1 \wedge N_0 R M_0)$$

$M_0 \oplus M_1$	M_0	X	1	1	1
		X	1	1	1
		1	1	0	0
		1	1	0	0

$$S_1 = M_0' + M_0$$

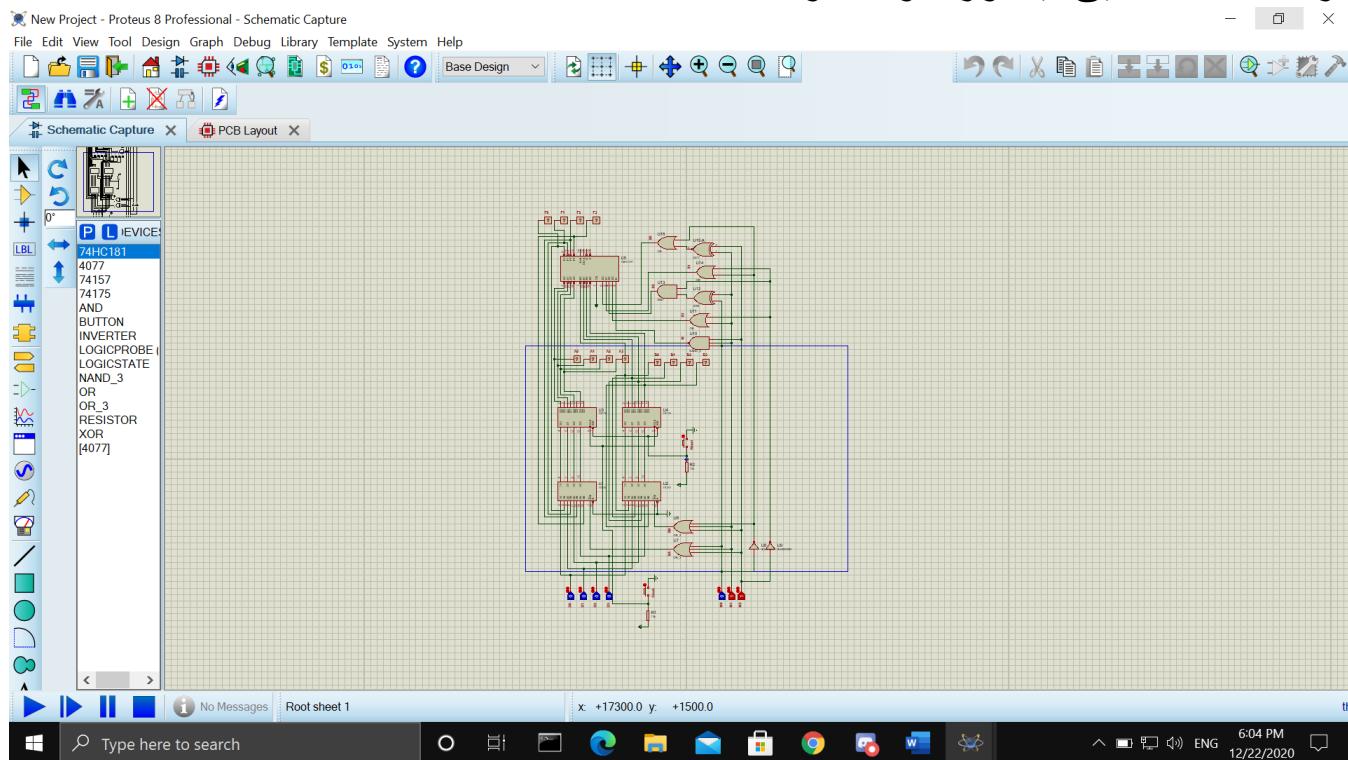
$M_0 \oplus M_1$	M_0	X	1	1	0
		X	1	1	0
		1	1	1	0
		1	1	1	0

$$S_W = M_0' + M_1$$

$M_0 \oplus M_1$	M_0	X	1	0	0
		X	1	0	0
		1	0	0	0
		1	0	0	0

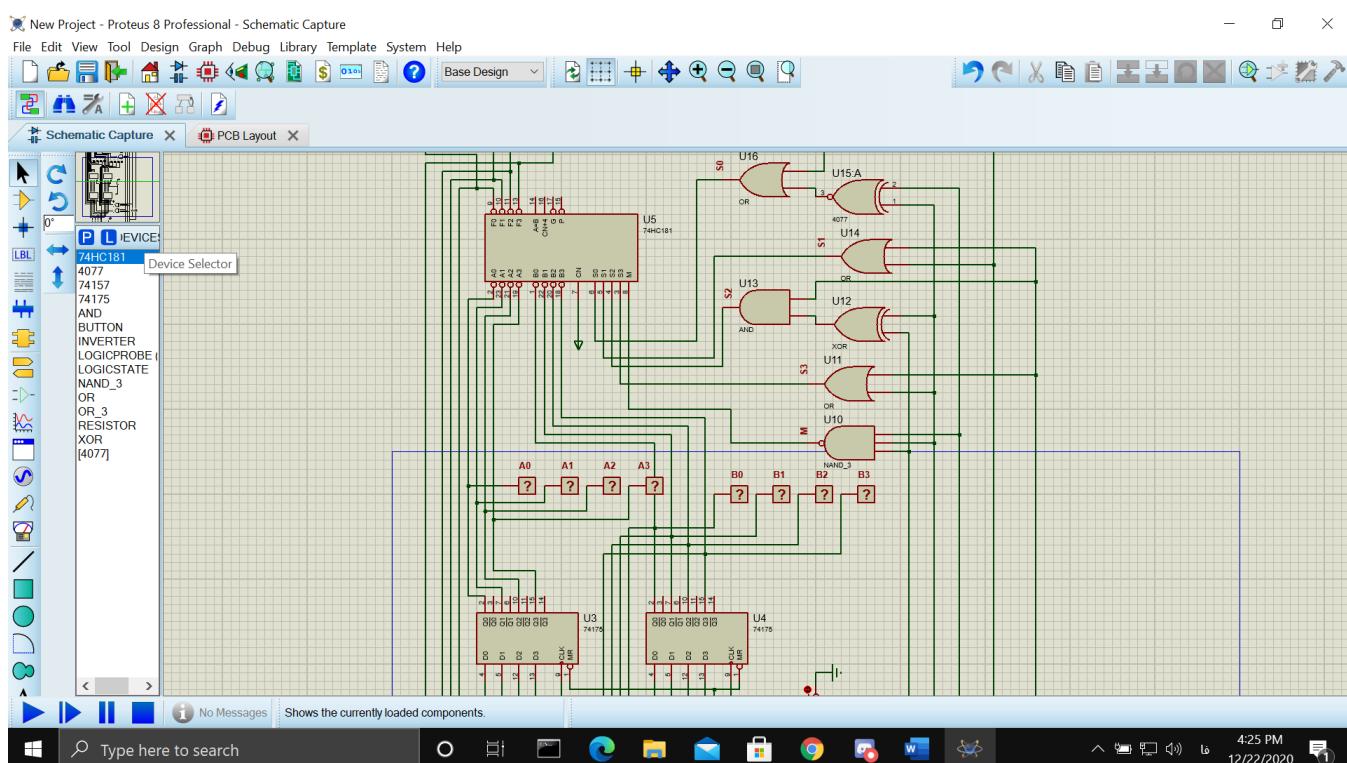
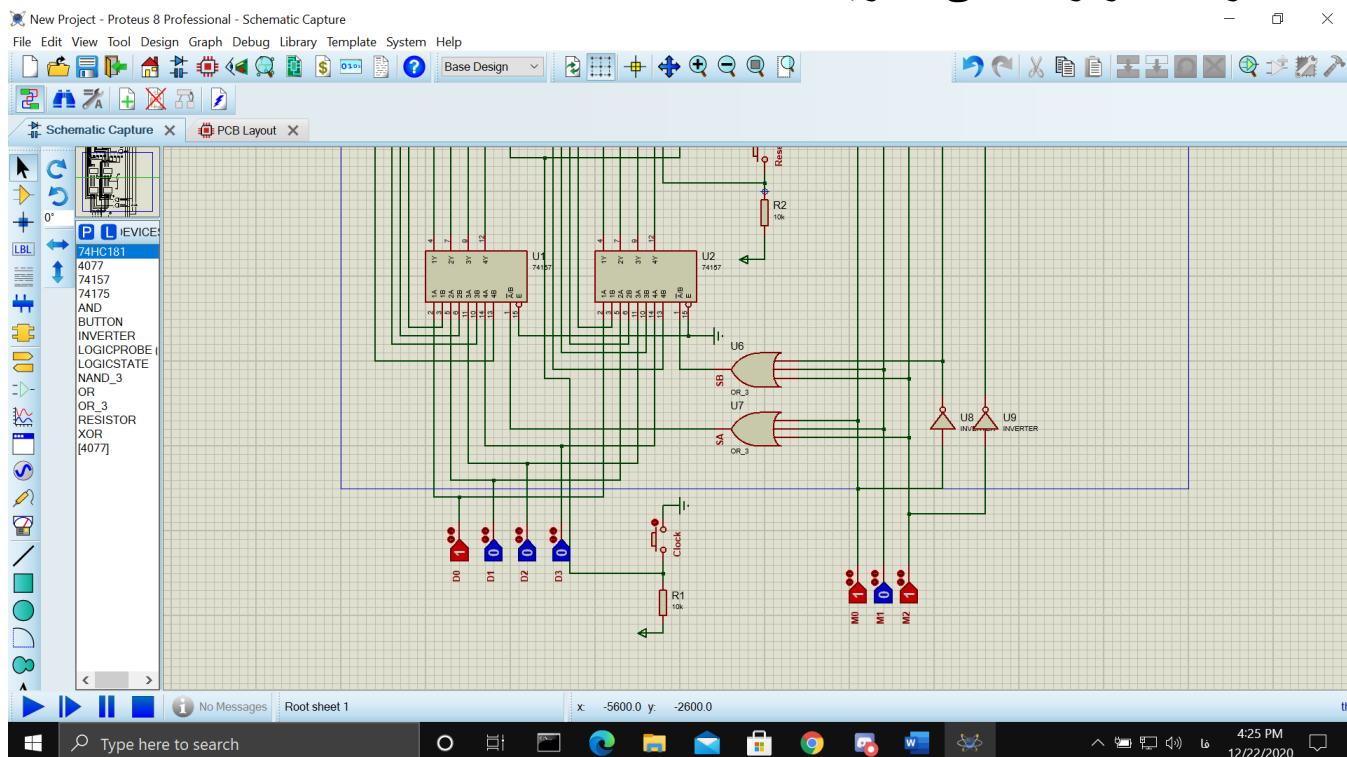
$$\begin{aligned} S_Y &= M_0' \oplus M_1 M_0 \\ &\quad + M_0' M_1 M_0' \\ &= M_0' (M_1 \oplus M_0) \end{aligned}$$

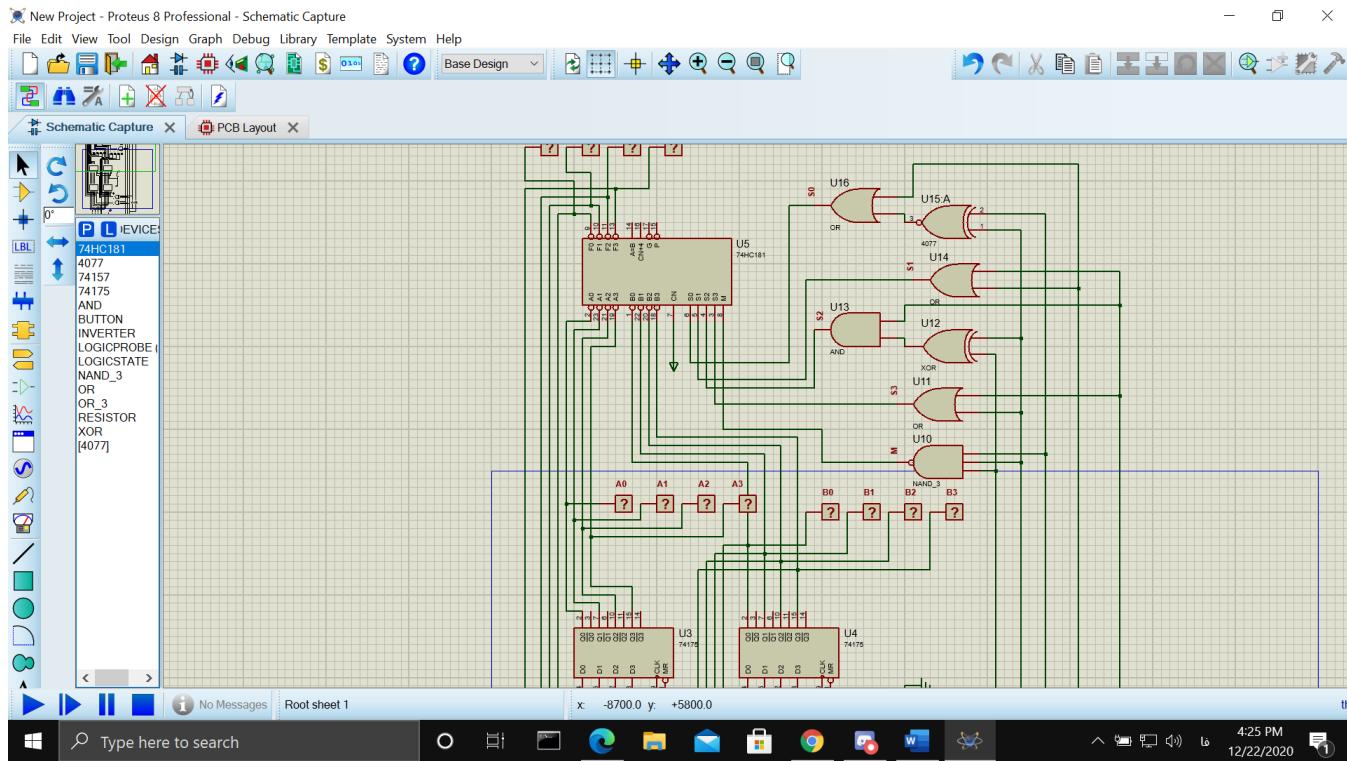
در کل شکل نهایی اینطور خواهد بود:



روندی های ما هستند و M0-M2 دستورات ما هستند. در اینجا نیز دو دکمه داریم برای کلک خوردن و ریسیت کردن. از دو نوع مالتی پلکسر هم نیز استفاده کردیم، ورودی های active low را هم به ground وصل کردیم. از دو تراشه 74175 نیز برای رجیستر استفاده کردیم. ورودی MR هر دوی این ثبات ها به سیگنال Reset متصل شده است تا در هنگام لزوم، هر دوی این رجیسترها به مقدار اولیه صفر بازگردند. ورودی CLK هردو رجیستر به سیگنال کال ک مشترک متصل است و مدار به صورت سنکرون و با کالک همزمان کار میکند. سیگنال های SA و SB که به ورودی B/A مالتیپلکسرها متصل می شوند تعیین کننده این هستند که خروجی MUX در ثبات اول بر حسب D0 تا F3 و در ثبات دوم بر حسب D0 تا D3 و یا محتویات رجیستر B باشد.

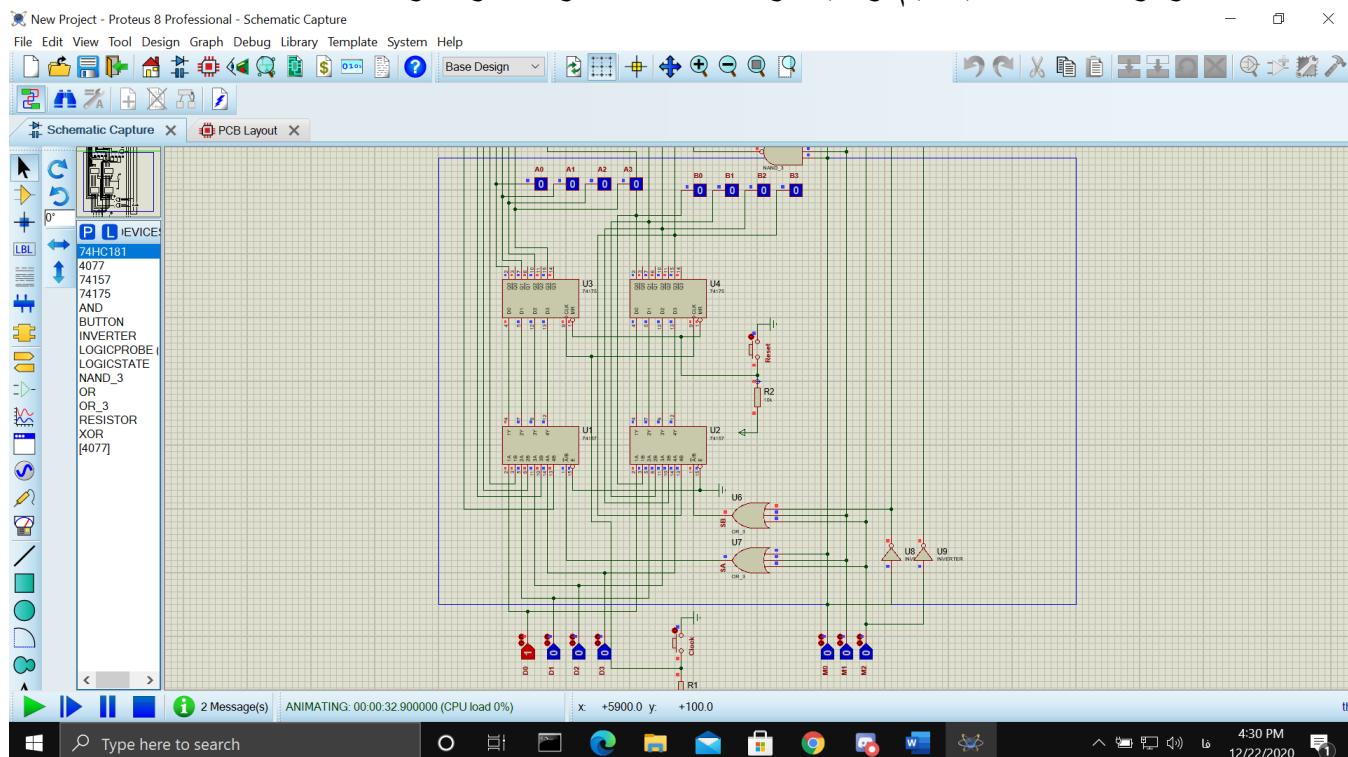
حال اجزای مدار رانگاهی بندازید:



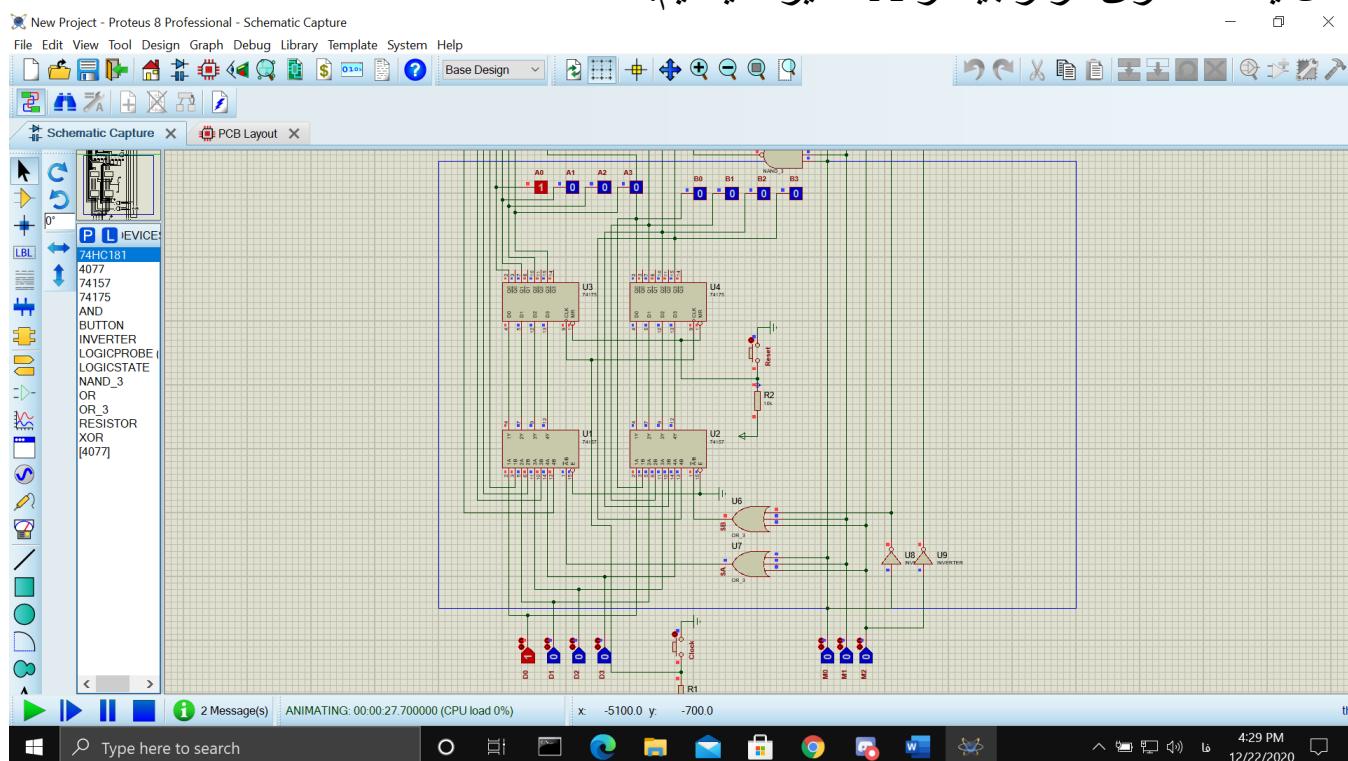


حال به تست کرن مدار میپردازیم:

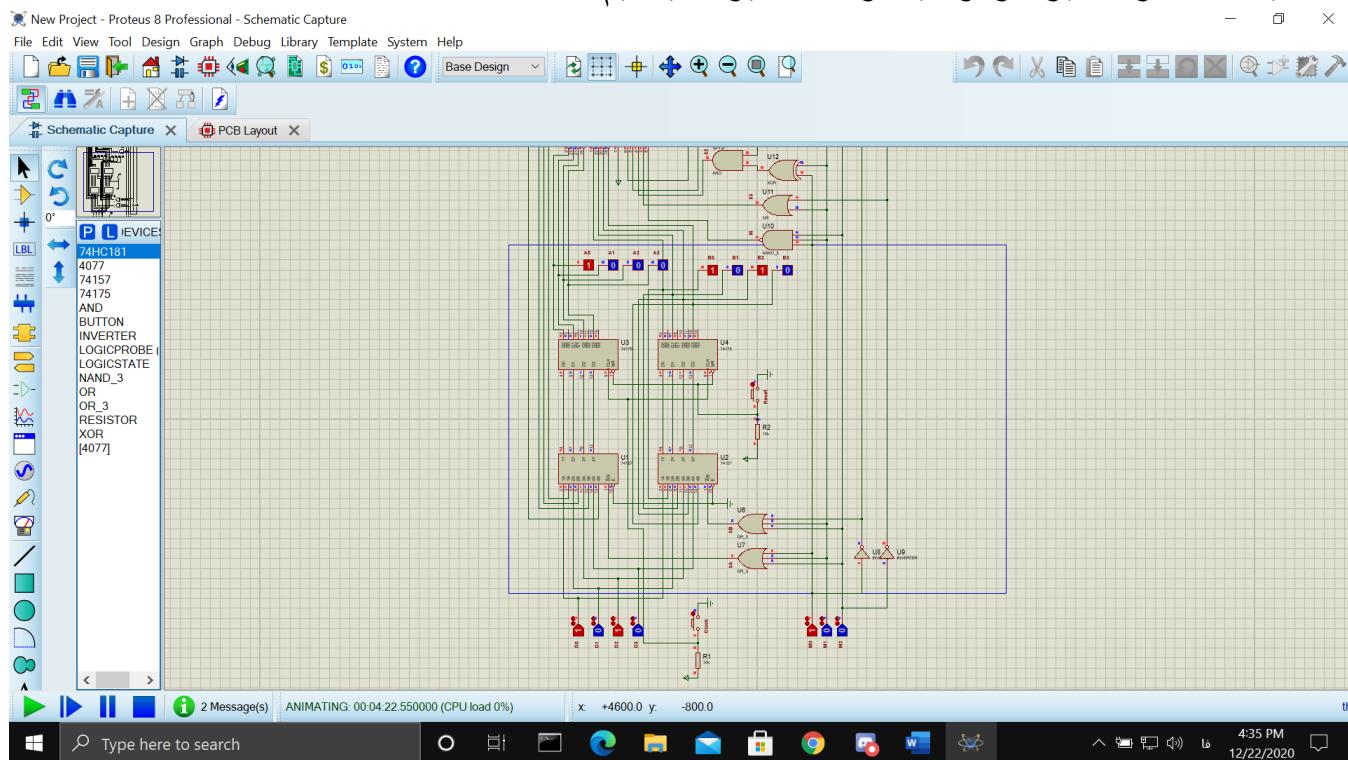
ابتدا که مدار را RUN میکنیم رجیستر های ما مقدار صفر دارند.



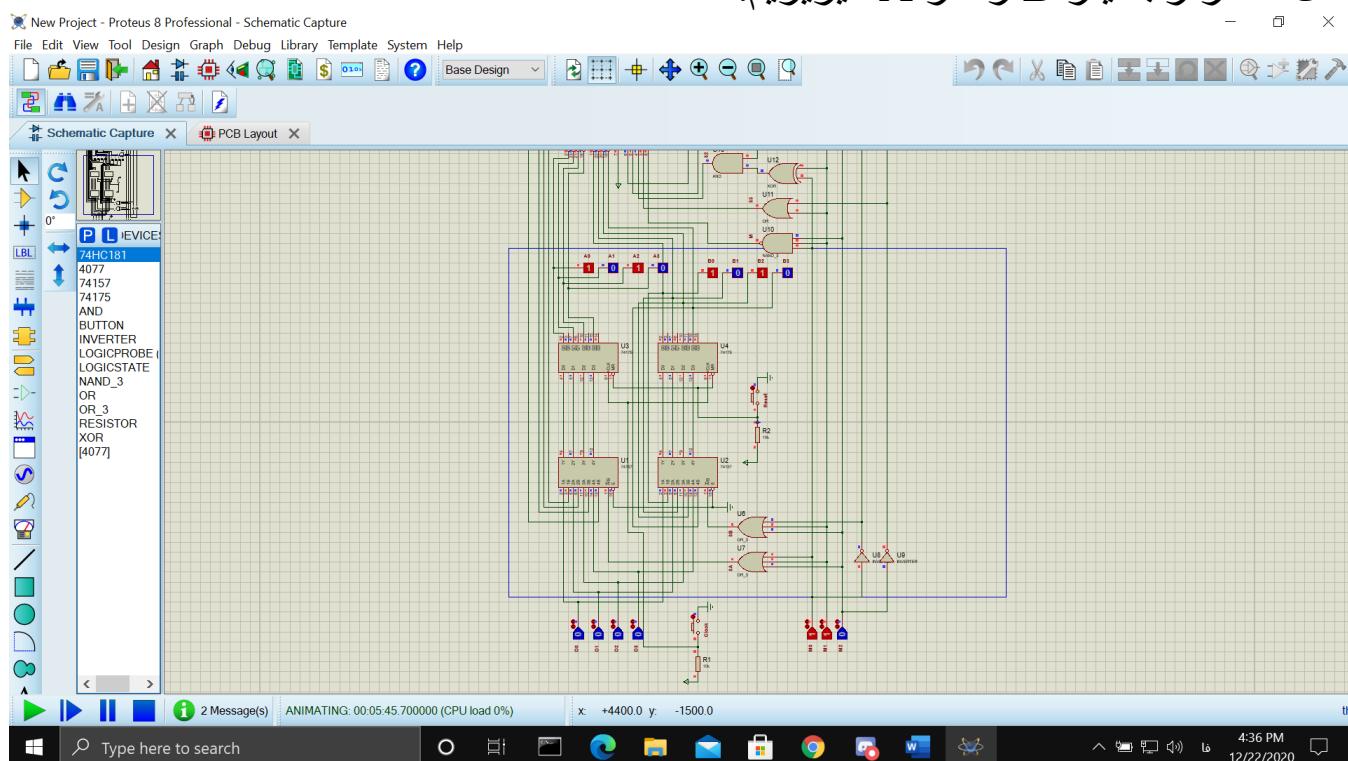
حال یک مقداری در رجیستر A ذخیره میکنیم.



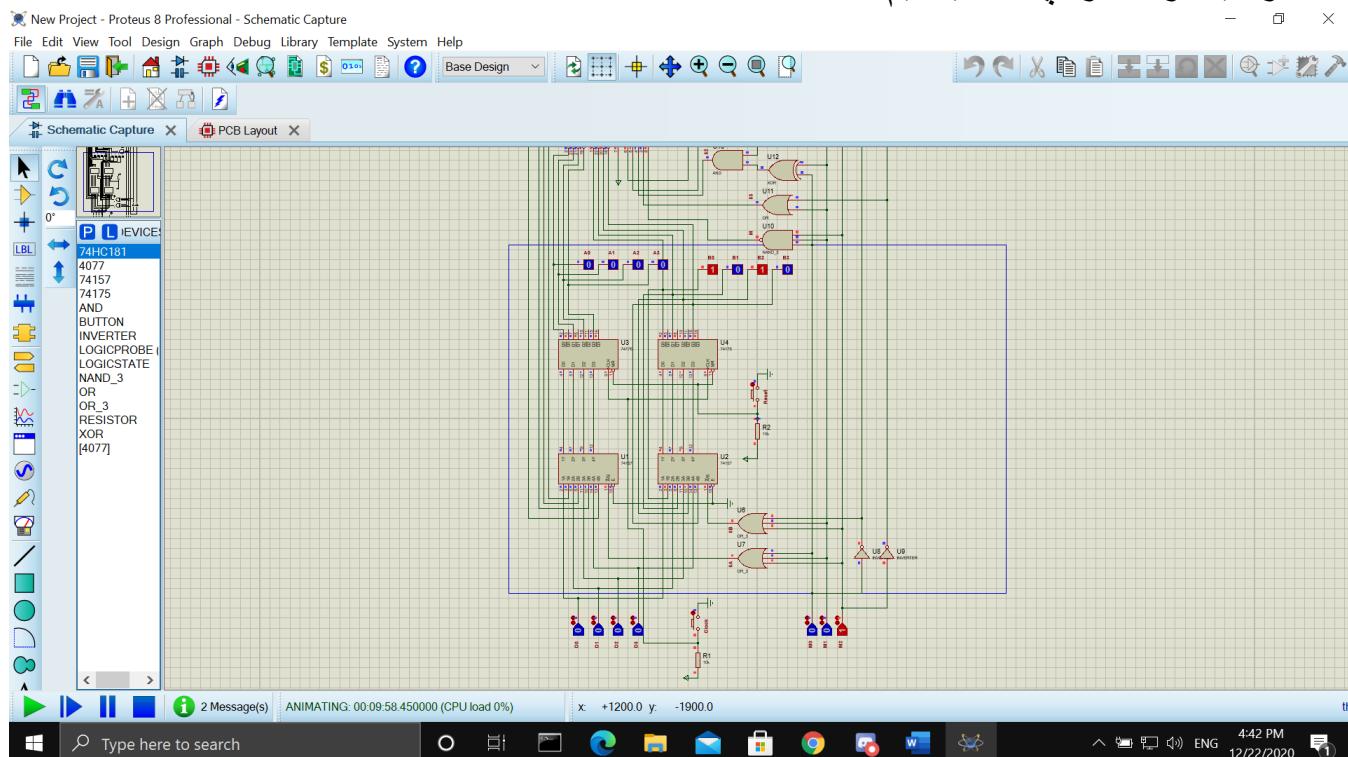
حال یک مقداری نیز در رجیستر B ذخیره میکنیم.



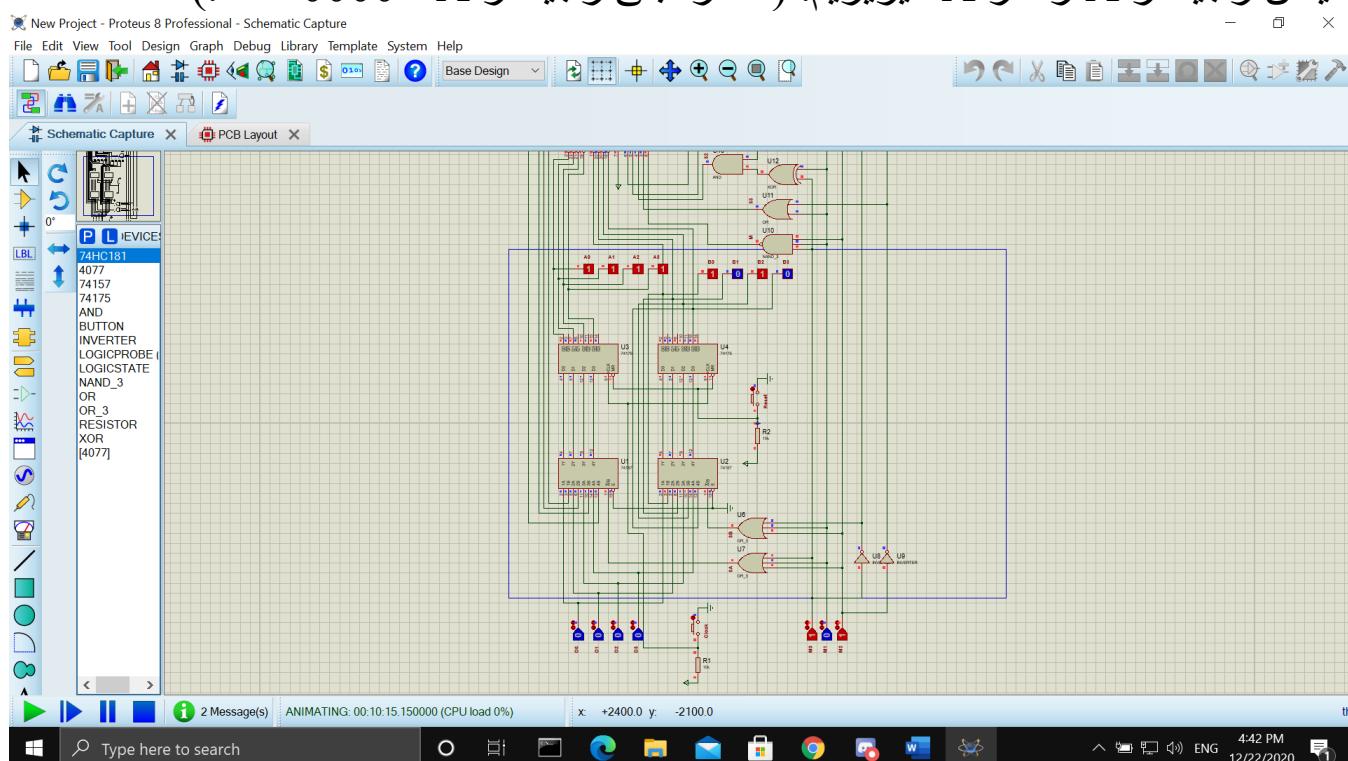
حال مقدار رجیستر B را در A میریزیم.



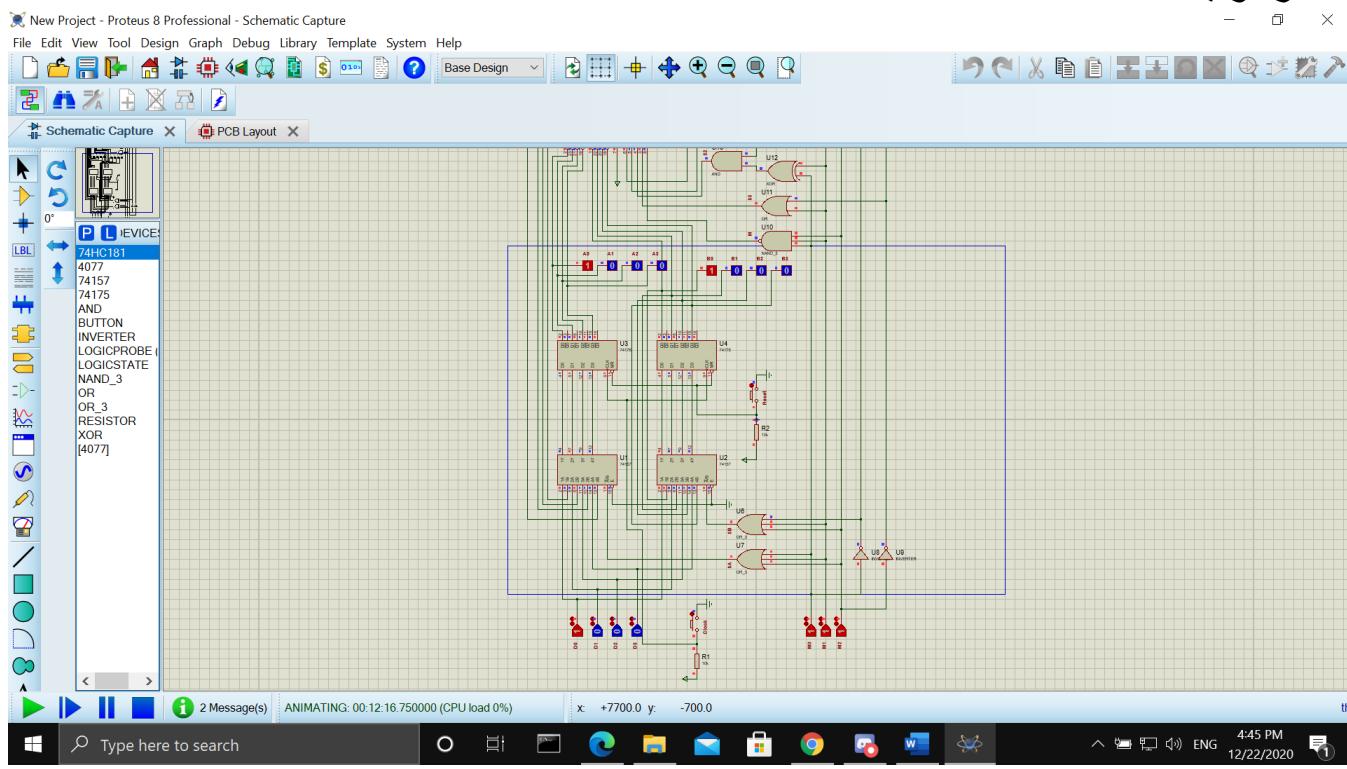
حال رجیستر A را پاک میکنیم.



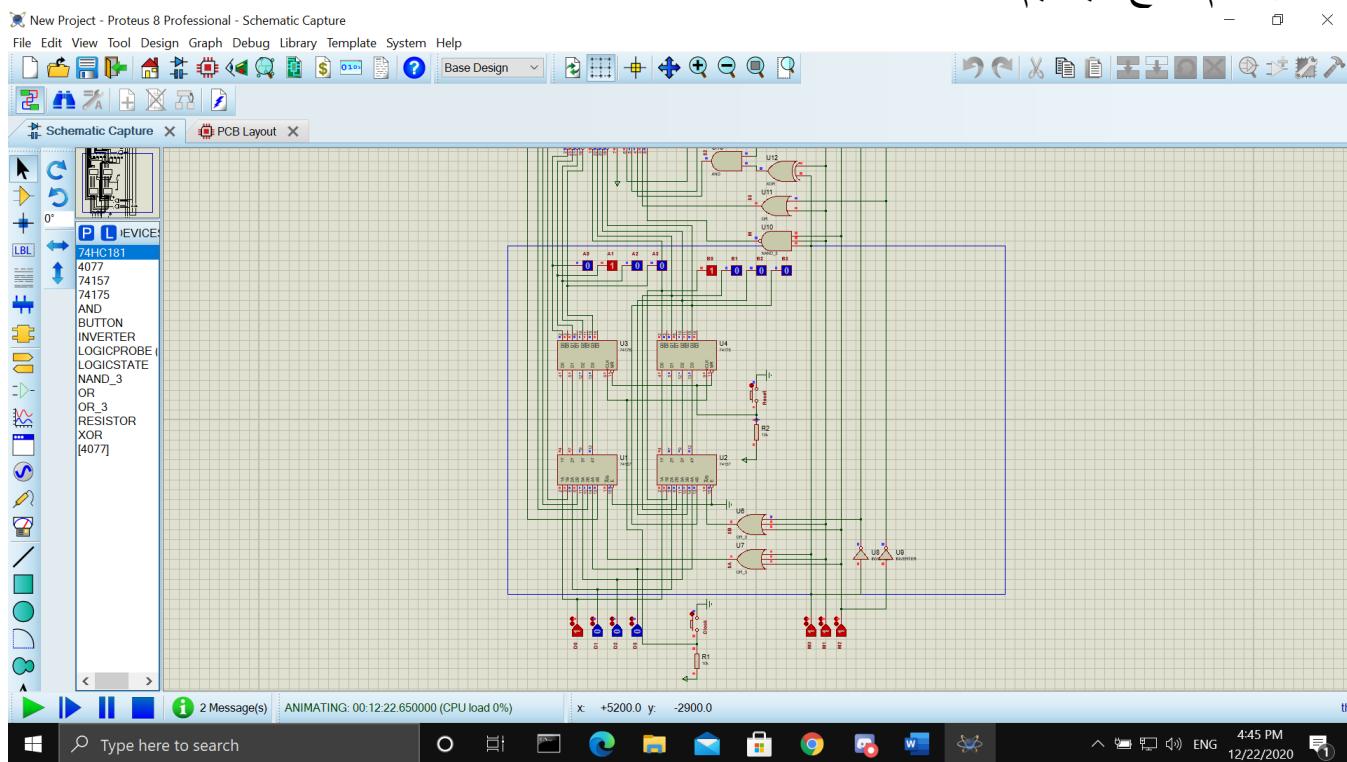
نقیض رجیستر A را در A میریزیم. (مقدار قبلی رجیستر A ، 0000 است.)



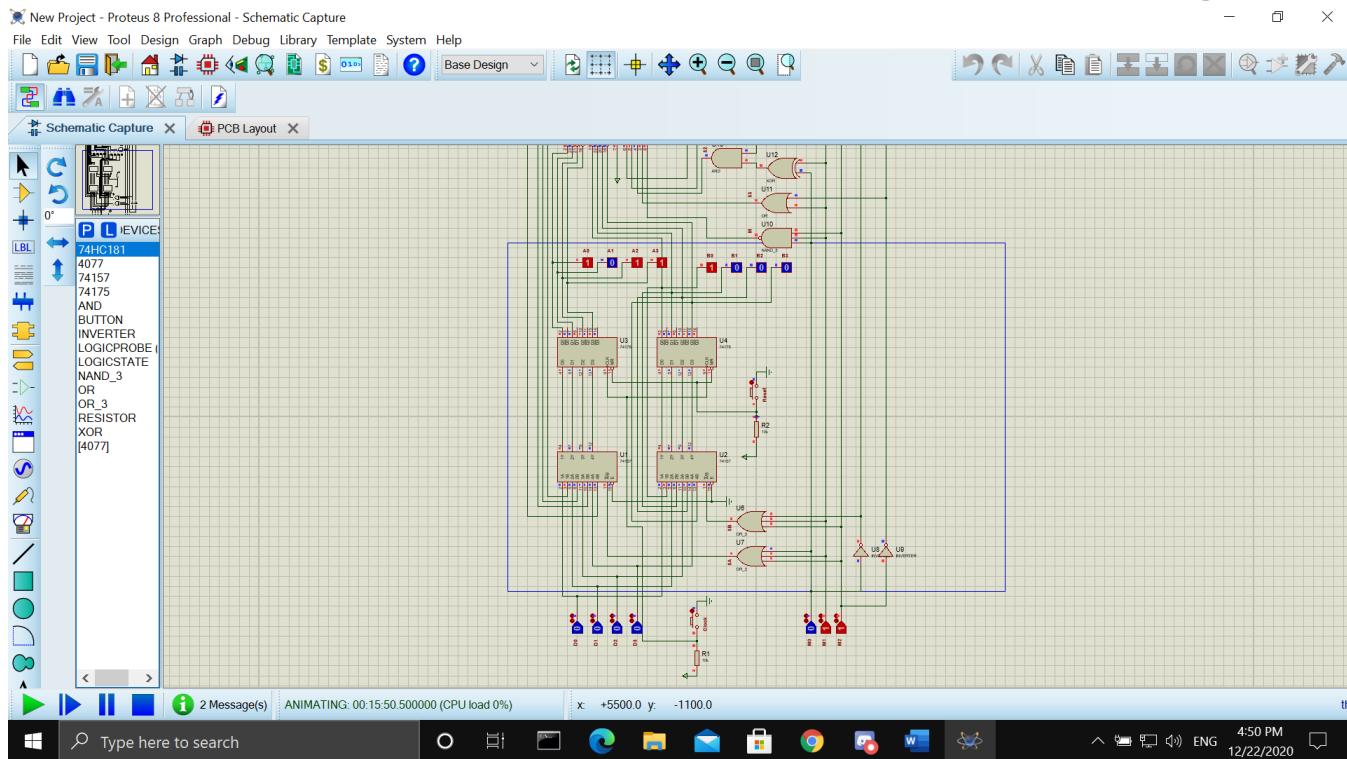
حال رجیستر A و B را با هم جمع میکنیم.
مقدار اولیه:



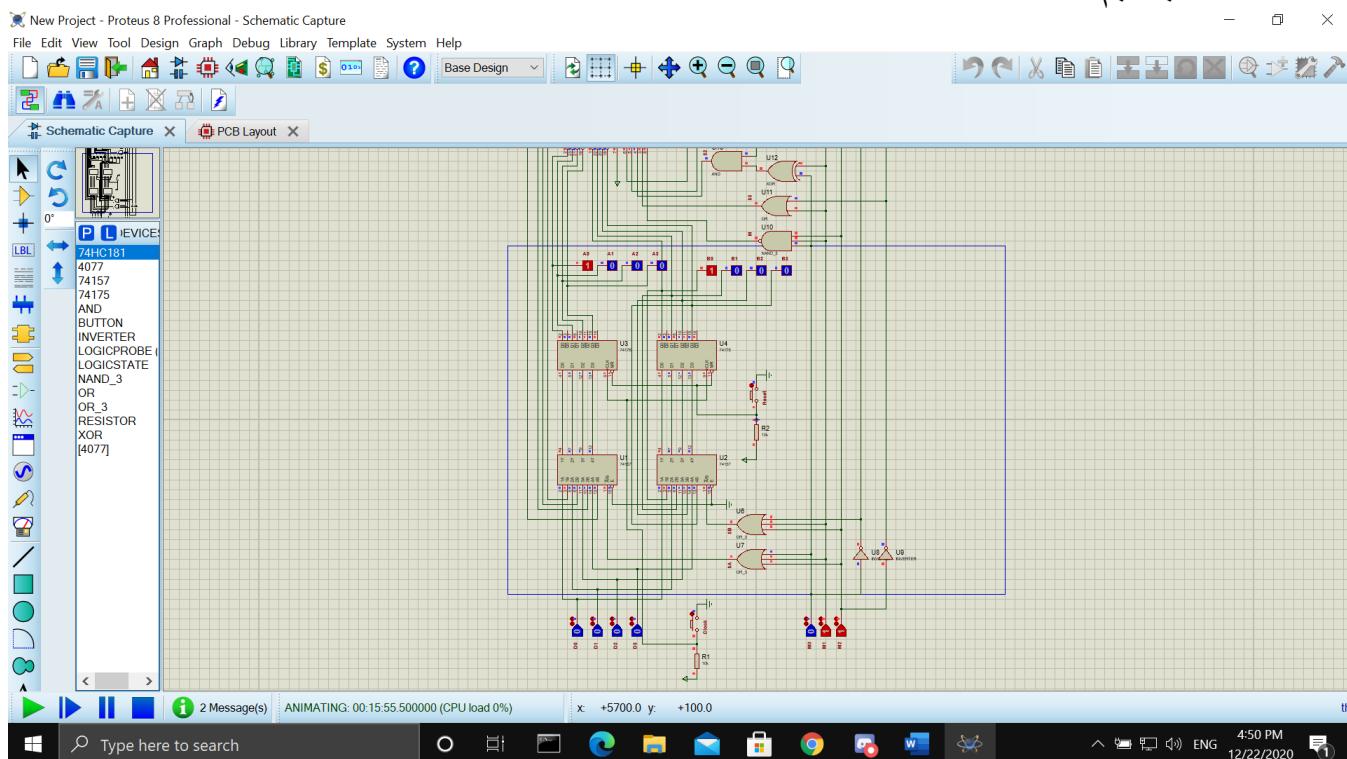
حال با هم جمع میکنیم.



حال رجیستر A و B را با هم AND میکنیم و مقدار را در A میریزیم.
مقدار دهی اولیه:



حالاً and میکنیم:

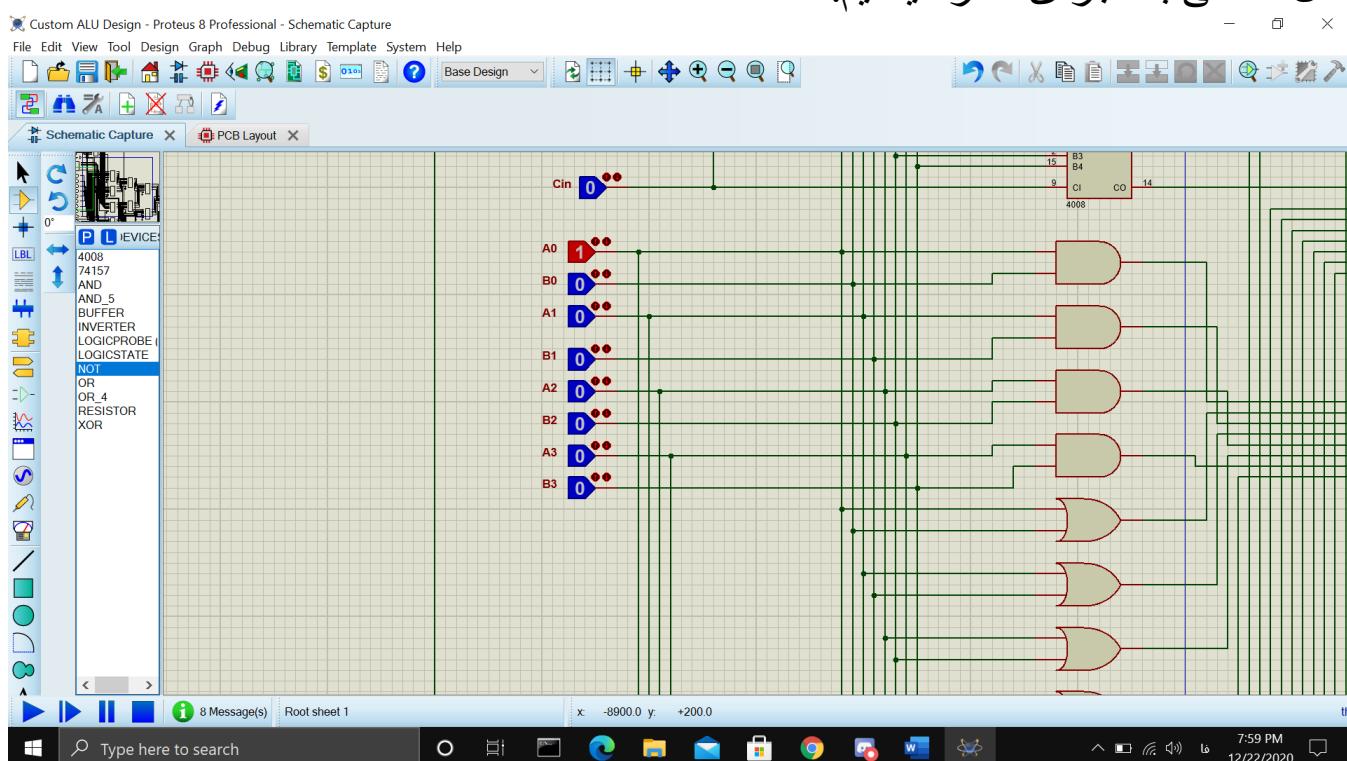


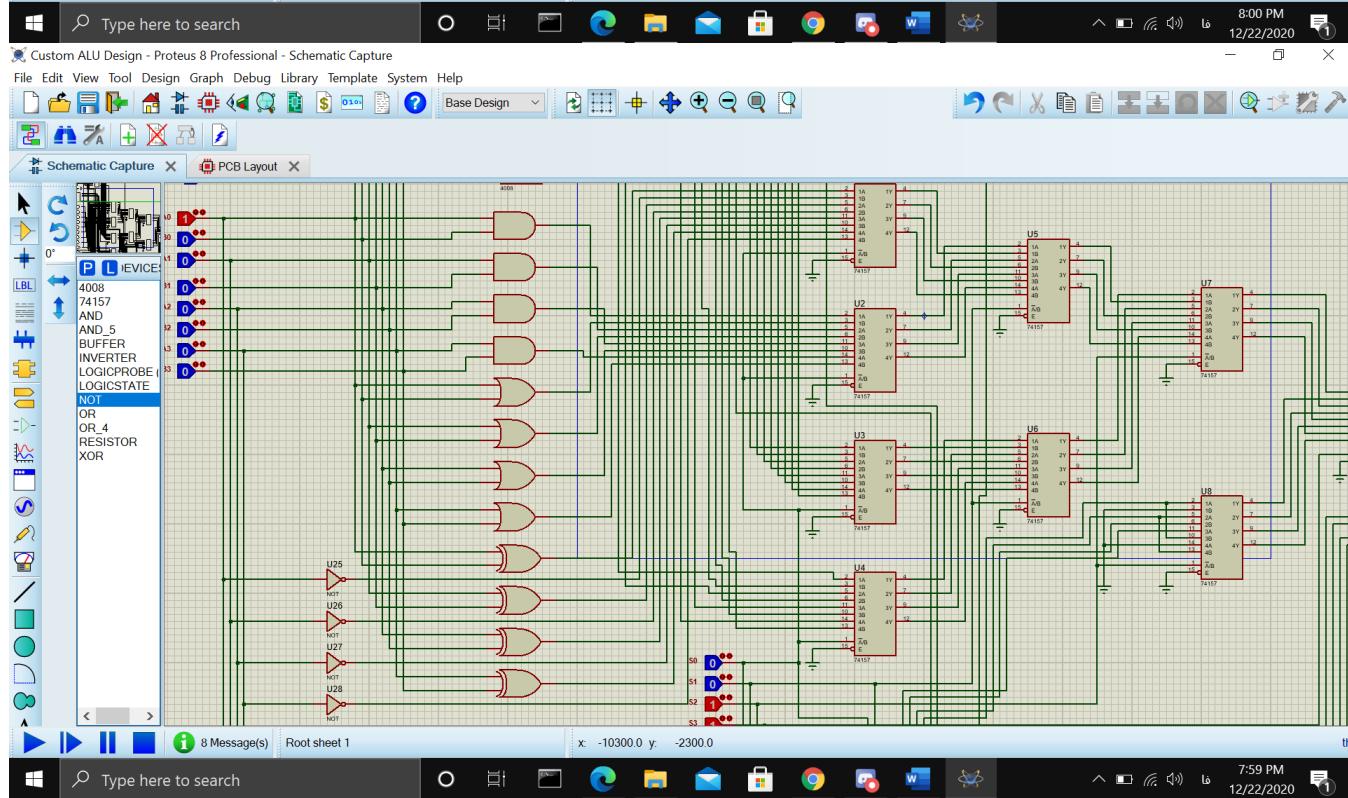
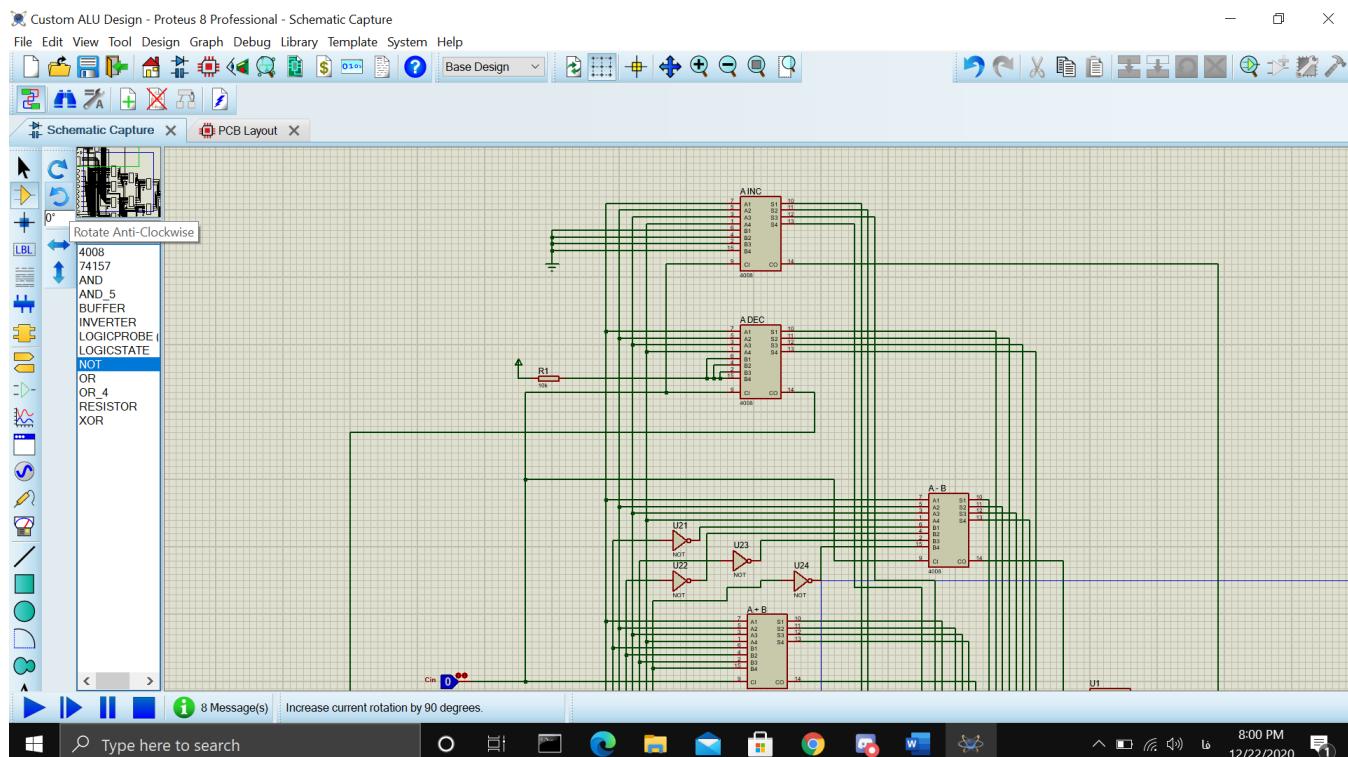
• آزمایش دوم:

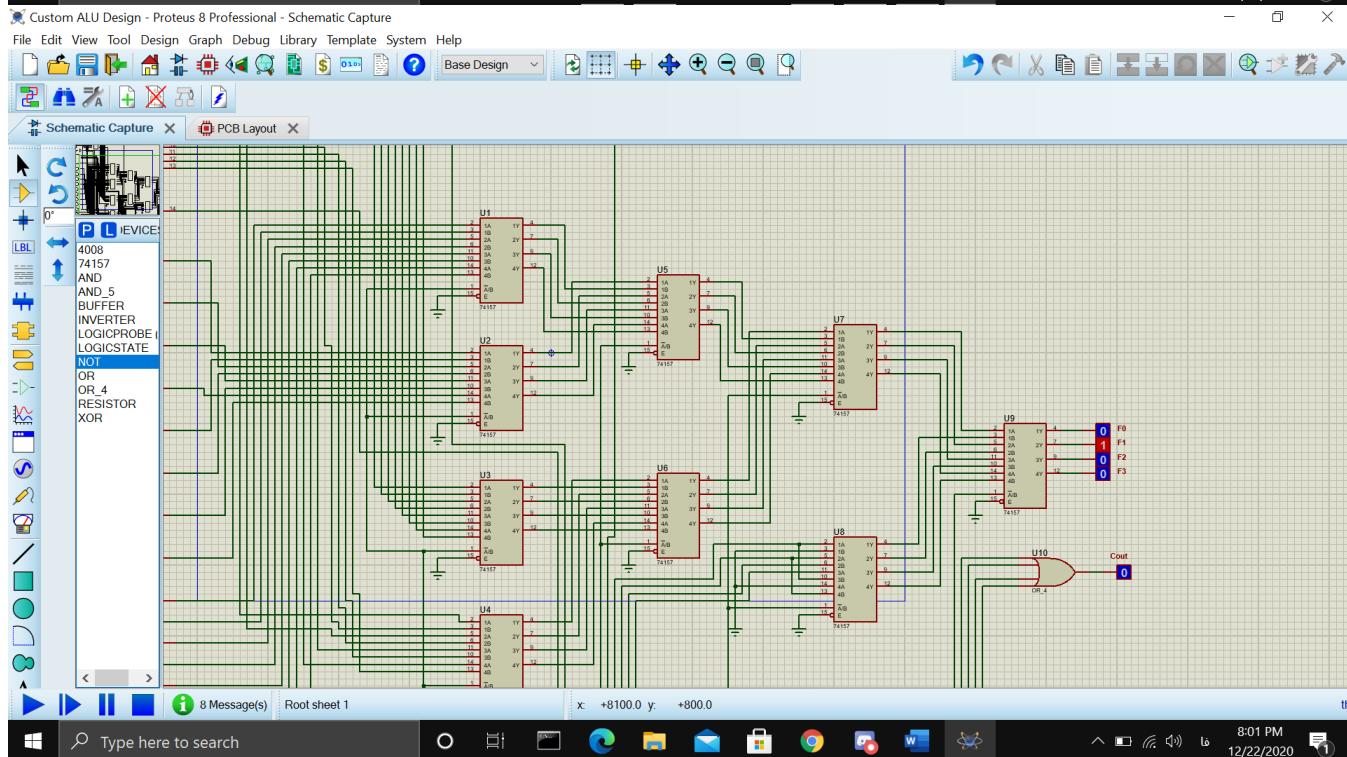
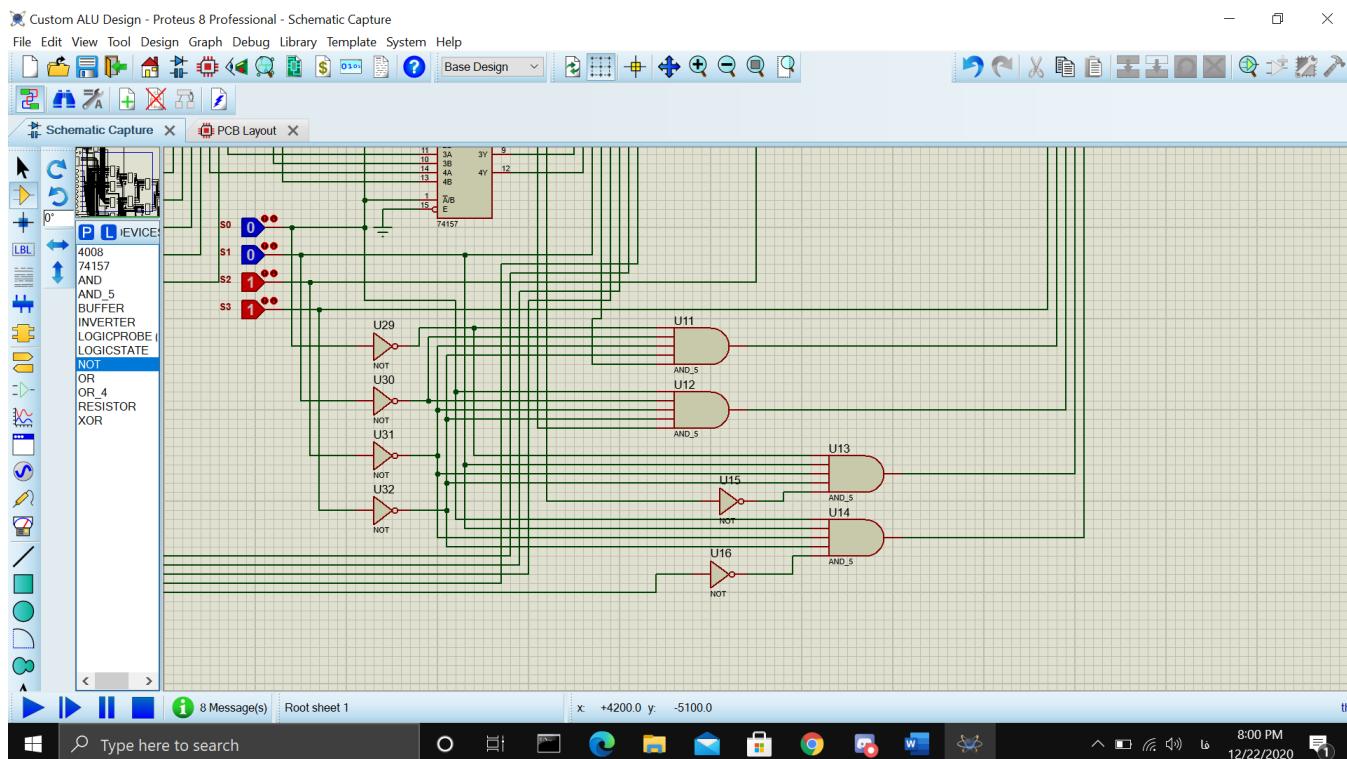
در این آزمایش قصد داریم مدار داخل ALU را طراحی کنیم. در این مدار از گیت های ساده و ترکیبی ای مانند full-adder و mux استفاده کرده ایم.

ورودی های این مدار شامل ۴ خط ورودی A0 تا A3 برای عملوند اول، ۴ خط ورودی B0 تا B3 برای عملوند دوم، ۴ خط سیگنال کنترلی آپکد (Select) برای تعیین نوع عملیات و یک سیگنال Cin برای تعیین وجود یا عدم وجود بیت کمی در عملیات های محاسباتی است. همچنین این مدار دارای ۴ بیت سیگنال خروجی که نشان دهنده حاصل عملیات انجام شده روی دو عملوند در مدار است می باشد. یک سیگنال Cout هم برای تشخیص تولید کری در عملیات های محاسباتی به عنوان خروجی از مدار خارج می شود.

حال نگاهی به اجزای مدار میکنیم.







نیمسال اول 1400-99	آزمایش 1	به نام خدا	آزمایشگاه مدارهای منطقی
	شماره دانشجویی: 98171053	نام و نام خانوادگی: امیرمهدی کوششی	تاریخ تحويل: ساعت 16:30 روز 4/10/99

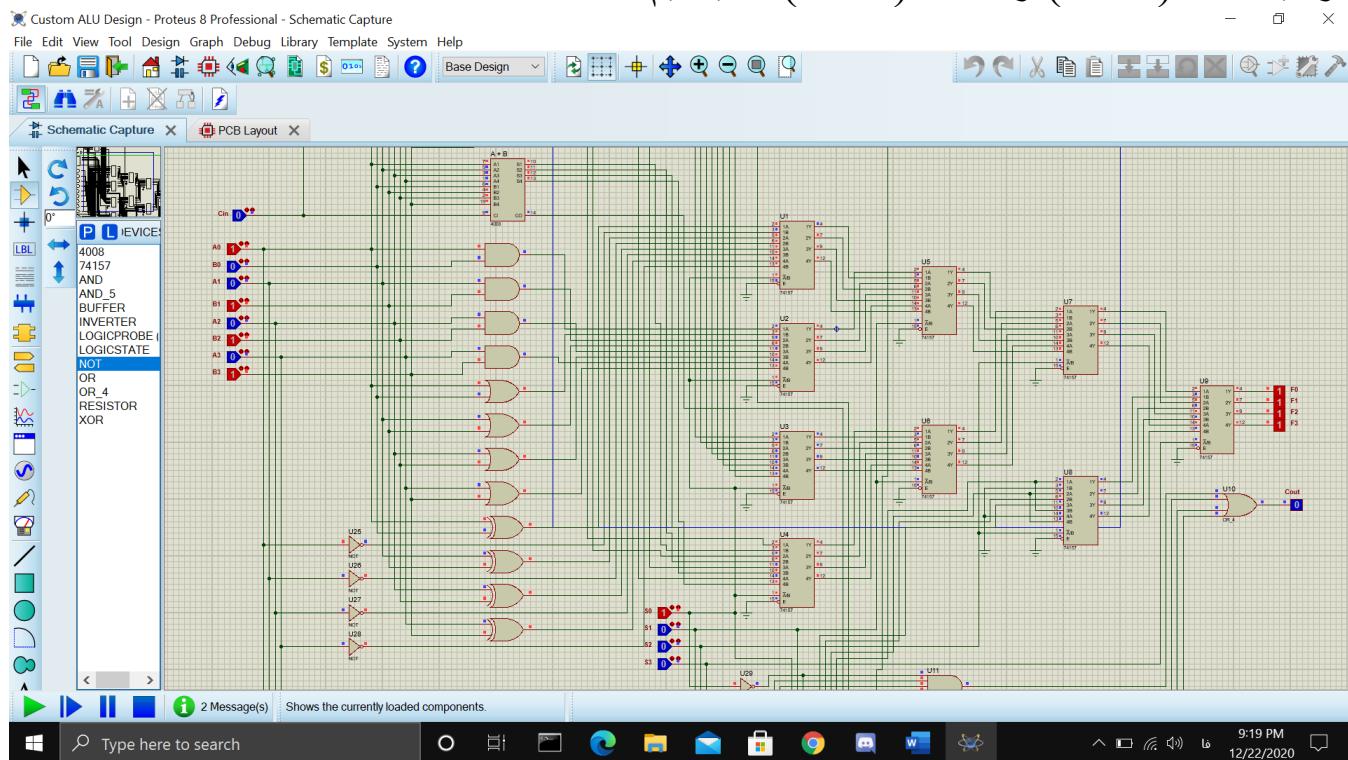
برای اعمال منطقی ساده مانند AND و OR و ... که نحوه کار واضح است و بیت های متناظر ورودی های 4 بیتی را با هم از یک گیت منطقی عبور می دهیم و بیت حاصل را خروجی می دهیم. برای نقیض کردن ورودی، هر بیت را از یک گیت Inverter عبور می دهیم.

برای شیفت دادن منطقی به سمت چپ هر بیت را به جز بیت آخر به بیت بعدی خود منتقل کرده و در بیت اول 0 را قرار می دهیم یا به عبارت دیگر از سمت راست 0 وارد کرده و از سمت چپ بیت های اضافی را دور می ریزیم. برای شیفت به راست هم عکس این عمل را در جهت مخالف انجام می دهیم.

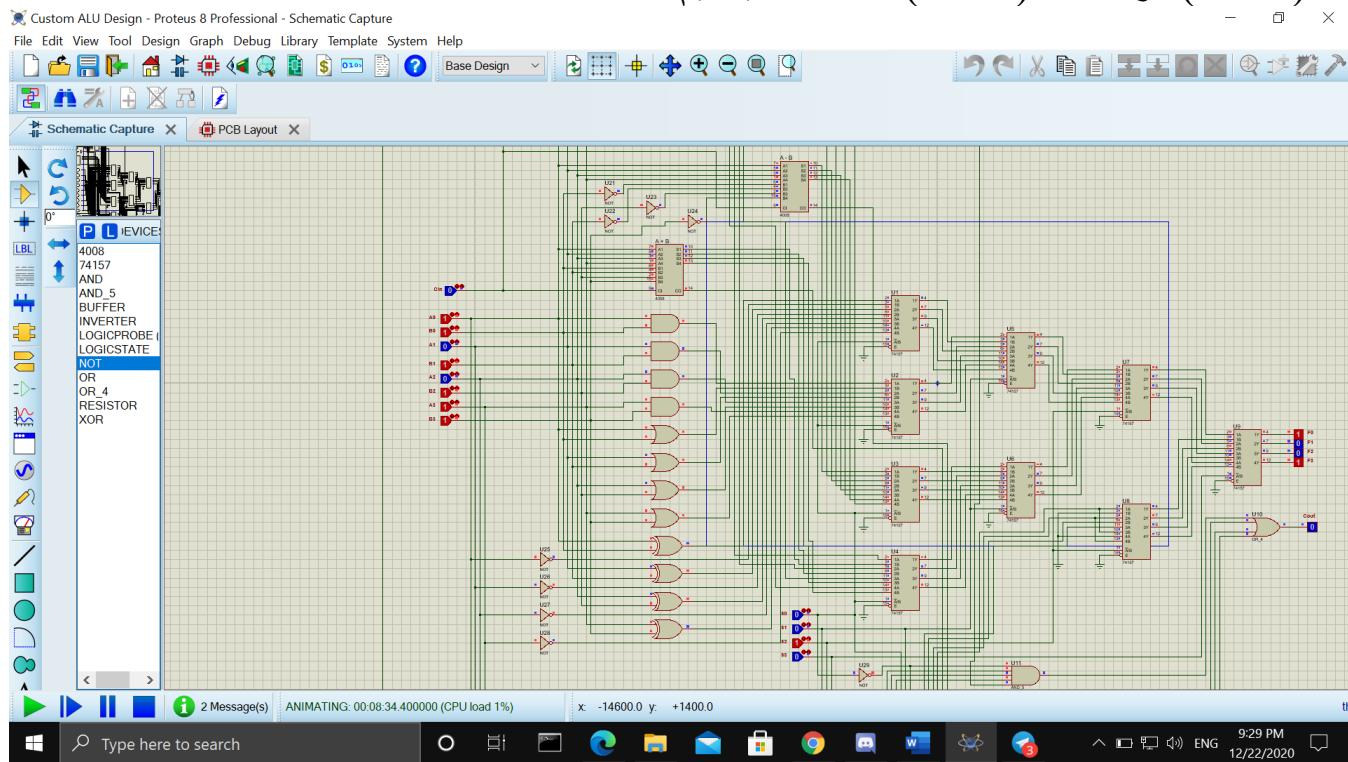
با استفاده از فول ادر تراشه های 4008 جمع دو عدد 4 بیتی و تفریق دو عدد 4 بیتی جمع عدد اول با مکمل 2 عدد دوم افزایش 1 واحدی ورودی جمع عدد با 0000 و افزودن کری 1 و کاهش 1 واحدی عدد جمع عدد با 1111 که مکمل 2 عدد 1- است و دادن کری 0 به ادر پیاده سازی کرده ایم. برای تفکیک عملیات ها بر اساس بیت های کنترلی ورودی S و تعیین این که حاصل کدام عملیات روی ورودی ها در خروجی مدار قرار بگیرد، از 9 مالتیپلکسر تراشه 74157 استفاده کرده و مطابق شکل زیر خروجی برخی را به ورودی های مالتیپلکسر های دیگر به طور مناسب متصل می کنیم تا عمل کنترل به درستی و طبق جدول صورت بگیرد. به دلیل اینکه هر یک از فول ادر ها بسته به مقدار سیگنال Cin دو عملیات مختلف را انجام می دهد، نیاز به استفاده از تعداد MUX بیشتری در طراحی مدار نیست. در نهایت خروجی MUX آخر، همان خروجی نهایی مدار ALU است. خروجی مربوط به Cout مدار نیز اگر مدار در حالت انجام عمل محاسباتی باشد، بیت کری خروجی فول ادر مربوطه را نشان می دهد.

حال به تست کردن مدار می پردازیم:

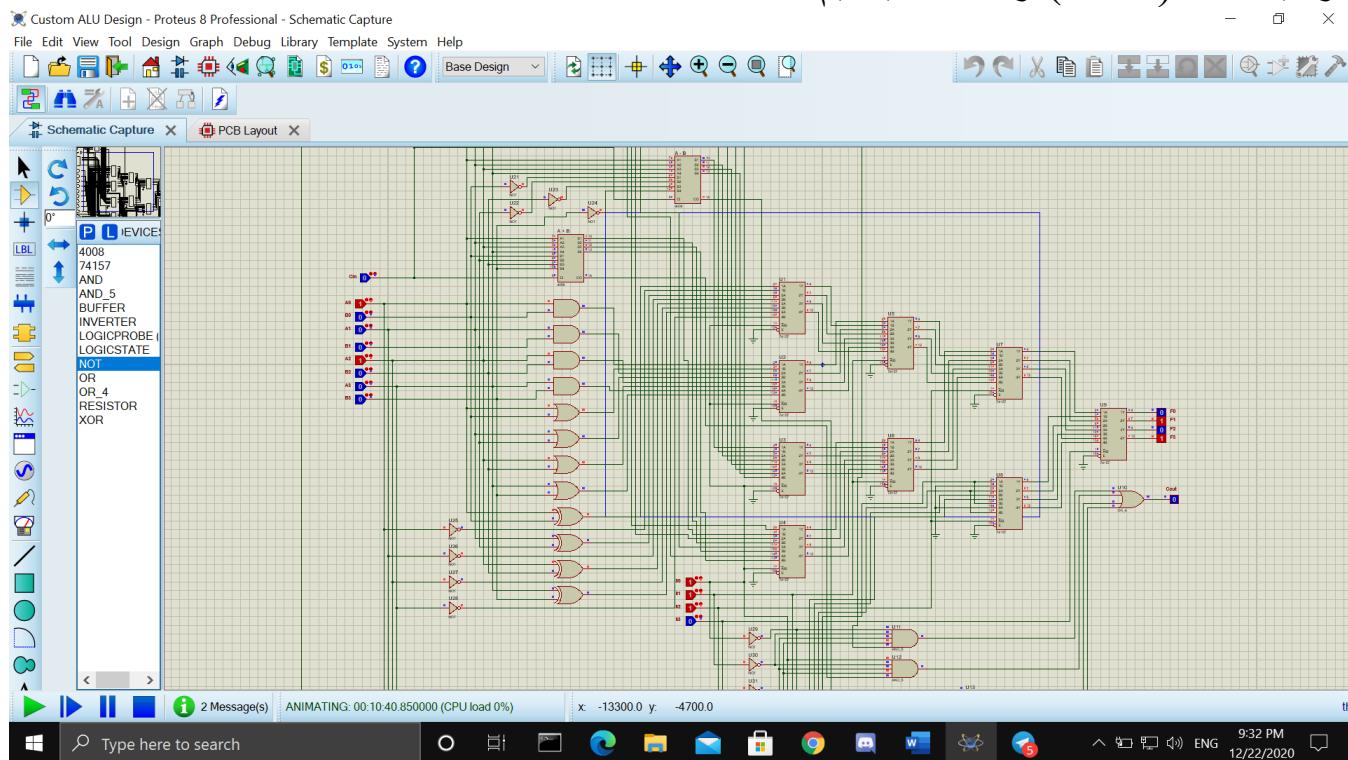
در اینجا A (0001) را با B (1110) میکنیم.



در اینجا AND (1111) B را با A (1001) میکنیم.



در اینجا A (0101) را not میکنیم.



بقیه دستورات مانند شیفت و این ها برای بهتر نشان داده شدن در فیلم آمده است