

FPGA Design – Spring 2022

Homework 4

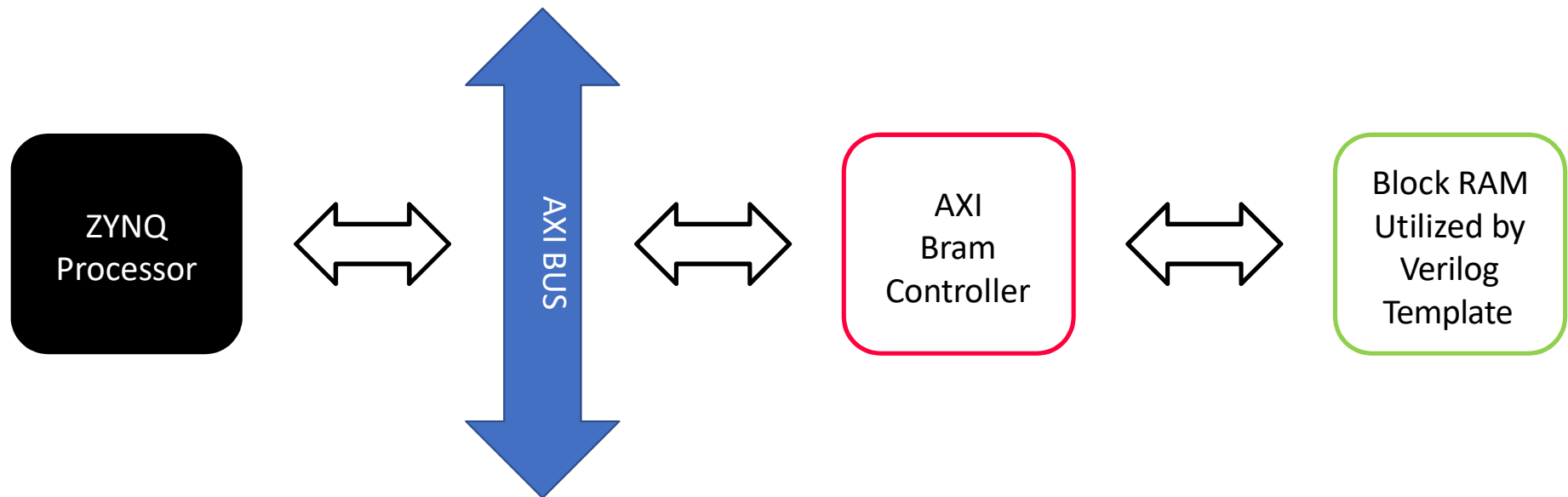
Date : 2022/04/25

Outline

- Problem1 – Block RAM Utilize
- Problem

Problem1 – Block RAM Utilize (70%)

- 使用Lab4-1中的“ AXI Bram Controller” 加上Lab4-3的Verilog Template 的設計方法，實作一個On-Chip Memory System



Spec

Data width	32-bit
Memory Size	32Kb(i.e. a single RAMB36E1)
RAM Mode	True Dual Port
Initial Contents (Without any read/write by software)	Offset = 0 : 0x2330 Offset = 4 : 0x2454 Offset = 28 : 0x2379 Offset = 64 : 0x3034

Problem (30%)

- 1. PYNQ-Z2 上共有多少容量的Block RAM ?
- 2. 承上題，共有多少個 RAMB36E1 ?
- 3. 若要將RAMB36E1 Configure成36Kb FIFO，該使用什麼Verilog Template ?
 - 不用實作出來，但需將完整的Verilog Template以及其可改動的參數詳細說明(不必全部說明，至少說明15個)

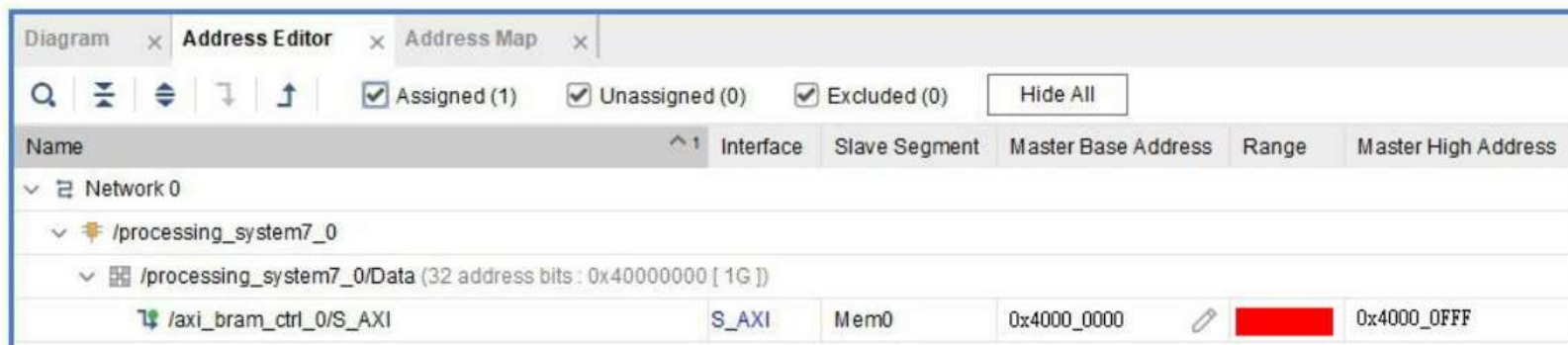
Score

- 助教會準備一份測試用的C code來測試Memory的讀寫是否都正常，因此繳交作業時請記得附上.xsa檔以及Vitis Project File，並自行先測試是否能正常運行。

Hint

- Address Bitwidth

- AXI Bram Controller 的 bram_addr 的寬度是依據在AXI Bus的 “Range” 而自動產生的。
- 舉個例子：若AXI Bram Controller在Bus上的Range為” 8K” (這裡指的是KByte)，則 Controller的bram_addr的寬度會自動產生為13-bit
- 同學可以在Block Design時先將zynq processor和axi bram controller做連接，接著到上方的 Address Editor自己修改 Bram Controller在Bus上的Range，再依照產生的 address bitwidth來修改後續的電路。



繳交說明

- 繳交期限：5/9 (一) 19:00 逾時拒收以0分計算
- 請壓縮成 .rar 或是 .zip
- 說明文件(10%)內容至少要有組員學號、電路設計說明、Block Design 截圖
 - 使用Word、PPT撰寫請轉成pdf檔，違者斟酌扣分
 - 使用Markdown撰寫可直接上傳
- 不用上傳整個Vivado Project，只需提供source file、xdc、bitstream、xsa、vitis project即可

檔案格式

📁 FPGA_HW4_GroupX

📁 Problem1

📁 src

📁 xdc (若無使用到則不用)

📁 bit

📁 xsa

📁 vitis project

📄 document