

# FPGA Design – Spring 2022

## Homework 3

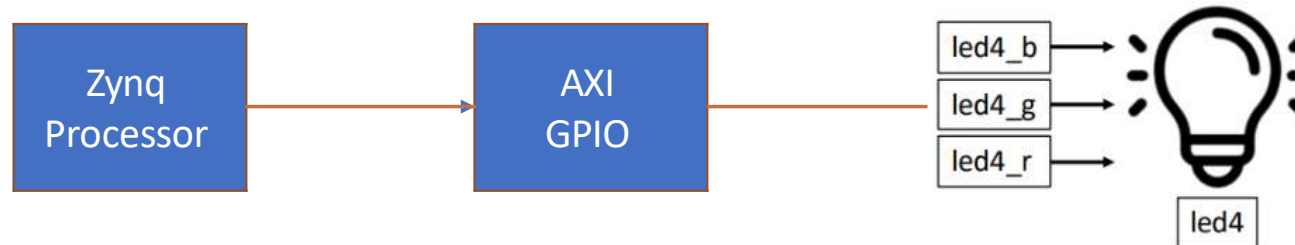
Date: 2022/04/11

# Outline

- Problem1 - RGB LED
- Problem2 - Sorting
- Problem3

# Problem1 – RGB LED(15%)

- 請依照Lab3-2的方法建立一個以Zynq Processor和AXI GPIO組成的系統，並從PS端控制RGB LED。



# Spec

- 請依序顯示彩虹六色(間隔時間不限)
- 紅→橙→黃→綠→藍→紫→紅→ ...

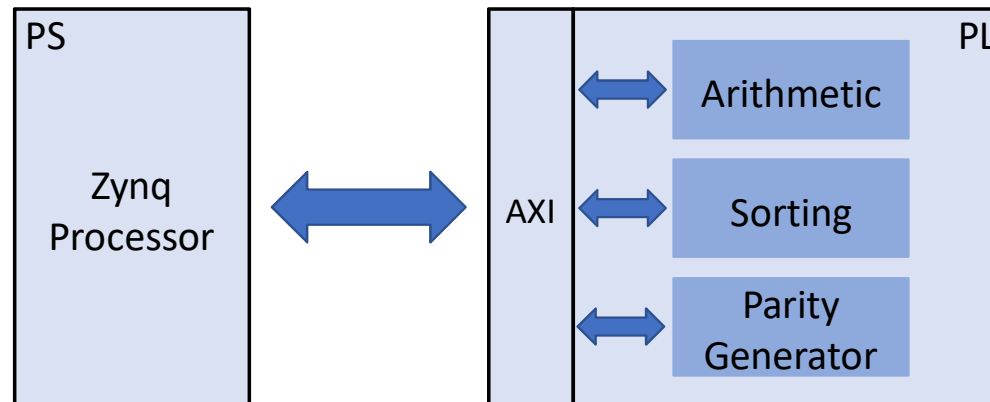
Color	紅	橙	黃	綠	藍	紫
Hex Triplet	#FF0000	#FF6100	#FFFF00	#00FF00	#0000FF	#7F1FFF

## Problem2 – Sorting(15%)

- 使用鍵盤輸入20個非負整數後，將此數列排序。
- 用switch選擇排序方式。
  - 0: 小到大
  - 1: 大到小
- 輸入完一個數字後，以Enter(\n)區隔下一個數字。
- 輸入的數字必須顯示在terminal上。
- 需在作業說明中簡單講解你們所使用的排序演算法。
- 排序演算法用C/C++完成。
- 可參考Lab3-2。

## Problem3(45%)

- 請將以下電路統整在一個block design
  - Arithmetic
  - Sorting
  - Parity Generator
- 以上三個電路皆用Verilog完成。
- 可參考Lab3-3。



## Problem3-1 – Arithmetic(15%)

- 設計一個計算電路，由 processor 輸入運算子與運算元並回傳運算完的結果。(加, 減, 乘)
  - 資料寬度為8 bit。
  - 需考慮有號數。(正、負、overflow)

## Problem3-2 – Sorting(15%)

- 設計一個排序電路，由 processor 輸入一串正整數將其排序後傳回。(數列長度固定)
  - 數字位元數自訂。(最少4bit)
  - 數列長度自訂。(最少8筆數字)
  - 需在作業說明中簡單講解你們所使用的排序演算法、定義的數字位元數、數列長度。



## Problem3-3 – Parity Generator(15%)

- 設計 parity generator，輸入 32-bit 資料回傳其 parity bit。

# 繳交說明

- 繳交期限：4/25 (一) 19:00 逾時拒收以0分計算
- 請壓縮成 .rar 或是 .zip
- 說明文件(25%)內容至少要有組員學號、電路設計說明、Block Design 截圖
  - 使用Word、PPT撰寫請轉成pdf檔，違者斟酌扣分
  - 使用Markdown撰寫可直接上傳
- 不用上傳整個Vivado Project，只需提供source file、xdc、bitstream即可

# 檔案格式

## 📁 FPGA\_HW3\_GroupX

### 📁 Problem1

- 📁 src (.c & .xsa)
- 📁 xdc
- 📁 bit

### 📁 Problem2

- 📁 src (.c & .xsa)
- 📁 xdc
- 📁 bit

### 📁 Problem3

- 📁 src (include top & lps & .c & .h & makefile & .xsa)
- 📁 xdc
- 📁 bit

### 📄 document