

FPGA Homework2 第八組

F44071128 李其祐 C14074021 張柏彥 F14051041 陳 祺

Problem1: Breathing Light

一、系統規格

Top Module			
Signal Name	Direction	Width	Description
clk	Input	1	系統時脈訊號
rst	Input	1	非同步 active high 重置訊號
sw	Input	2	切換開關
rgb4	Output	3	LED4 RGB 控制訊號
rgb5	Output	3	LED5 RGB 控制訊號

PWM_Decoder			
Signal Name	Direction	Width	Description
sw	Input	2	切換開關
R_time_out	Output	8	紅光佔空比的控制訊號
G_time_out	Output	8	綠光佔空比的控制訊號
B_time_out	Output	8	藍光佔空比的控制訊號

RGB_LED			
Signal Name	Direction / Type	Width	Description
clk	Input	1	系統時脈訊號，預設為 125MHz
rst	Input	1	非同步 active high 重置訊號
R_time_in	Input	8	紅光佔空比的控制訊號
G_time_in	Input	8	綠光佔空比的控制訊號
B_time_in	Input	8	藍光佔空比的控制訊號
rgb4	Output	3	LED4 RGB 控制訊號
rgb5	Output reg	3	LED5 RGB 控制訊號
flag	reg	1	控制 RGB_LED 由亮到暗 與由暗到亮的訊號
counter_256	reg	8	時長為 256 個 cycle 的計數器
cnt_08us	reg	7	時長約為 0.8us 的計數器
cnt_08ms	reg	10	時長約為 0.8ms 的計數器
cnt_08s	reg	10	時長約為 0.8s 的計數器

二、電路設計說明(IP Design)

1. PWM_Decoder

根據輸入 `sw` 調整 RGB 的佔空比，讓 RGB_LED 能根據佔空比調整 RGB 控制訊號，以調變 LED 顏色。

當 `sw` 為 `2'b00` 時，RGB_LED 需顯示紫色，因此 256 個 `clk cycle` 中，紅光訊號需維持 128 個 `cycle` 的高準位，綠光訊號需維持 32 個 `cycle` 的高準位，藍光需維持 256 個 `cycle` 的高準位；當 `sw` 為 `2'b01` 時，RGB_LED 需顯示青色，因此紅光訊號需一直維持低準位，綠光訊號需維持 256 個 `cycle` 的高準位，藍光需維持 256 個 `cycle` 的高準位；當 `sw` 為 `2'b10` 時，RGB_LED 需顯示黃色，因此紅光訊號需維持 256 個 `cycle` 的高準位，綠光訊號需維持 256 個 `cycle` 的高準位，藍光需一直維持低準位；當 `sw` 為 `2'b11` 時，RGB_LED 需顯示緋紅色，因此紅光訊號需維持 256 個 `cycle` 的高準位，綠光訊號需一直維持低準位，藍光需維持 256 個 `cycle` 的高準位。

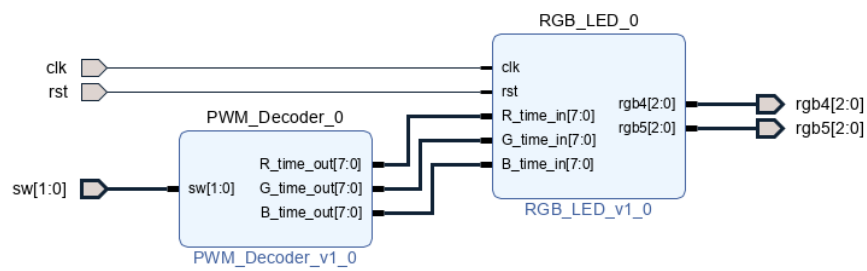
2. RGB_LED

根據 PWM_Decoder 送來的 RGB 佔空比，發出實際控制 RGB 的訊號。內有 4 個計數器，分別為 `counter_256`、`cnt_08us`、`cnt_08ms` 以及 `cnt_08s`。其中 `counter_256` 從 0 數到 255，若 `counter_256` 分別比 `R_time_in`、`G_time_in`、`B_time_in` 數值小，則 `rgb[0]`、`rgb[1]`、`rgb[2]` 控制訊號為 1，反之為 0。

由於預設的操作頻率為 125MHz，因此每個 `cycle` 為 8ns。`cnt_08us` 在經過 128 個 `cycle` 後會重新計數，即 $8\text{ns} \times 128 \approx 0.8\mu\text{s}$ 。`cnt_08ms` 在 `cnt_08us` 為 127 時增加 1，即 $0.8\mu\text{s} \times 1024 \approx 0.8\text{ms}$ 。`cnt_08s` 在 `cnt_08ms` 為 1023 且 `cnt_08us` 為 127 時增加 1，即 $0.8\text{ms} \times 1024 \approx 0.8\text{s}$ 。這裡我們不用 10 的次方來計數，而改用 2 次方數，這樣一來就能夠減少判斷訊號，因為只要當計數器累加到上限值再加 1 時，計數器就會歸零。

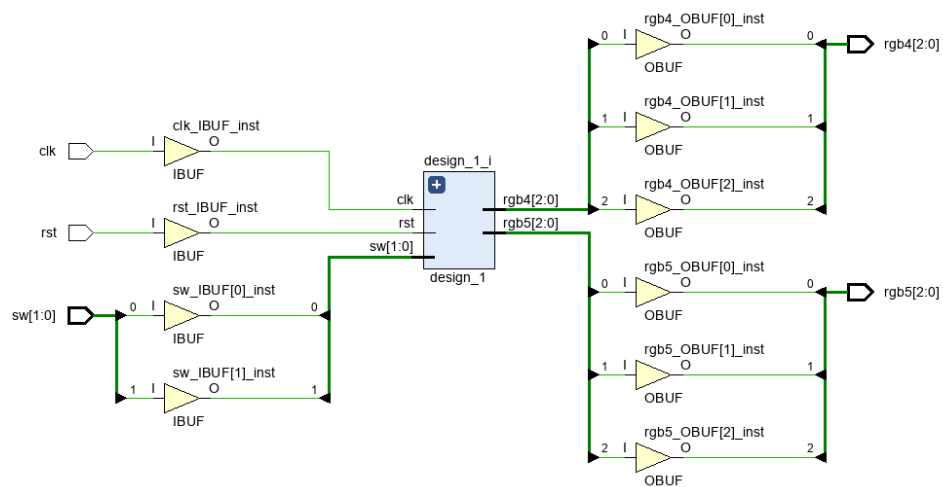
接著再透過比較 `cnt_08s` 與 `cnt_08ms` 的大小調整 LED 在一脈衝單位中發光時間的比例，以此達成亮度控制。`flag` 則在所有 `counter` 為最大值時將訊號反向。當 `flag` 為 0 時，若 `cnt_08s` \geq `cnt_08ms`，RGB_LED 則輸出經由 PWM 調變後的訊號，若 `cnt_08s` $<$ `cnt_08ms`，RGB_LED 則輸出 0，如此 RGB_LED 會由暗變亮；當 `flag` 為 1 時，若 `cnt_08s` $<$ `cnt_08ms`，RGB_LED 則輸出經由 PWM 調變後的訊號，若 `cnt_08s` \geq `cnt_08ms`，RGB_LED 則輸出 0，如此 RGB_LED 會由亮變暗。

三、Block Design

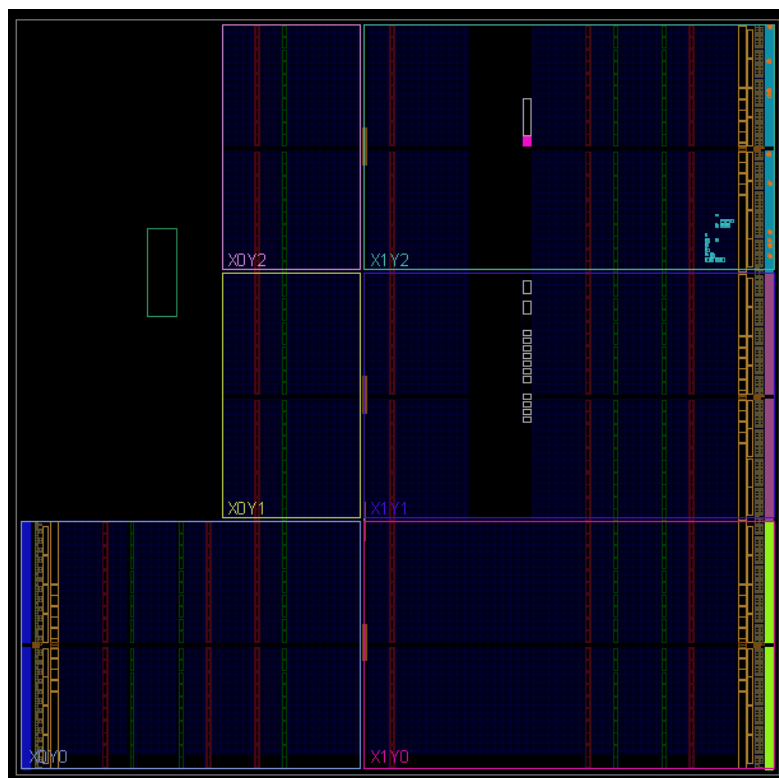


四、Synthesis/Implementation

Netlist

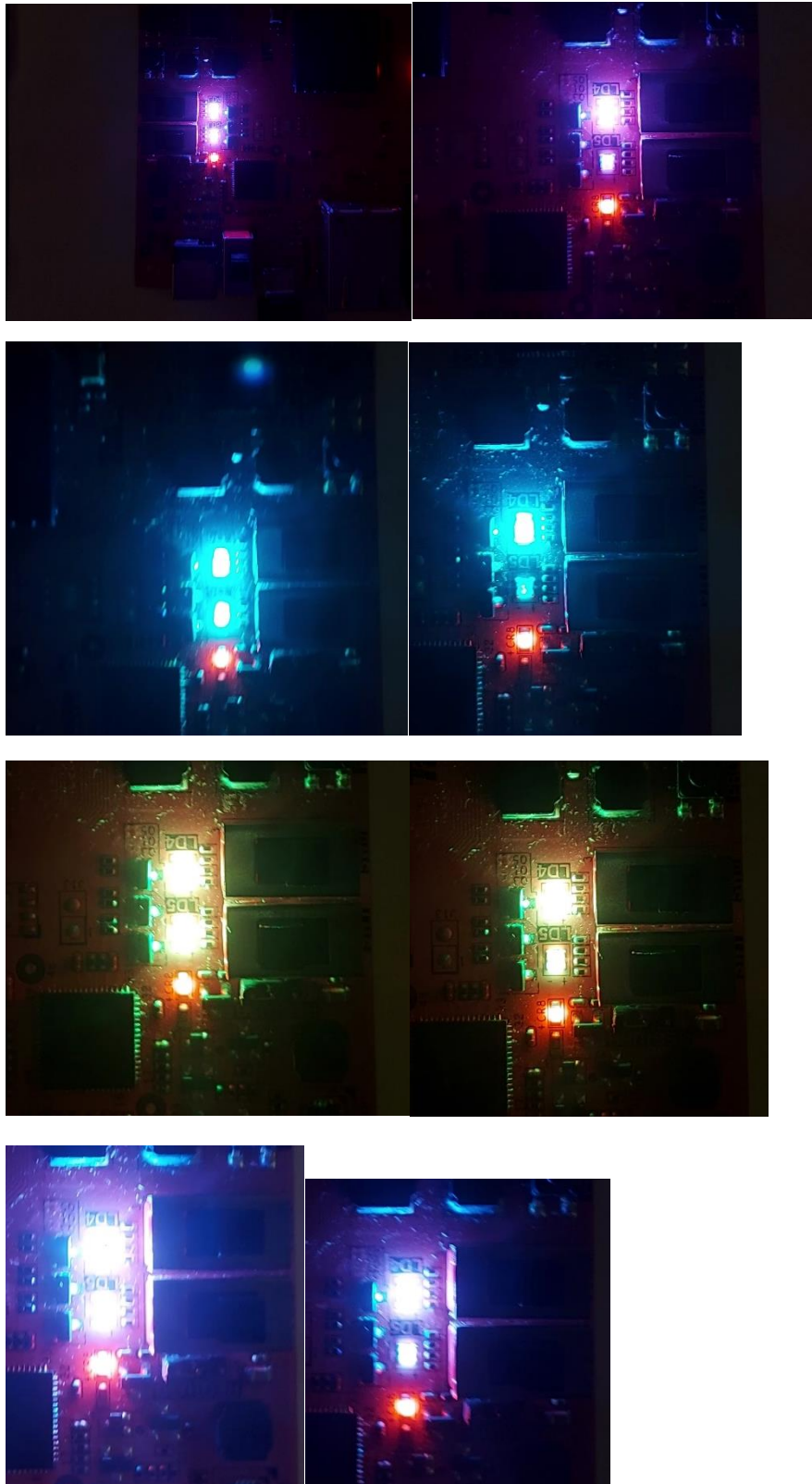


Layout



五、FPGA 驗證

在不同 SW 狀況下 LED 顏色不同，且有一個亮度不變，另一個亮度會變化。



Problem2 Rainbow breathing light

一、系統規格

Top Module			
Signal Name	Direction	Width	Description
clk	Input	1	系統時脈訊號
rst	Input	1	非同步 active high 重置訊號
rgb4	Output	3	LED4 RGB 控制訊號

PWM_Decoder			
Signal Name	Direction	Width	Description
state	Input	3	控制 RGB 佔空比的狀態
R_time_out	Output	8	紅光佔空比的控制訊號
G_time_out	Output	8	綠光佔空比的控制訊號
B_time_out	Output	8	藍光佔空比的控制訊號

RGB_LED			
Signal Name	Direction / Type	Width	Description
clk	Input	1	系統時脈訊號，預設為 125MHz
rst	Input	1	非同步 active high 重置訊號
R_time_in	Input	8	紅光佔空比的控制訊號
G_time_in	Input	8	綠光佔空比的控制訊號
B_time_in	Input	8	藍光佔空比的控制訊號
rgb4	Output	3	LED4 RGB 控制訊號
state	Output reg	3	控制 RGB 佔空比的狀態
flag	reg	1	控制 RGB_LED 由亮到暗 與由暗到亮的訊號
counter_256	reg	8	時長為 256 個 cycle 的計數器
cnt_08us	reg	7	時長約為 0.8us 的計數器
cnt_08ms	reg	10	時長約為 0.8ms 的計數器
cnt_08s	reg	10	時長約為 0.8s 的計數器
n_state	reg	3	記錄控制 RGB 佔空比的下一個狀態
state_flag	wire	1	控制 n_state 轉換狀態的訊號

二、電路設計說明(IP Design)

1. PWM_Decoder

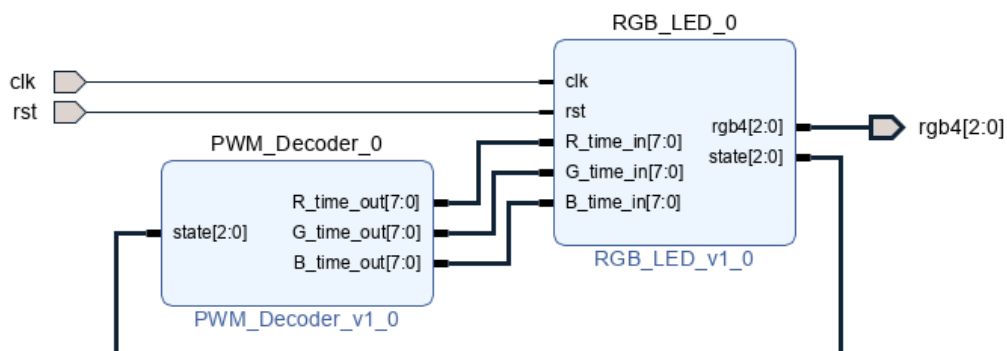
根據輸入的 `state` 調整 RGB 的佔空比，讓 RGB_LED 能根據佔空比調整 RGB 控制訊號，以調變 LED 顏色。

當 `state` 為 `3'b000` 時，RGB_LED 需顯示紅色，因此 256 個 `clk cycle` 中，紅光訊號需一直維持高準位，綠光訊號需一直維持低準位，藍光需一直維持低準位；當 `state` 為 `3'b001` 時，RGB_LED 需顯示橙色，因此 256 個 `clk cycle` 中，紅光訊號需一直維持高準位，綠光訊號需維持 98 個 `cycle` 的高準位，藍光需一直維持低準位；當 `state` 為 `3'b010` 時，RGB_LED 需顯示黃色，因此 256 個 `clk cycle` 中，紅光訊號需一直維持高準位，綠光訊號需一直維持高準位，藍光需一直維持低準位；當 `state` 為 `3'b011` 時，RGB_LED 需顯示綠色，因此 256 個 `clk cycle` 中，紅光訊號需一直維持低準位，綠光訊號需一直維持高準位，藍光需一直維持低準位；當 `state` 為 `3'b100` 時，RGB_LED 需顯示藍色，因此 256 個 `clk cycle` 中，紅光訊號需一直維持低準位，綠光訊號需一直維持低準位，藍光需一直維持高準位；當 `state` 為 `3'b101` 時，RGB_LED 需顯示紫色，因此 256 個 `clk cycle` 中，紅光訊號需維持 128 個 `cycle` 的高準位，綠光訊號需維持 32 個 `cycle` 的高準位，藍光需維持 256 個 `cycle` 的高準位。

2. RGB_LED

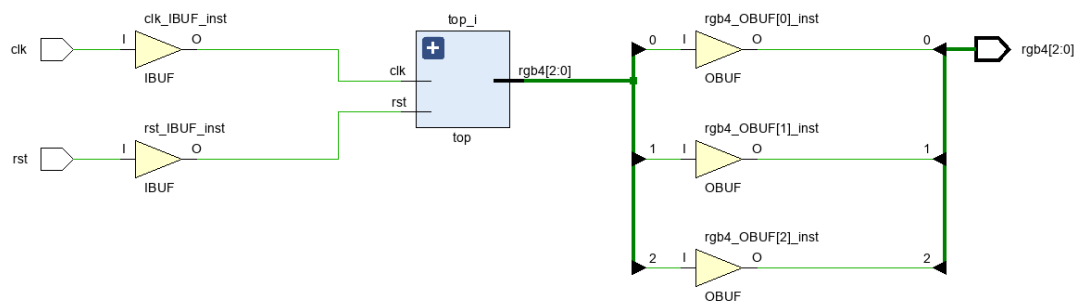
與第一題大致相同，不過內建一個狀態機，每當所有 counter 數到最大值且 `flag` 為代表亮到暗的 1 時，狀態改變，根據狀態輸出 `n_state` 訊號，並在下個 `posedge clk` 將 `state` 訊號輸出到 PWM_Decoder，以此來調整 PWM_Decoder 要調變的顏色。狀態依序為題目所要求的彩虹色順序。

三、Block Design

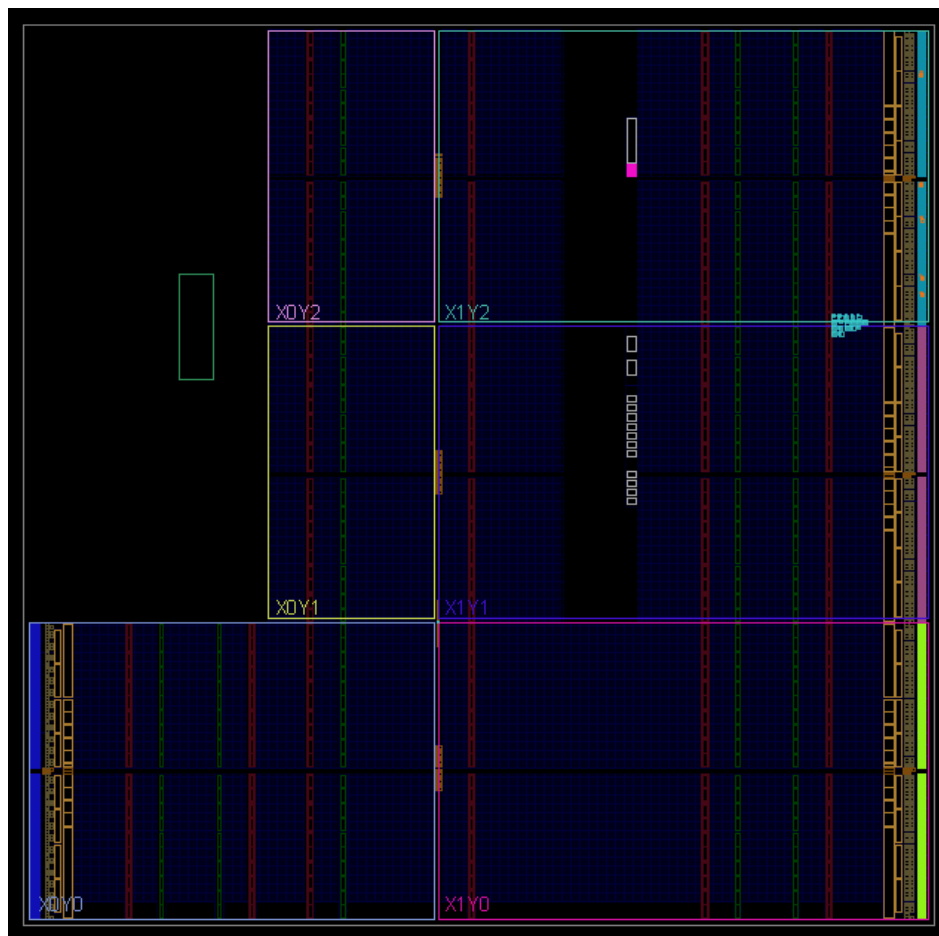


四、Synthesis/Implementation

Netlist



Layout



五、FPGA 驗證

可看出 LED 由紅色開始明暗變化，並遵照題目要求改變顏色

