



Estrutura do tema Avaliação de Desempenho (IA-32)

1. A avaliação de sistemas de computação (métricas)
2. Técnicas de otimização de *hardware*
 1. *Hierarquia de memória*
 2. *Exploração de paralelismo*
3. Técnicas de otimização de código
4. Outras técnicas de otimização
5. Medição de tempos ...

Eficiência em Sistemas de Computação: oportunidades para otimizar na arquitetura



Otimização do desempenho (no *h/w*) - slides AD_2_parte2

- no processador: com **paralelismo**
 - ao nível do processo (*multicore*/distribuídos/heterogéneos)
 - ao nível da instrução num *core* (*Instruction Level Parallelism*)
 - na execução do código:
 - » paralelismo desfasado (*pipeline*)
 - » paralelismo "real" (VLIW, superescalaridade, SMT)
 - paralelismo só nos dados (processamento vetorial)
- no acesso à memória e com **hierarquia de memória**
 - na transferência de informação de/para a memória
 - com paralelismo desfasado (*interleaving*)
 - com paralelismo "real" (>largura do *bus*, mais canais)
 - *cache* dedicada/partilhada, acesso UMA/NUMA...

Paralelismo no processador

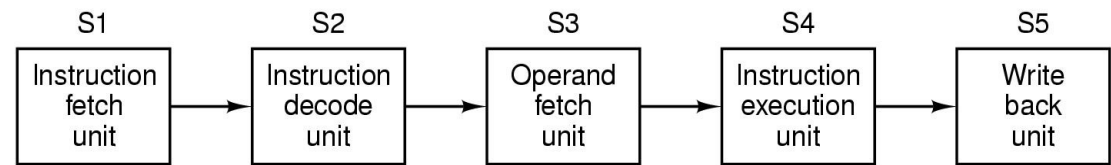
Exemplo 1 (pipeline)



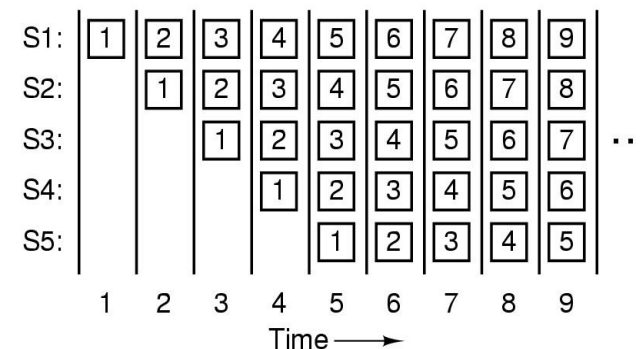
Exemplo de *pipeline* (com 5 fases)

Idealmente:

– **CPI = 1**



(a)



(b)

Problemas:

- dependências de dados (de instruções anteriores e/ou da memória)
 - **soluções:** usar atalhos / “empatar” a pipeline
- dependências de controlo (saltos condicionais)
 - **soluções (p/ reduzir impacto):** prever o próximo IP (p.ex. assumir “saltar sempre”)

Paralelismo no processador

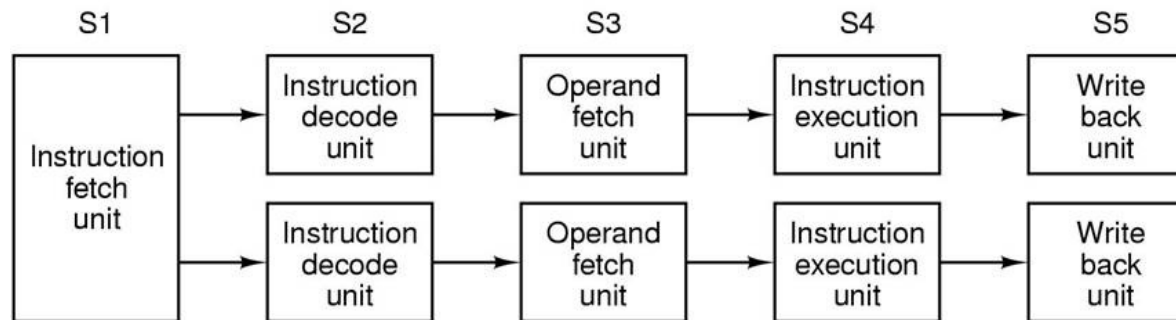
Exemplo 2 (superescalaridade em arquiteturas RISC)



Exemplo de superescalaridade (2 vias)

Idealmente:

– **CPI = 0.5** (para duas vias, quando combinada com *pipeline*)



Problemas:

sofre (ainda mais) dos problemas de **dependências de dados e de controle**

Solução: execução fora de ordem (escalonamento de instruções)

Paralelismo no processador

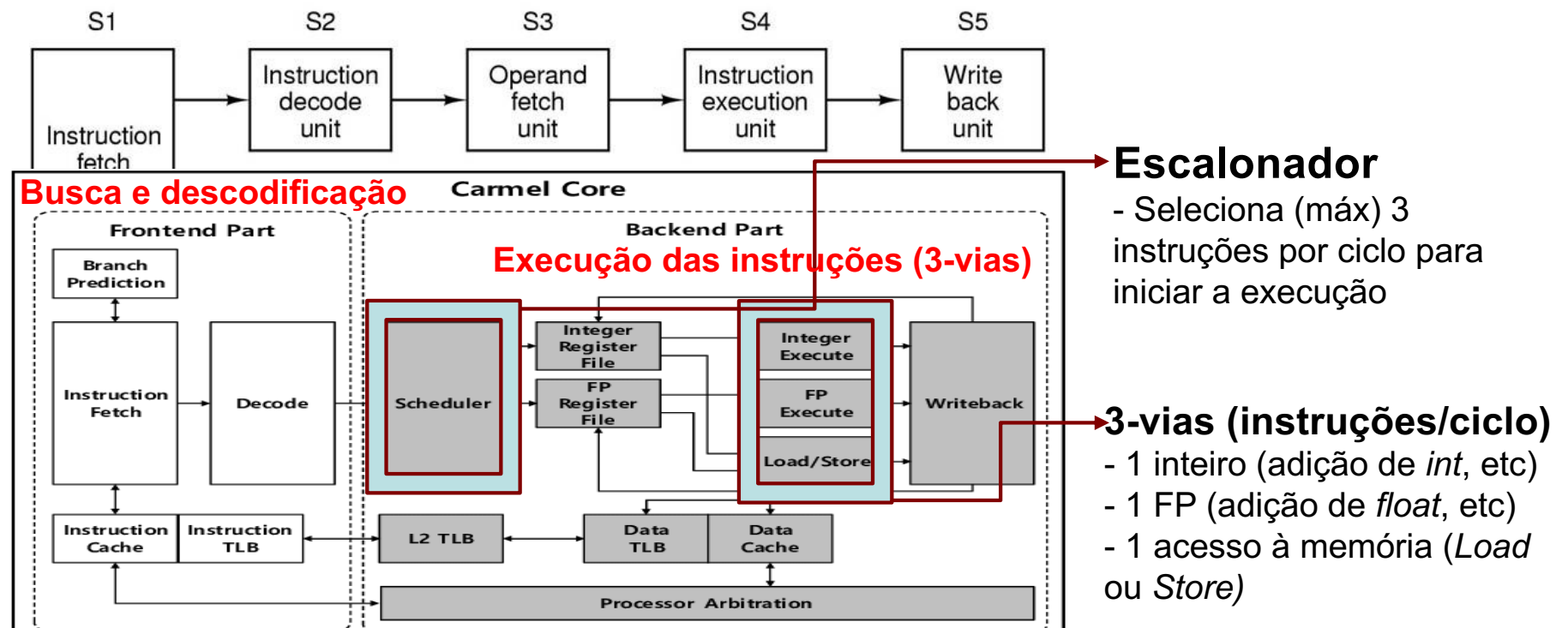
Exemplo 2 (superescalaridade em arquiteturas RISC)



Exemplo **Real** super-escalaridade - 3 vias

Utilização de um **escalonador** de instruções

CPI = 0.33 (para três vias)



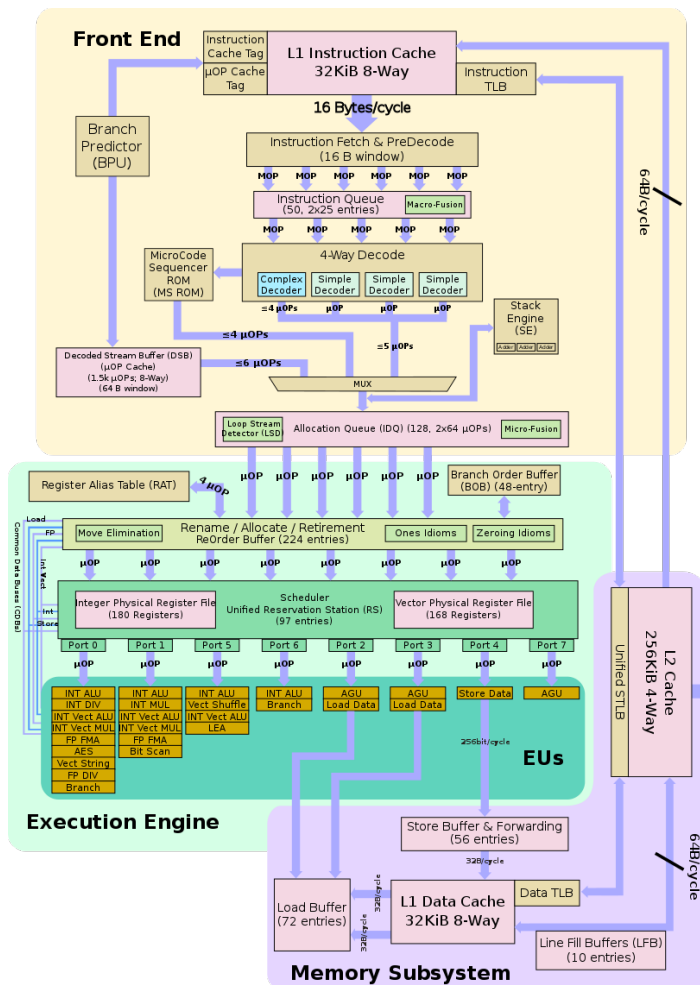
Paralelismo no processador

Exemplo 3 (Evolução: skylake-> sunnycove ->



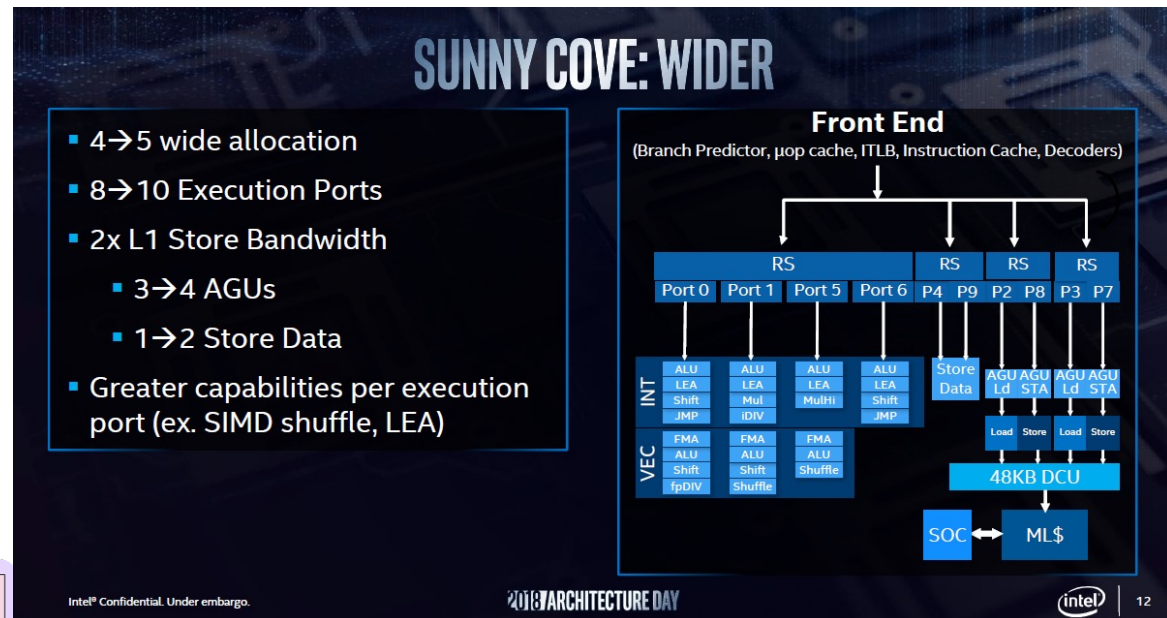
SkyLake (2015-Gen6)

4-vias / 8-vias



Sunny Cove (2019-Gen10)

5-vias / 10-vias (Intel: ~18% decrease in CPI; SPECcpu2017)



Paralelismo no processador

Exemplo 3 (Evolução: skylake-> sunnycove ->raptor cove)



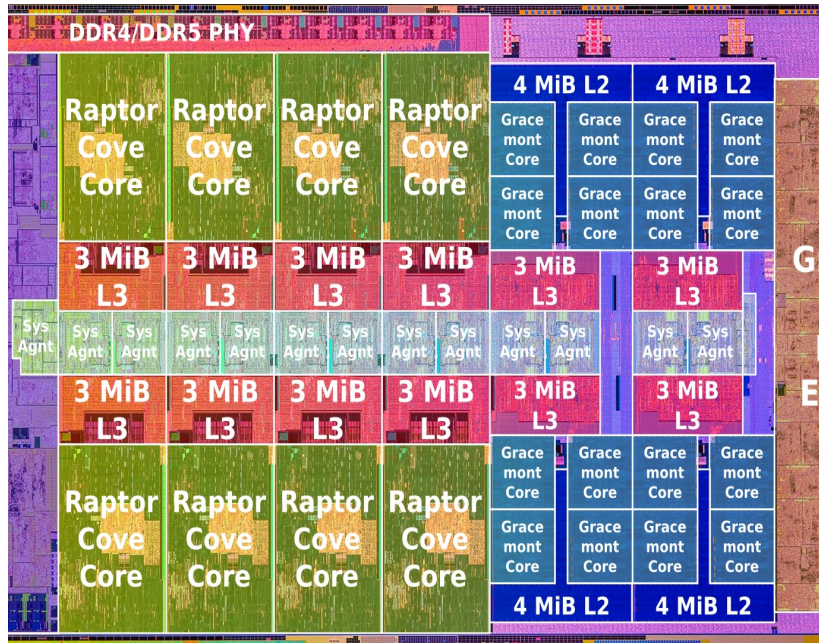
Raptor Cove (2022-Gen13)

6-vias / 12-vias (Intel: ~20% less CPI)

Intel i9 13900K (custa cerca de 600€)

- 8 Raptor Cove “cores” (3.0 a 5.8 GHz)

- 16 Gracemount “cores” (2.2 a 4.3 GHz)

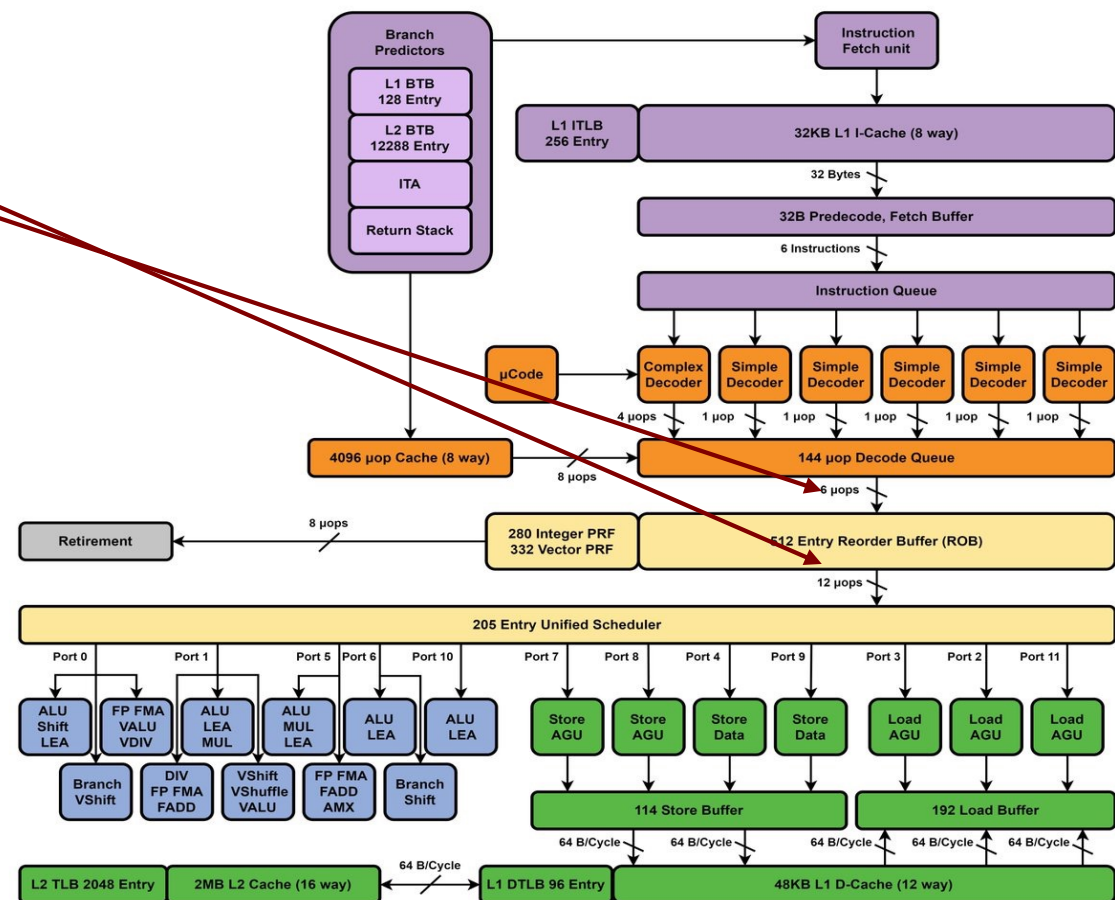


Intel - 2022

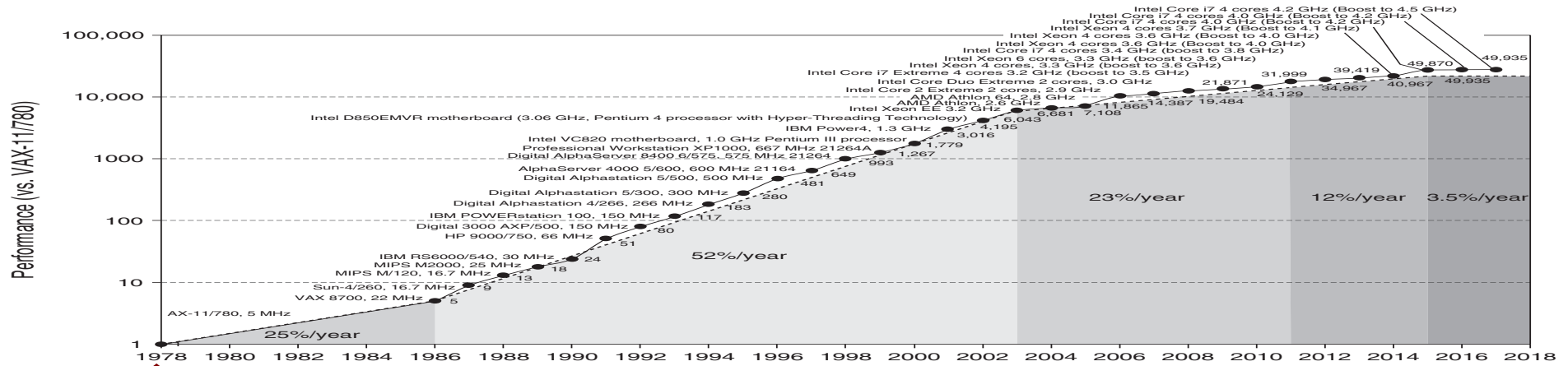
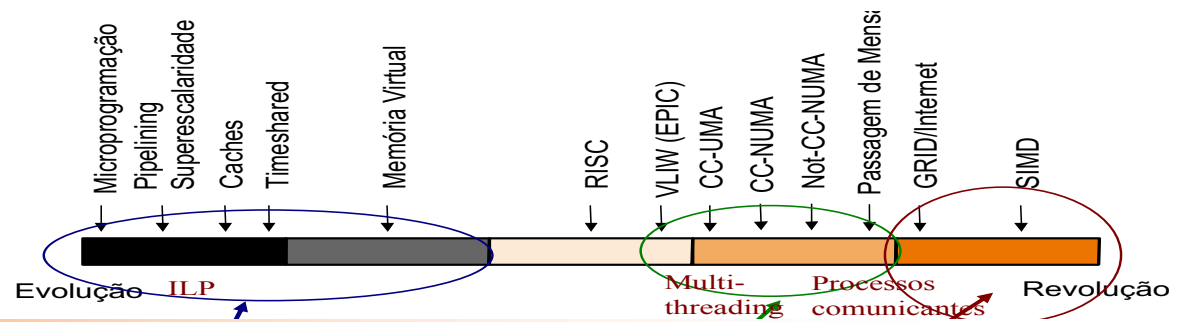
Raptor Cove

Microarchitecture Block Diagram

By Cardyak

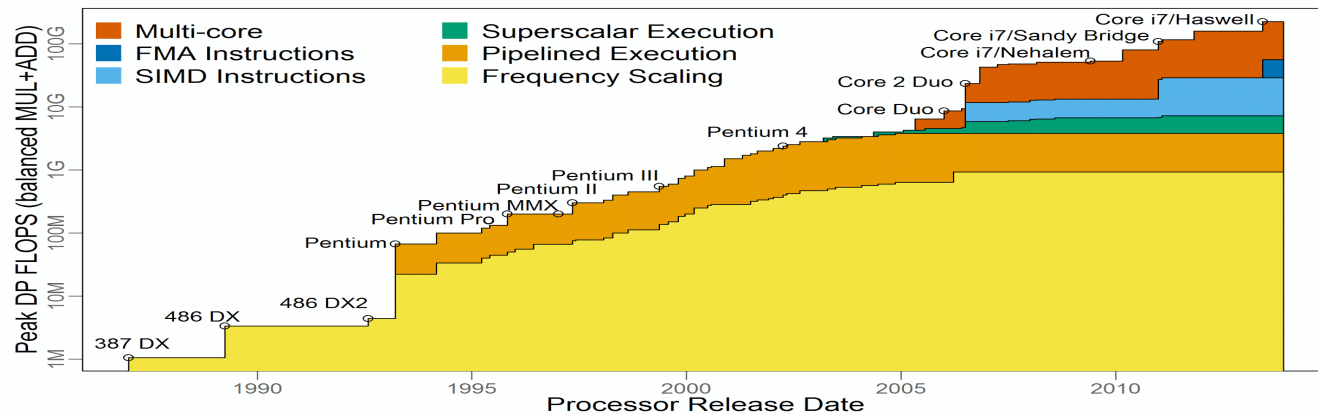


Paralelismo no HW: Evolução



Philips Videopac G7000 (1978)

- Processador: Intel 8048; 1.79 MHz (4 bits)
- Memória **RAM**: 256 bytes; 64 bytes no PU
- Memória de vídeo(**VRAM**): 256 bytes
- Gráficos: Intel 8244; 280X192 - 16 cores
- Disc: 2K programmable game card



Texe = #I x

1/#cores x

1/SIMD x

CPI x

Tcc

(CPI = IPC)

(Tcc = 1/f)

(Task/Thread-Level Parallelism)

(Vector: SIMD and FMA)

(Instruction Level Parallelism)

((Frequency))

Peak performance (FLOPs) =

Number of cores x

FLOPs per instruction x

Instruction per cycle x

Cycles per second