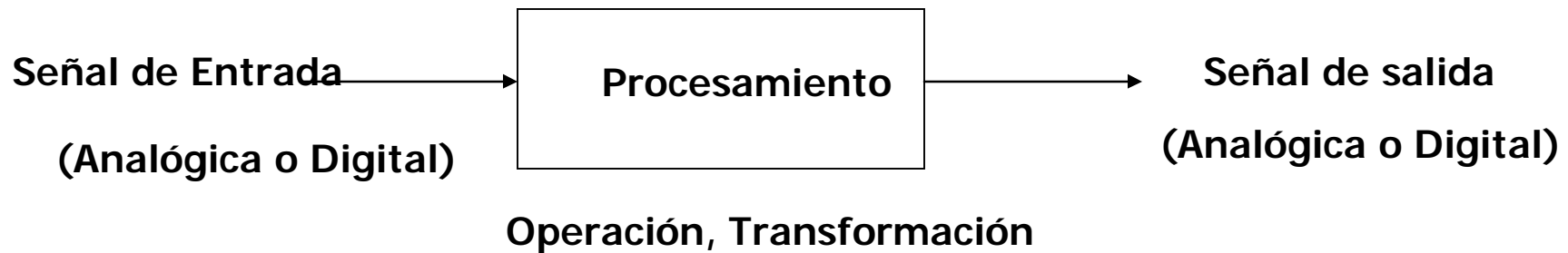


Procesamiento digital parte 2 - aplicaciones

Año 2008
Técnicas Digitales III

Basado en una publicación de Rony Ferzli - Digital Signal Processing - Lab

¿Qué es procesamiento de señal?



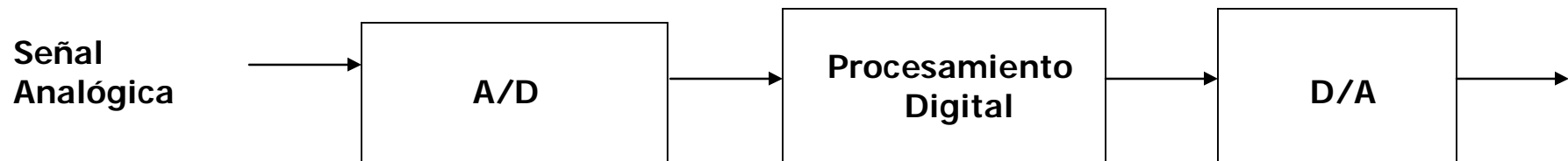
- Ejemplo de señales:
 - Analógicas: Voz, música, fotos, Video, radar, sonar, ...
 - En el dominio Discreto/Digital:
 - Voz digitalizada, música, imágenes, video, radar , ...

¿Qué es el procesamiento Digital de la Señal?

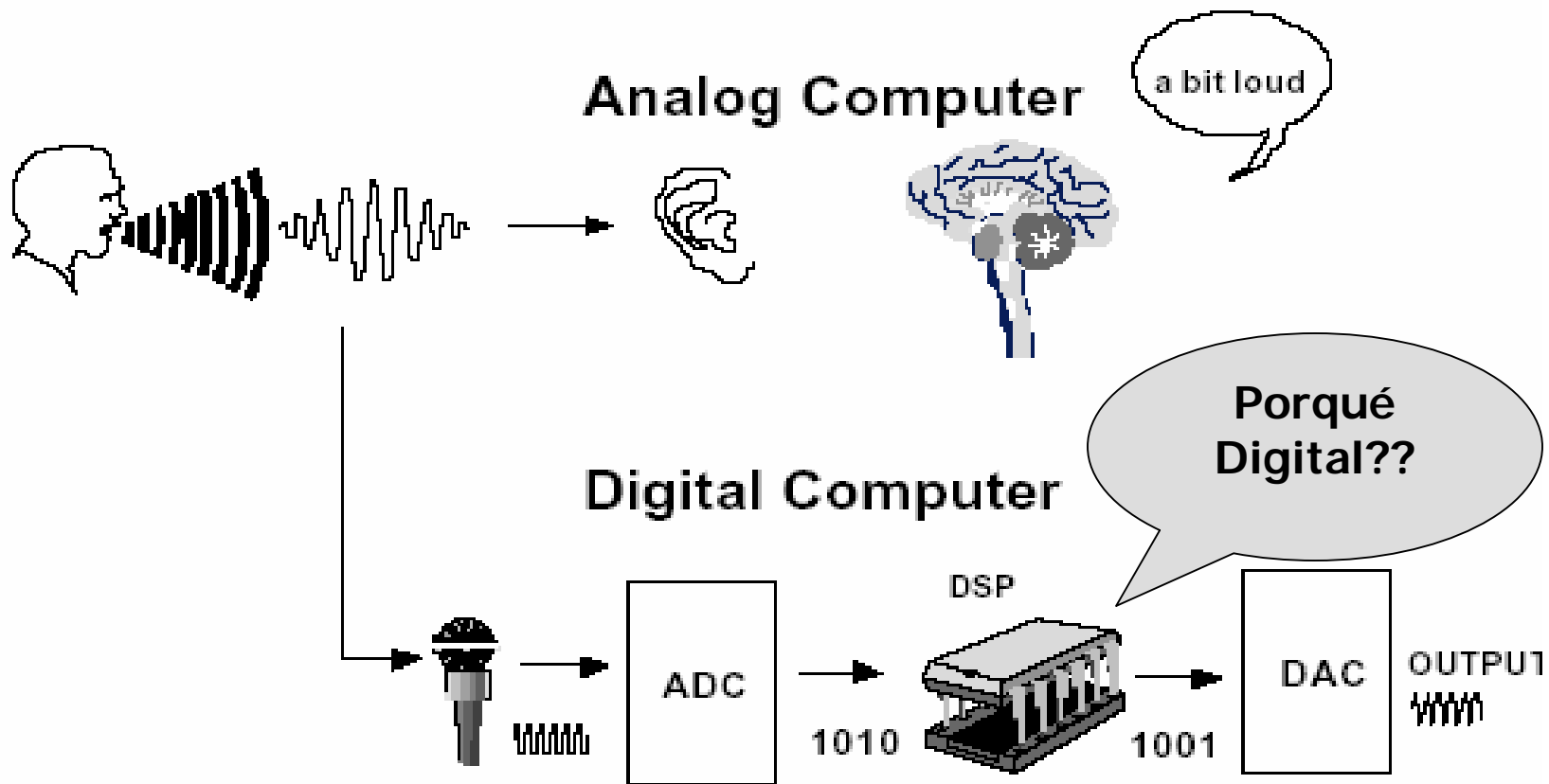


**Operaciones, Transformaciones sobre señales digitales
(usando una computadora o algún otro dispositivo
Especializado en manejo de señales digitales)**

- **Y las señales...**



Ejemplos



Aplicación Típica



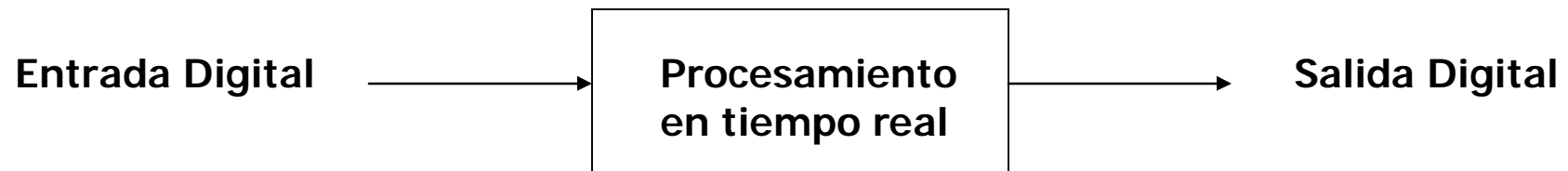
Paso 1: Un sensor analógico capta la señal (ej: microfono)

Paso 2: Conversión A/D

Paso 3: DSP procesa la información digital (ej., compresión, supresión de ruido)

Paso 4: D/A para recuperar la señal analógica original

¿Qué es procesamiento digital en tiempo real?



Requiere un tratamiento, o transformación de la señal
Lo más rápidamente posible para mantener una cierta
Sincronización con los eventos de entrada.

- Ejemplo:
 - Procesador a 120 MHz, puede realizar 120MIPS
 - Frec . De Muestreo = 48KHz (Digital Audio Tape - DAT)
numero de inst. por muestra = $(120 \times 10^6) / (48 \times 10^3) = 2500$.
 - $f_s = 8\text{KHz}$ (Banda de voz, telefonía) número de instrucciones por muestra = 15000.
 - $f_s = 75\text{MHz}$ (CIF 360x288 Video a 30 cuadros por segundo) número de instrucciones por muestra = 1.6.

Procesamiento de señal en tiempo real:

- Limitaciones:
 - Las aplicaciones DSP quedan limitadas a casos donde la frecuencia de muestreo es suficientemente menor a la velocidad de ejecución de instrucciones.
- Desafío:
 - Código;
 - Compacto para ser ejecutado en tiempo real.
 - Buena cantidad de instrucciones entre muestras.

¿Qué es DSP?

- DSP = Proc. Digital de señales
“O”

DSP = Procesador Digital de señales

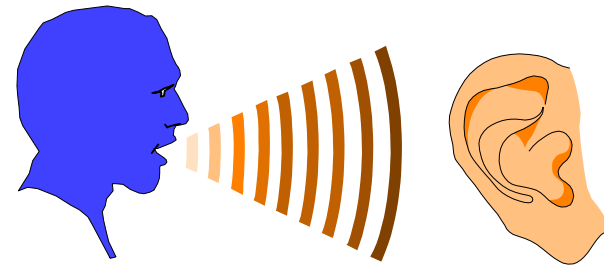
- DSP es usado para ambos
 - El significado se deduce del contexto en el cual la palabra DSP es usada.
- Y Procesador digital de señal (DSP) es
 - Un micro especialmente diseñado para realizar operaciones de procesamiento digital rápidamente (ej., FFT, productos, multiplicación y acumulación)

¿Porqué pasar al dominio digital?

- Programabilidad
 - Un hardware puede realizar varias tareas.
 - Fácil de mejorar o cambiar.
- Repetibilidad
 - Misma performance de una unidad a otra.
 - No cambia su performance por cambios de temperatura o envejecimiento.
- Ofrece alta performance : por ejemplo CD-players vs tocadiscos.

Aplicaciones del procesamiento Digital

- Procesamiento de voz
 - Compresión
 - Reconocimiento
 - Verificación, adecuación de voz
 - Síntesis de voz
 - Amplificación, Cancelación de eco
- Procesamiento de audio
 - Compresión
 - Reproducción 3-D



Procesamiento de Imágenes

- Procesamiento
 - Compresión
 - Reconocimiento de Patrones
 - Cancelación de fantasmas (Ghost cancellation)
 - Reducción de ruido
 - Seguimiento de objetos
 - Fusión de imágenes



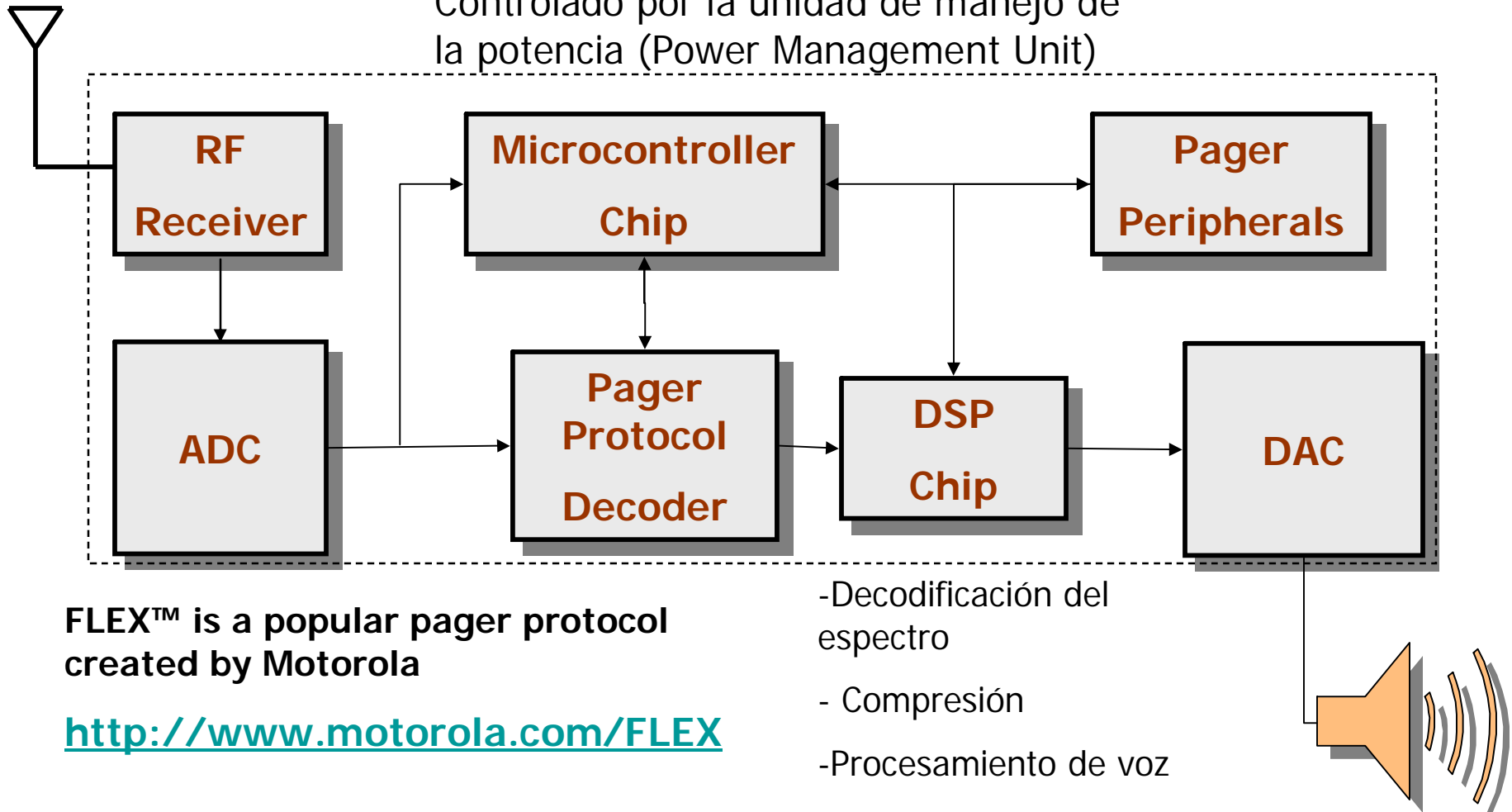
Aplicacion DSP a las comunicaciones

- MODEM
 - Correlacion (filtros de igualción)
 - Canceladores de eco
 - ecualizadores
- Telefonía Celular
 - Compresión de voz
- Software de Radio

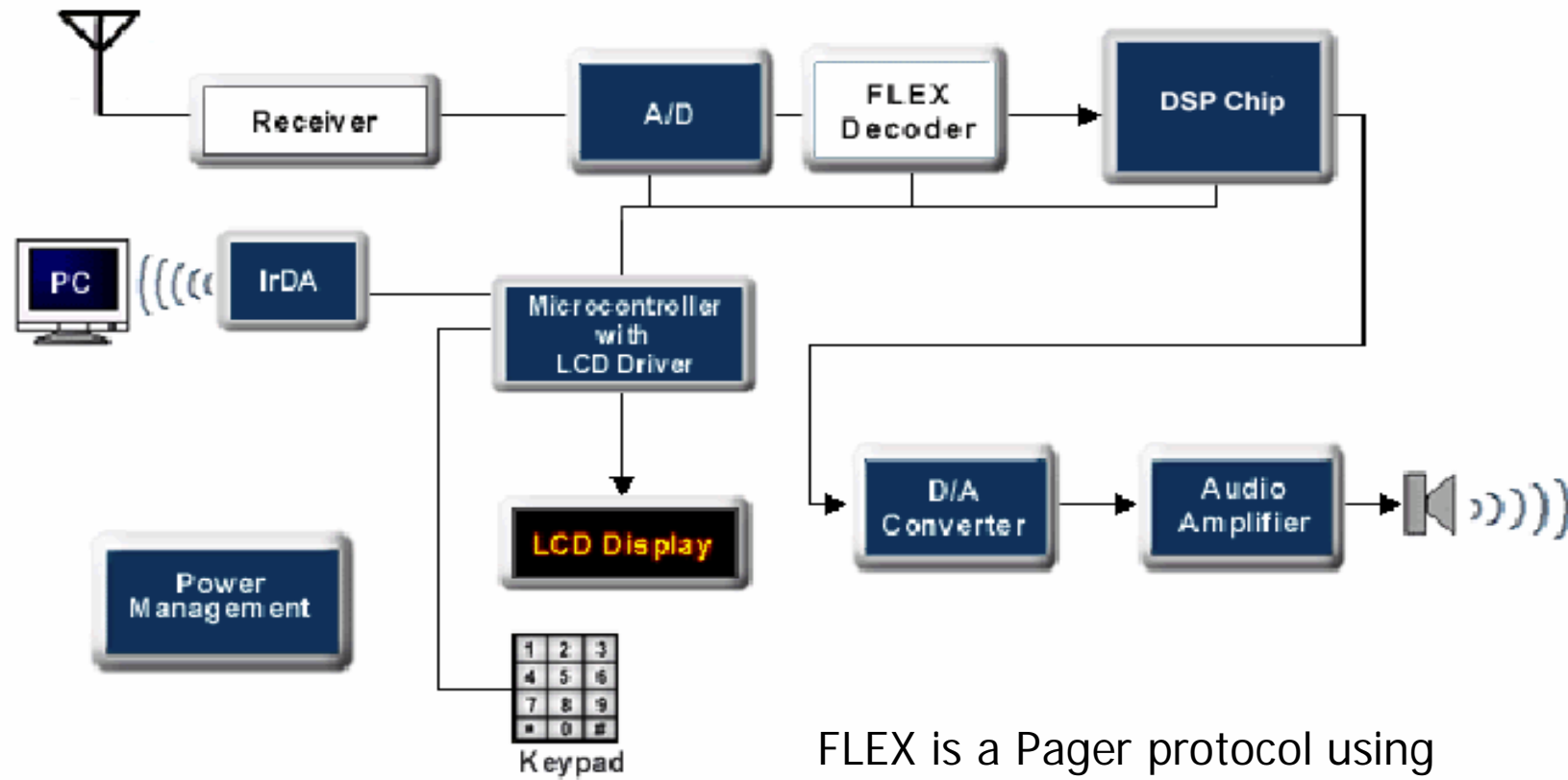


DSP : Pager

Controlado por la unidad de manejo de la potencia (Power Management Unit)

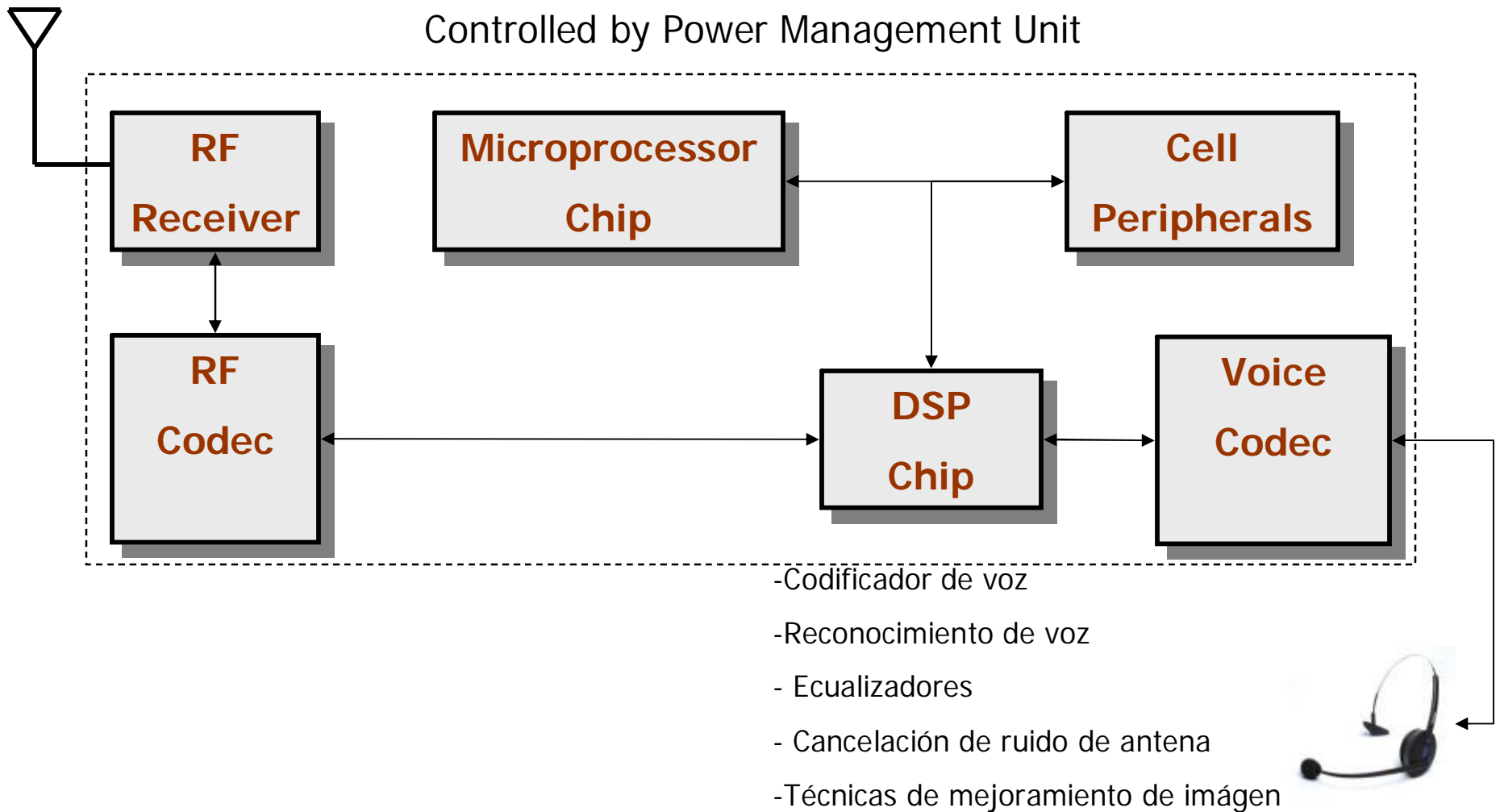


DSP : Pager

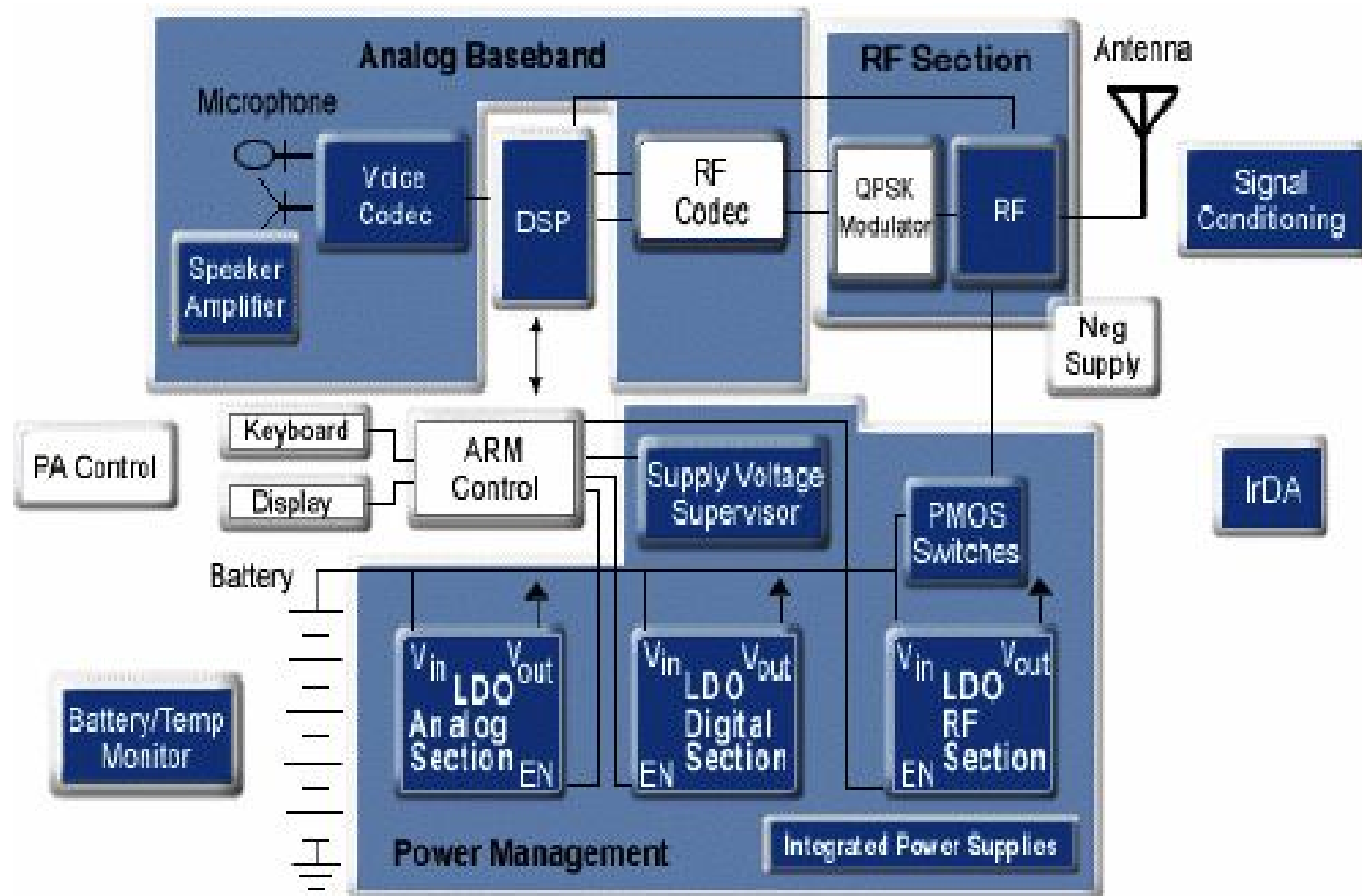


FLEX is a Pager protocol using TDMA concept

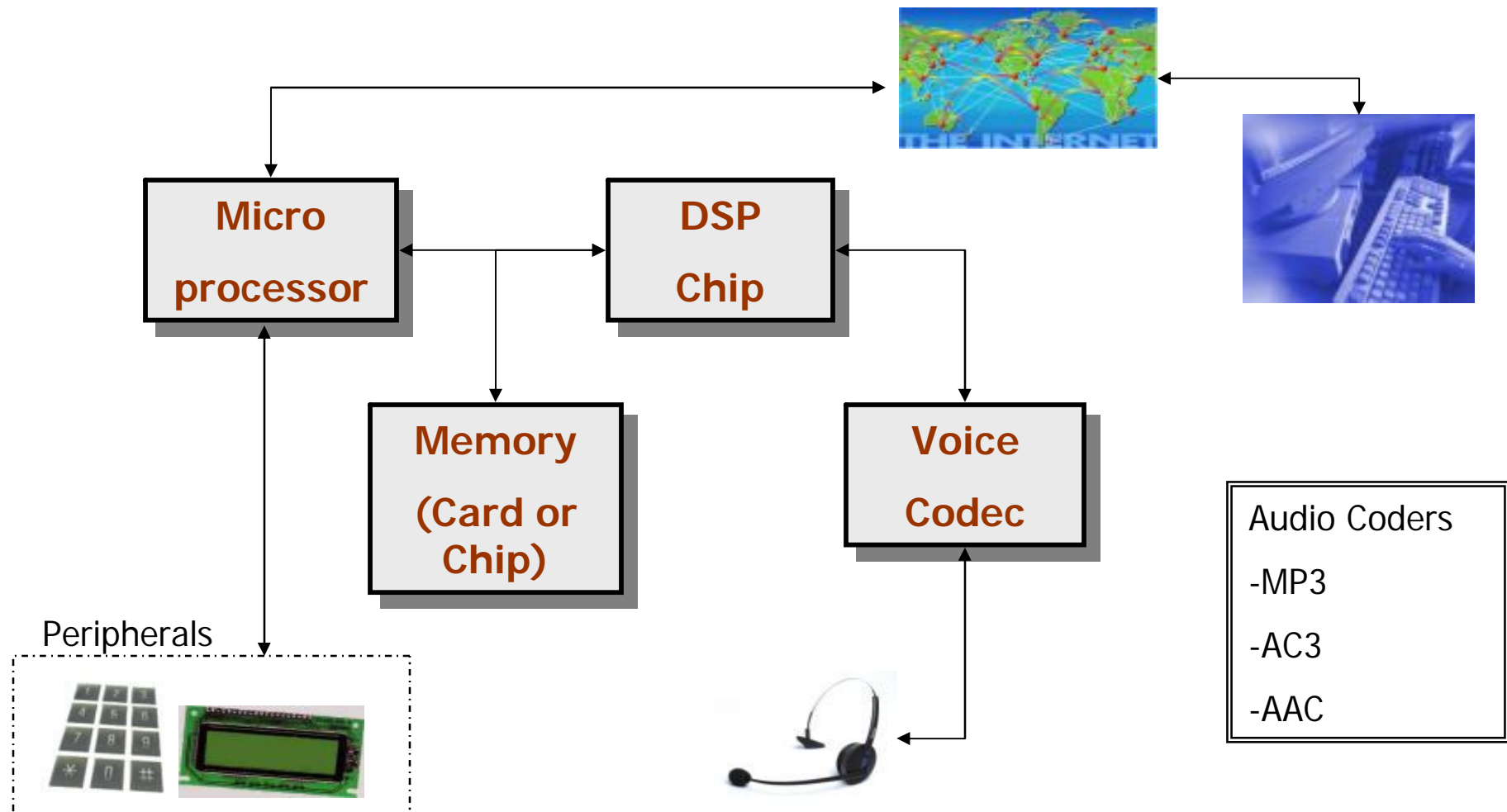
DSP : Teléfonos Celulares



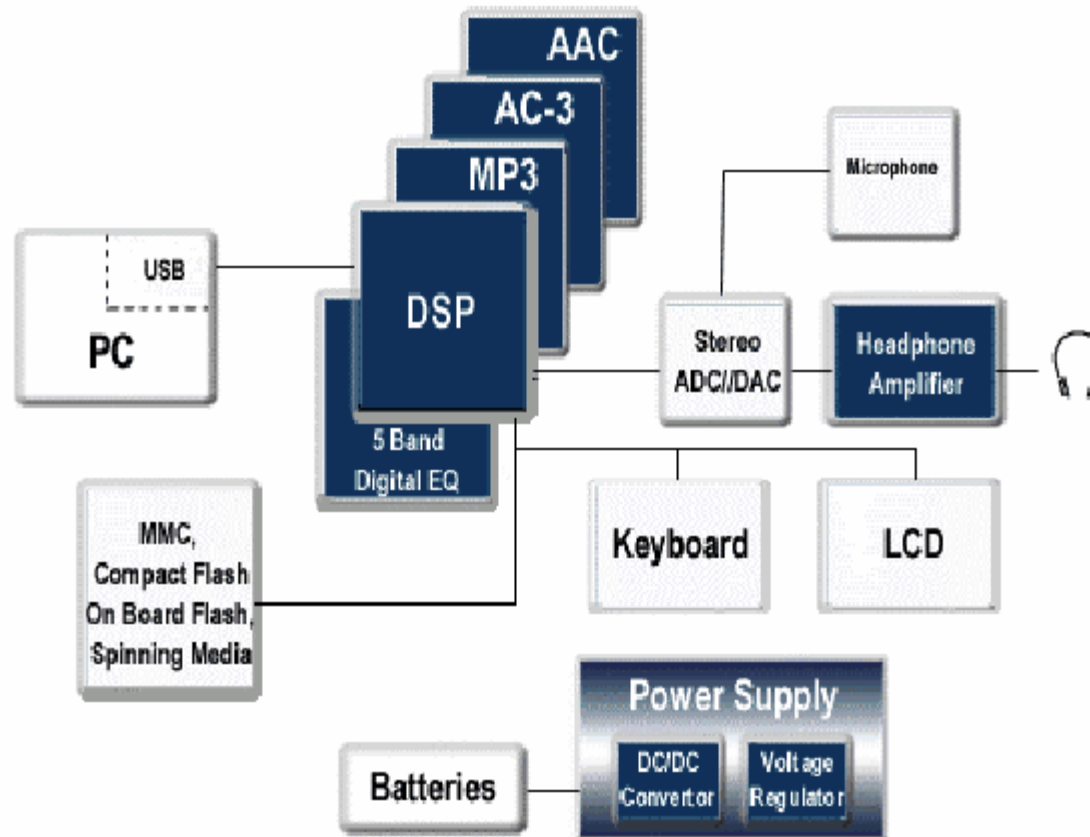
DSP : Teléfono celular



DSP: Voz sobre IP

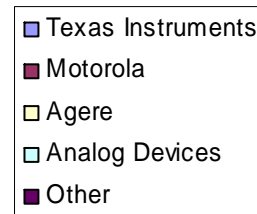
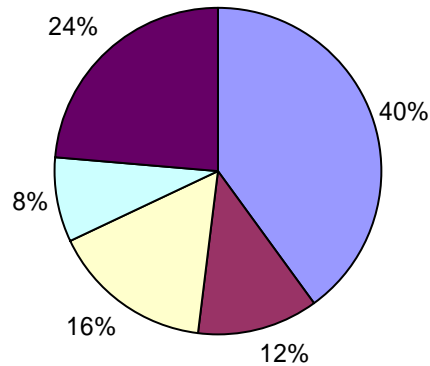


DSP: Voz sobre IP

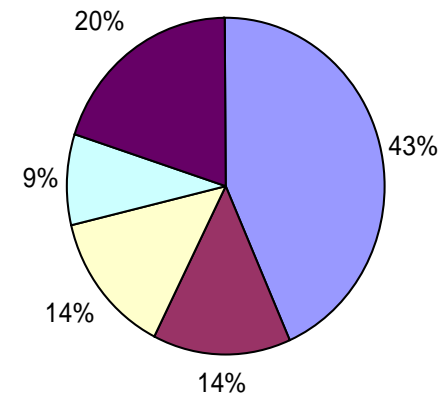


Mercado DSP – Por Compañía

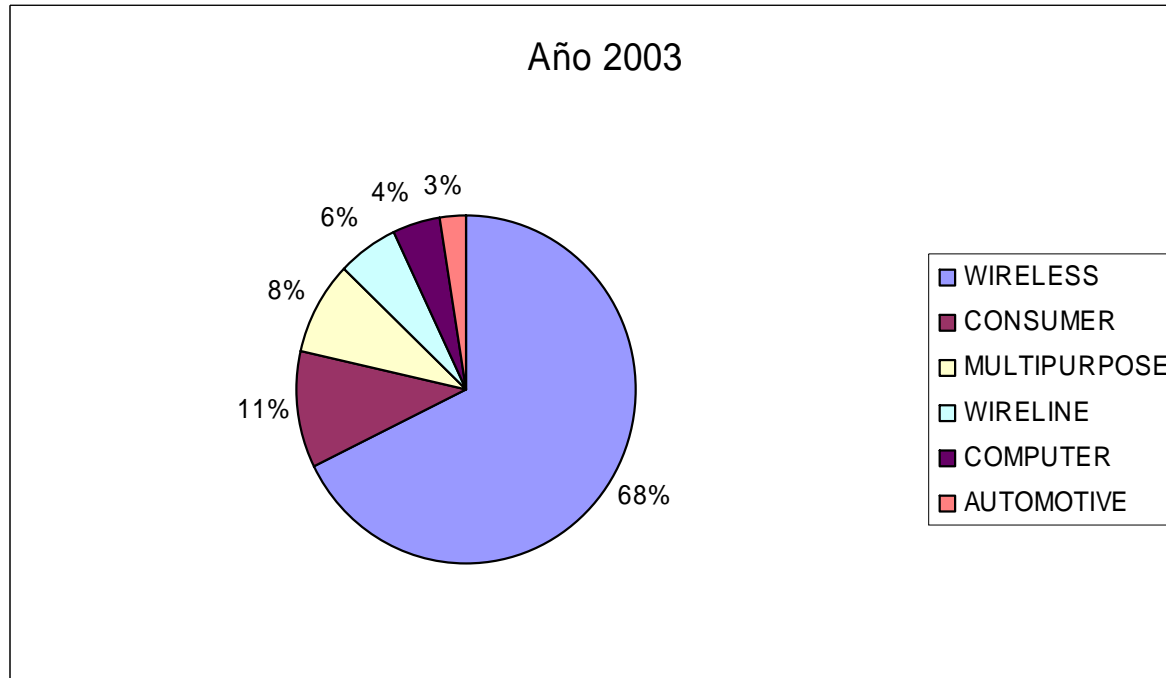
participación en el mercado en el 2001



Y en el 2002



Mercado DSP – Por aplicación



Mercado DSP – Aumento de uso en productos portables

- Personnel Digital Assistant (PDA)

- Creció 14 M unid./año en el 2002

- Creció el 32% de 1999 al 2002



- PCs portables

- 26 M unid./año en 2002

- Creció 14% de 1999 al 2002

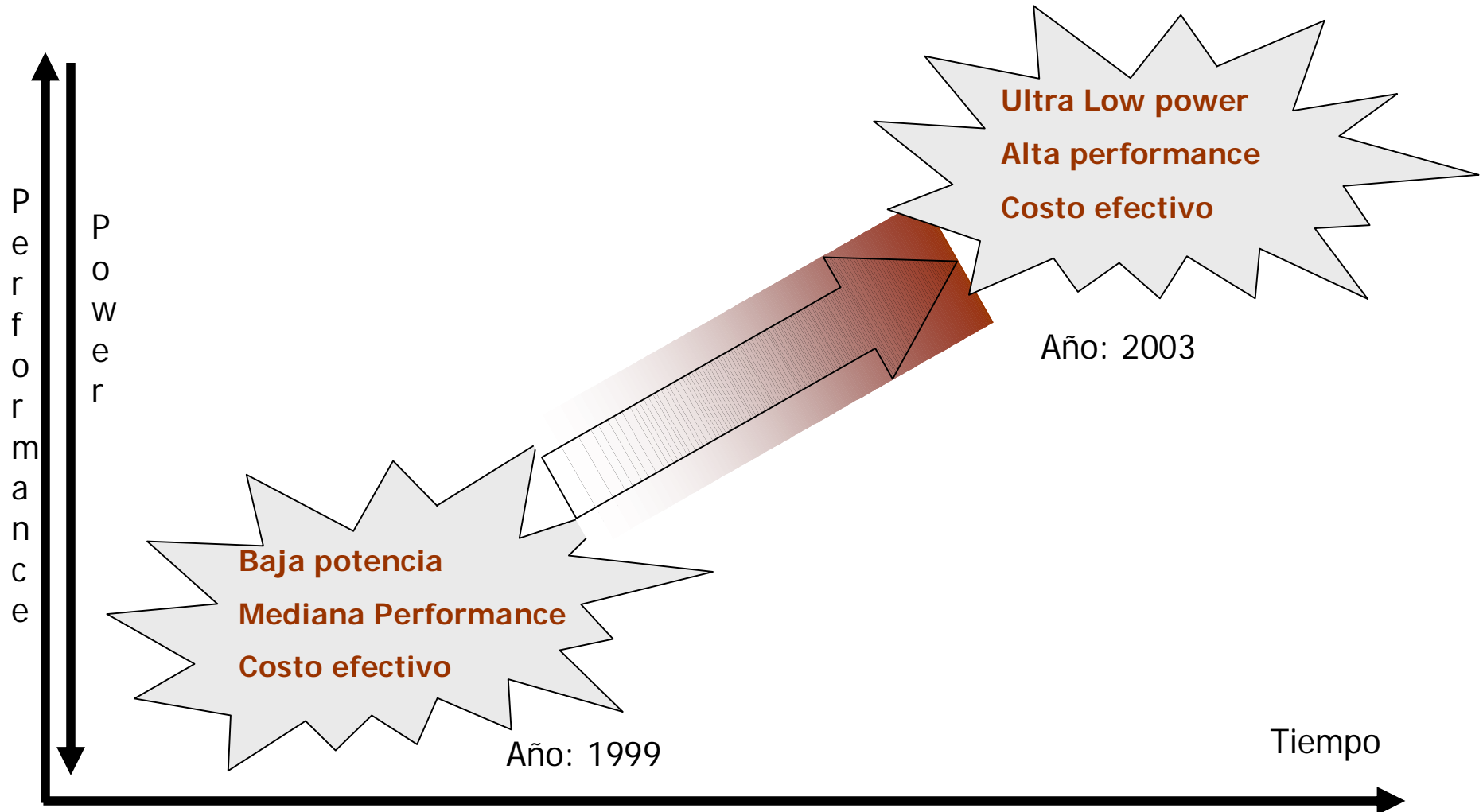


- Celular

- Trepó a 500 M unid./año en el 2002



En aplicaciones portables es necesario
procesadores de alta performance



¿Que tienen de especial las aplicaciones de procesamiento digital?

- Gran cantidad de muestras en la entradas del procesor.
- Operaciones Repetitivas:
 - La misma operación será aplicada a diferentes set de muestras
 - Procesamiento paralelo
- Operaciones con Vectores y Matrices
- Operaciones en tiempo real

Ejemplo: Filtrado digital

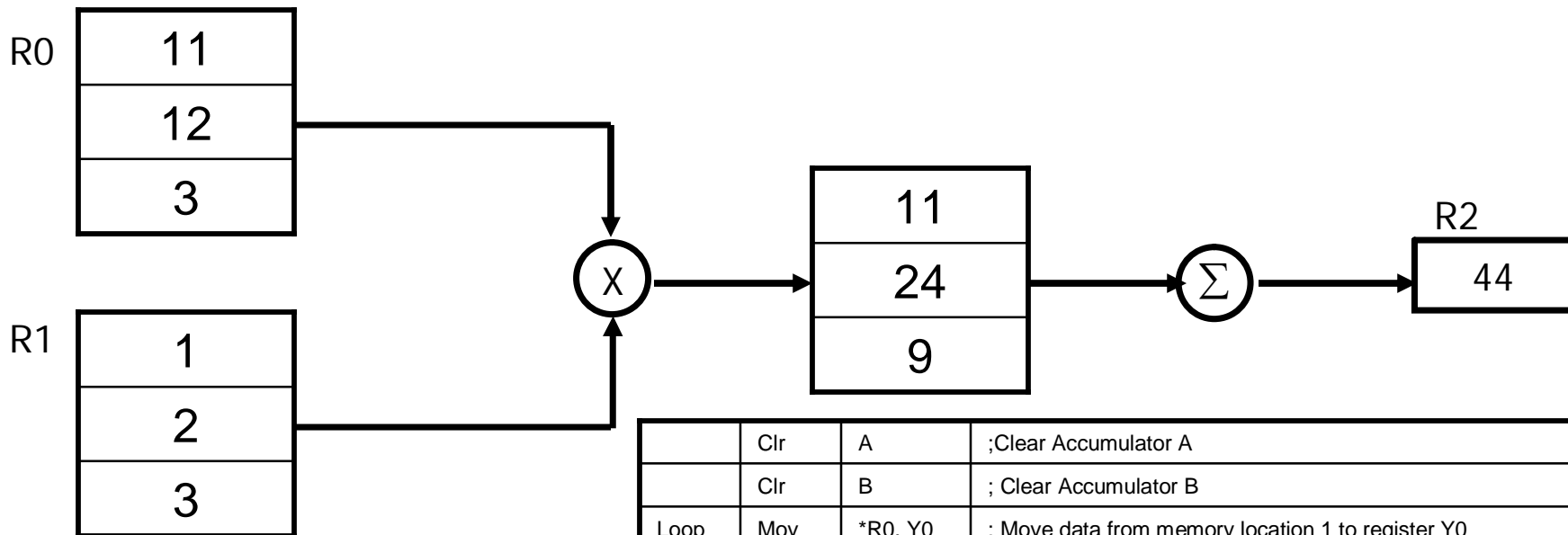
- **Los dos filtros digitales mas comunes son:**
 - Respuesta finita al impulso (FIR)
 - Respuesta Infinita al Impulso (IIR)
- **La fórmula básica de FIR es:** $y[n] = \sum h[k].x[n-k]$
donde $h[k]$ es un array de constantes

En lenguaje C

```
y[n]=0;  
For (n=0; n<N;n++)  
{  
  For (k = 0;k<N;k++)  
    //inner loop  
    y[n] = y[n] + h[k]*x[n-k];}
```

Solo multiplicar
Y acumular
(MAC)

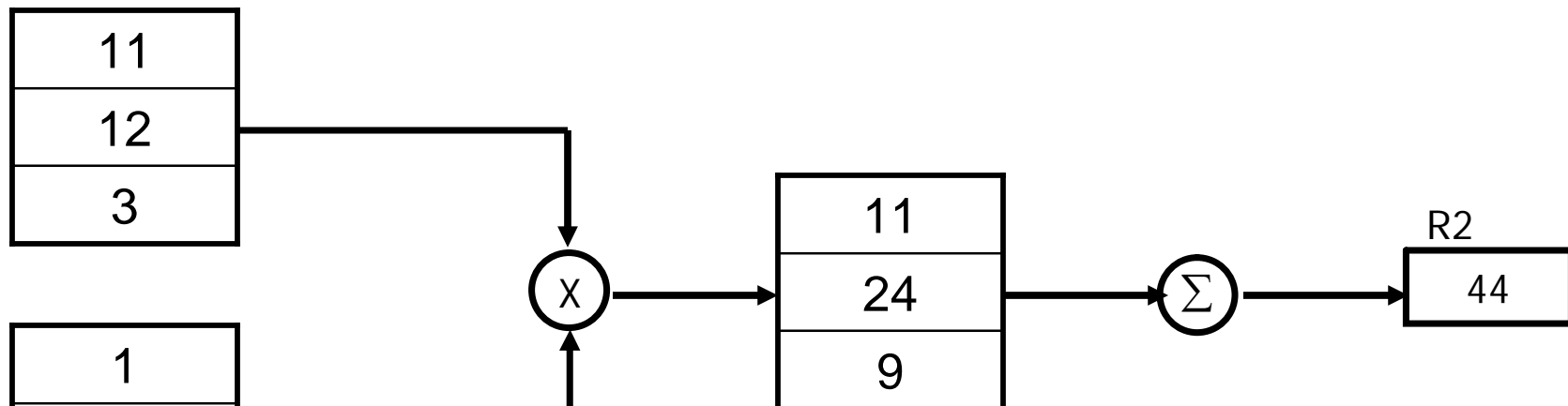
MAC usando PPG (procesador de propósito general)



	Clr	A	;Clear Accumulator A
	Clr	B	; Clear Accumulator B
Loop	Mov	*R0, Y0	; Move data from memory location 1 to register Y0
	Mov	*R1,X0	; Move data from memory location 2 to register X0
	Mpy	X0,Y0,A	;X0*Y0 ->A
	Add	A,B	;A + B -> B
	Inc	R0	;R0 + 1 -> R0
	Inc	R1	;R1 + 1 -> R1
	Dec	N	;Dec N (initially equals to 3)
	Tst	N	;Test for the value
	Jnz	Loop	;Different than zero loop again
	Mov	B,*R2	;Move result to memory

MAC usando un DSP

- La arquitectura Harvard permite multiples lecturas a memoria



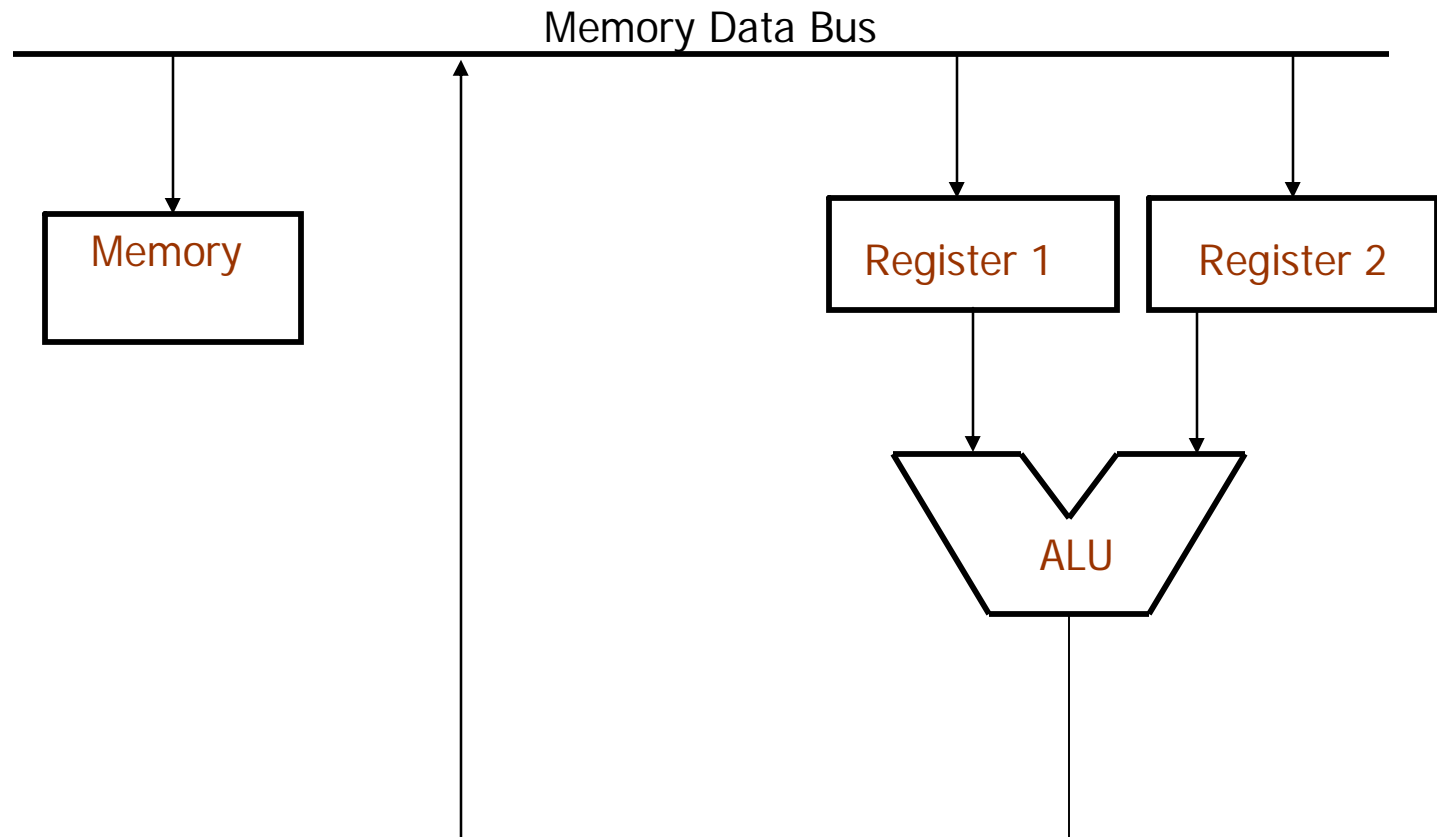
	Clr	A	;Clear Accumulator A
	Rep	N	; Rep N times the next instruction
	MAC	*(R0)+, *(R1)+, A	; Fetch the two memory locations pointed by R0 and R1, multiply them together and add the result to A, the final result is stored back in A
	Mov	A, *R2	; Move result to memory

Desventajas de un PPG

- Mas instrucciones/tareas
- Memoria común para datos y programa
 - Limitado ancho de banda de bus/memoria

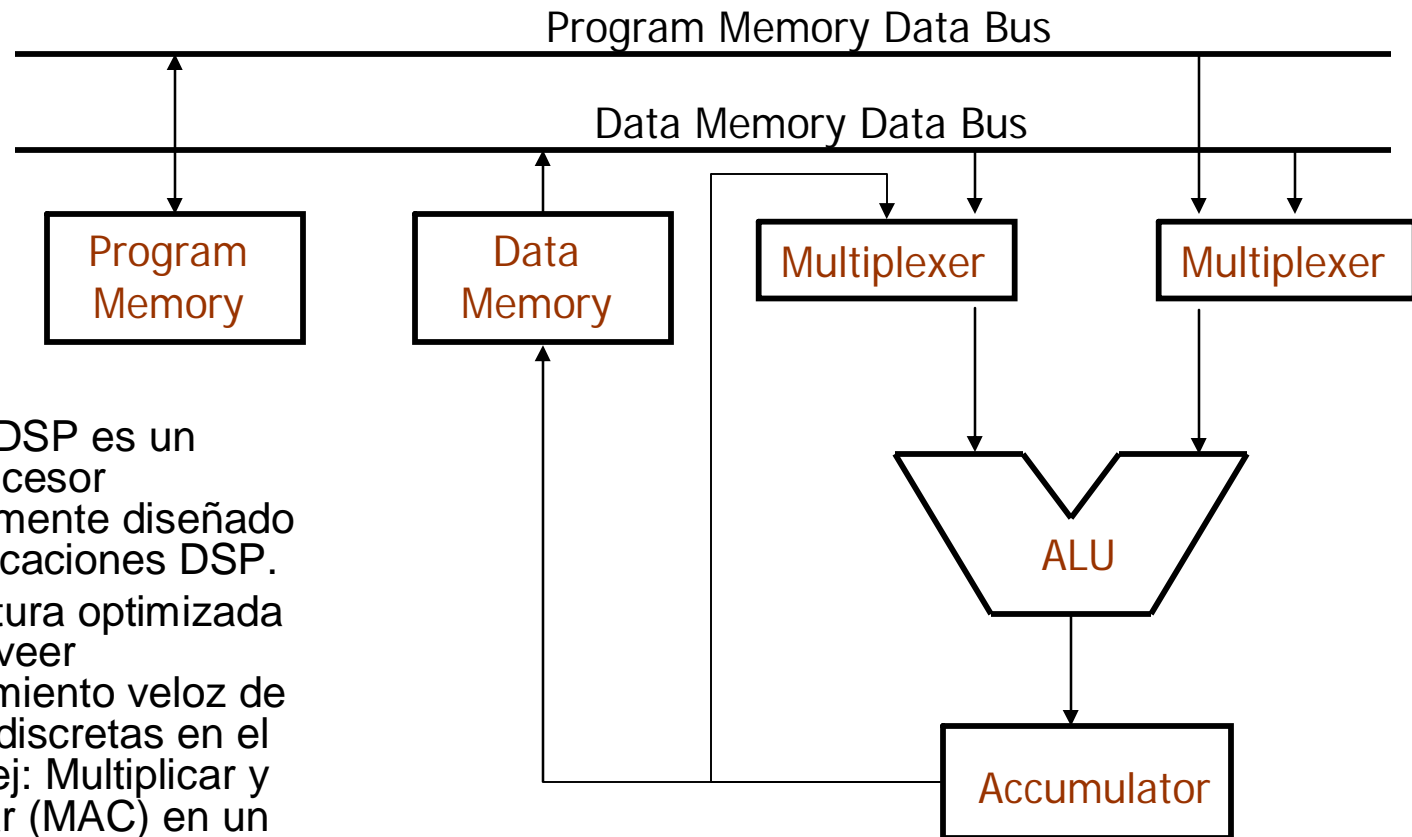
Solución: Arquitectura DSP

PPG – Sólo el camino de los datos



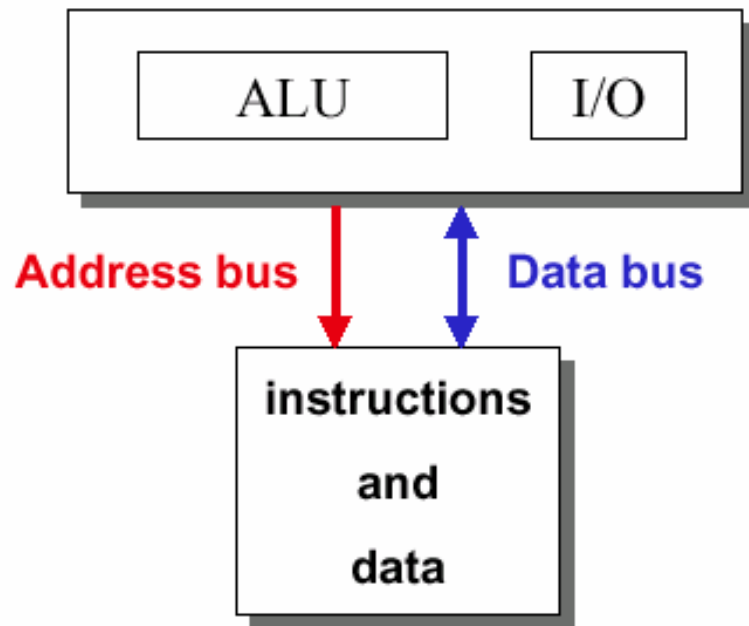
Misma memoria para datos y programa

DSPs – Sólo camino de los datos



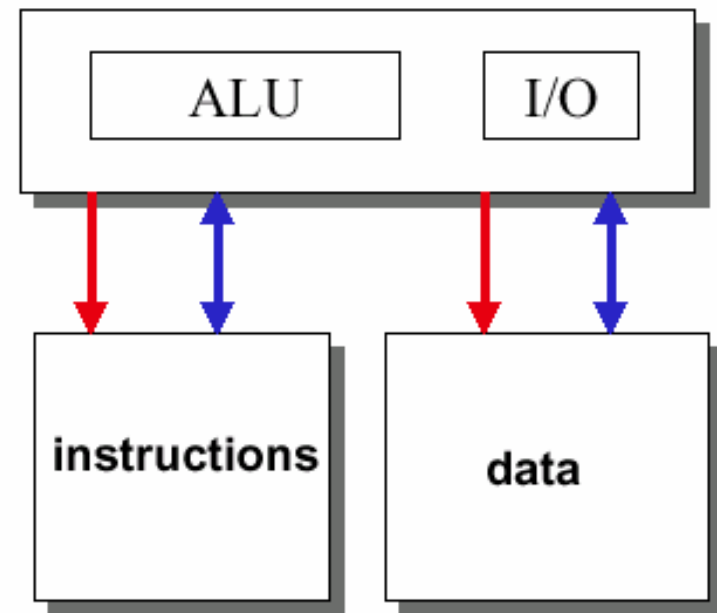
- Un chip DSP es un microprocesor especialmente diseñado para aplicaciones DSP.
- Arquitectura optimizada para proveer procesamiento veloz de señales discretas en el tiempo, ej: Multiplicar y Acumular (MAC) en un solo ciclo

Estructura de Memoria



Von Neuman architecture

Area efficient but requires higher bus bandwidth because instructions and data must compete for memory.



Harvard architecture was coined to describe machines with separate memories. **Speed efficient:** Increased parallelism.

DSP vs PPG

- RISC vs. CISC

RISC	Emphasis on software	Single-clock, reduced instruction only	large code size	Spends more transistors on memory registers
CISC	Emphasis on hardware	Includes multi-clock complex instructions	Small code sizes	Transistors used for storing complex instructions

- Arquitectura de memoria

- Arquitectura de memoria Harvard vs. Von Neuman
 - Transferencias de datos concurrentes
- diferente manejo de la cache
- **Memoria on-chip**

- MAC

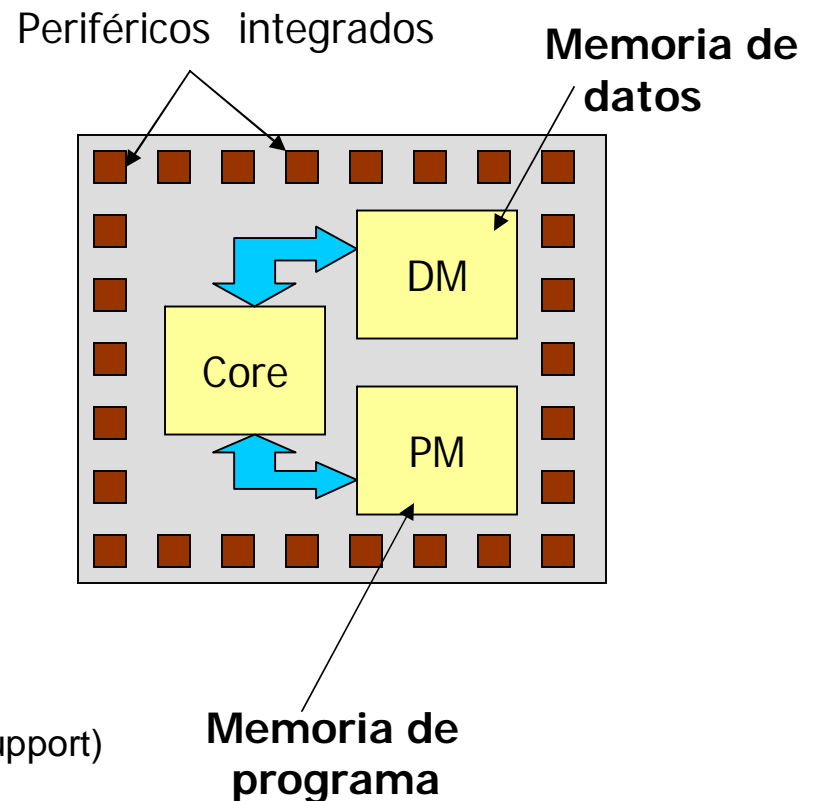
- Multiply Acumulate instruction
Instrucciones de multiplicar y acumular

DSP vs PPG

- Multiple unidades en paralelo
 - Multiplicar y acumular (posiblemente varias unidades)
 - Cálculos de direcciones en paralelo para procesar
 - Registro circular
- Accesos a memoria
 - ALU especial para calculo de direcciones
 - Bit reversed addressing
 - Direccionamiento circular
- Loops automáticos (lazo)
 - Software looping: escrito en código assembly para mejorar los saltos
 - Hardware looping: hardware dedicado usando lazos con registros contadores
- Hardware para manejo de cómputo aritmético(en PPG es necesario multiples ciclos)
 - Desplazamientos (Shifters)
 - Guard bits **Previenen**
 - Saturation **Overflow!**

DSP versus PPG

- El núcleo del DSP incluye:
 - Buses de direcciones
 - Buses de datos
 - Unidad de aritmético lógica (Data arithmetic logic unit,ALU)
 - Unidad de generación de direcciones (Address generation unit,AGU)
 - Program controller
 - Bit-manipulation unit
 - Enhanced debugging module
- Periféricos incluidos en el chip
 - Timer
 - serial port
 - Links de comunicación
 - DSP a DSP
 - Ethernet
 - ATM
 - host ports
 - input/output pins
- Adaptación para FFT
 - bit reverse addressing
- Instrucciones especiales
 - Soporta movimientos paralelos (Parallel move support)
 - Instrucciones de lazo
 - Instrucciones especiales de Hardware (ej: FIR)

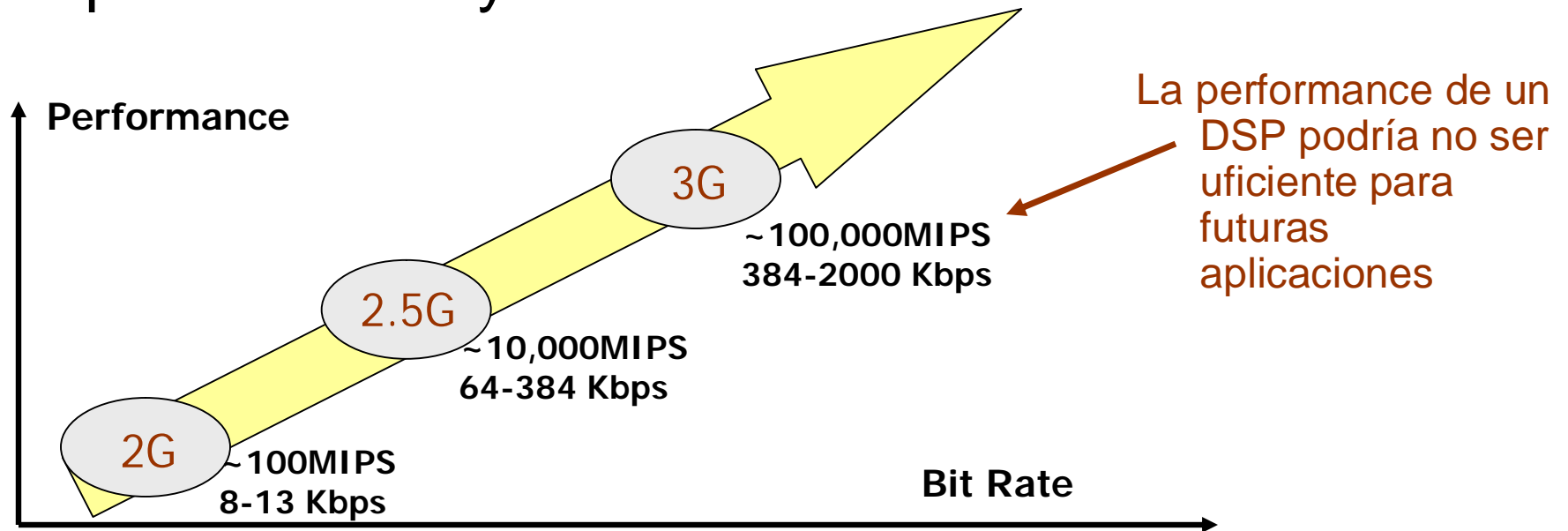


Mejora de la arquitectura DSP

- Mayor paralelismo
 - Incrementando el número de operaciones que se puede realizar en cada instrucción
 - Adicionando más unidades de ejecución(ej: Multiplicadores)
 - Incrementando el número de instrucciones que pueden ser emitidas y ejecutadas en cada ciclo.
- Hardware del núcleo altamente especializado.
- Co-procesadores

¿Por qué considerar un DSP como alternativa de diseño?

- Los sistemas Wireless requieren una muy alta performance y elevado ancho de banda.



¿Cuáles son las alternativas?

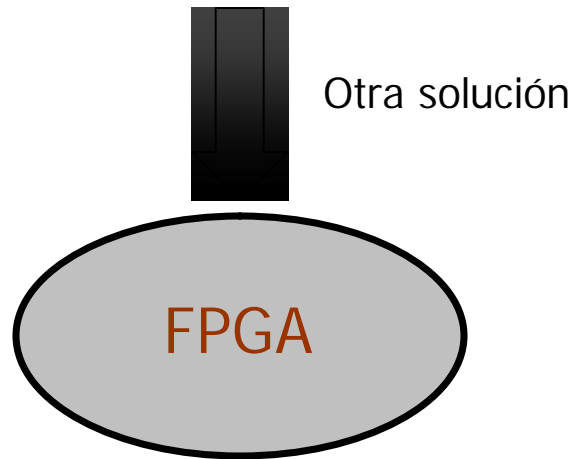
- Alto rendimiento de un PPG con mejoras en DSP.
 - Eliminaría la necesidad de un DSP y un PPG para muchos productos, por lo tanto reducción de costos.
 - Ejemplo: Pentium 4
 - Single Instruction Multiple Data (SIMD), las instrucciones permiten idénticas operaciones de múltiples datos en paralelo.
 - 144 nuevas instrucciones especiales que proveen capacidades avanzadas para aplicaciones como gráficos 3D , codificación y decodificación de video, y reconocimiento de voz.
 - Varios tipos de datos (flotante/entero)
- Aplicación de circuitos integrados específicos (ASIC)
- Field Programmable Gate Array (FPGA)

ASIC - Ventajas

- Velocidad
- Consumo de potencia bajo
- costo/performance
- Flexibilidad para diseño

ASIC- Desventajas

- Alto costo de desarrollo
- Lentos ciclos de desarrollo
- Inflexible



¿Qué es un FPGA?

- Es una red de hardware configurable con interconexiones reconfigurables controladas por el switcheo de una matriz de control.
- Históricamente se usaron para prototipos
- Recientemente incluyen características de DSP
 - La mayor Compañía de DSP + FPGA: ALTERA(ej: Stratex) & XILINX (ej: Virtex II)

FPGA - Ventajas

- Mayor flexibilidad que un ASIC
- Alta Performance en algunas aplicaciones
- Reusabilidad de Hardware para diferentes aplicaciones

FPGA - Desventajas

- Largo ciclo de desarrollo
- Caro comparado con un DSP
- Mayor consumo de potencia comparado con un DSP

¿Por qué se usan mas los DSP?

- Algunas aplicaciones no son adecuadas para ser implementadas en un FPGA
 - Paralelismo es limitado
 - Velocidad no es siempre el factor más importante a considerar
- FPGA es aun demasiado caro para productos finales(ej: teléfonos celulares)

Tipos de DSP

- Low End **Fixed Point**
 - TMS320C2XX, ADSP21XX, DSP56XXX
- High End **Fixed Point**
 - TMS320C55XX, DSP16XXX,
 - ADSP215XX, DSP56800
 - MSC8101 - StarPro2000 (using SC140 from Starcore)
- Floating Point
 - TMS320C3X, C67XX, ADSP210XX, DSP96000, DSP32XX

Punto fijo Vs punto flotante

- Fixed Point/Floating Point
 - Procesadores de punto fijo son :
 - barato
 - pequeño
 - Menos consumo
 - Difícil de programar
 - Búsqueda de errores: truncado, rebosamiento, redondeo
 - Rango dinámico limitado
 - Usado en un 95% de productos de consumo
 - Procesadores de punto flotante son:
 - Tiene buena precisión
 - Son mucho más fáciles de programar
 - Pueden acceder a memorias más grandes
 - Es más complejo crear un código eficiente en C en uno de punto fijo que en uno de punto flotante

Punto fijo Vs punto flotante



Punto Flotante

Aplicaciones

- Modems
- Digital Subscriber Line (DSL)
- Estaciones Wireless
- Centrales telefónicas
- Imágen digital
- Gráficos 3D
- Speech Recognition
- Voice over IP

Punto Fijo

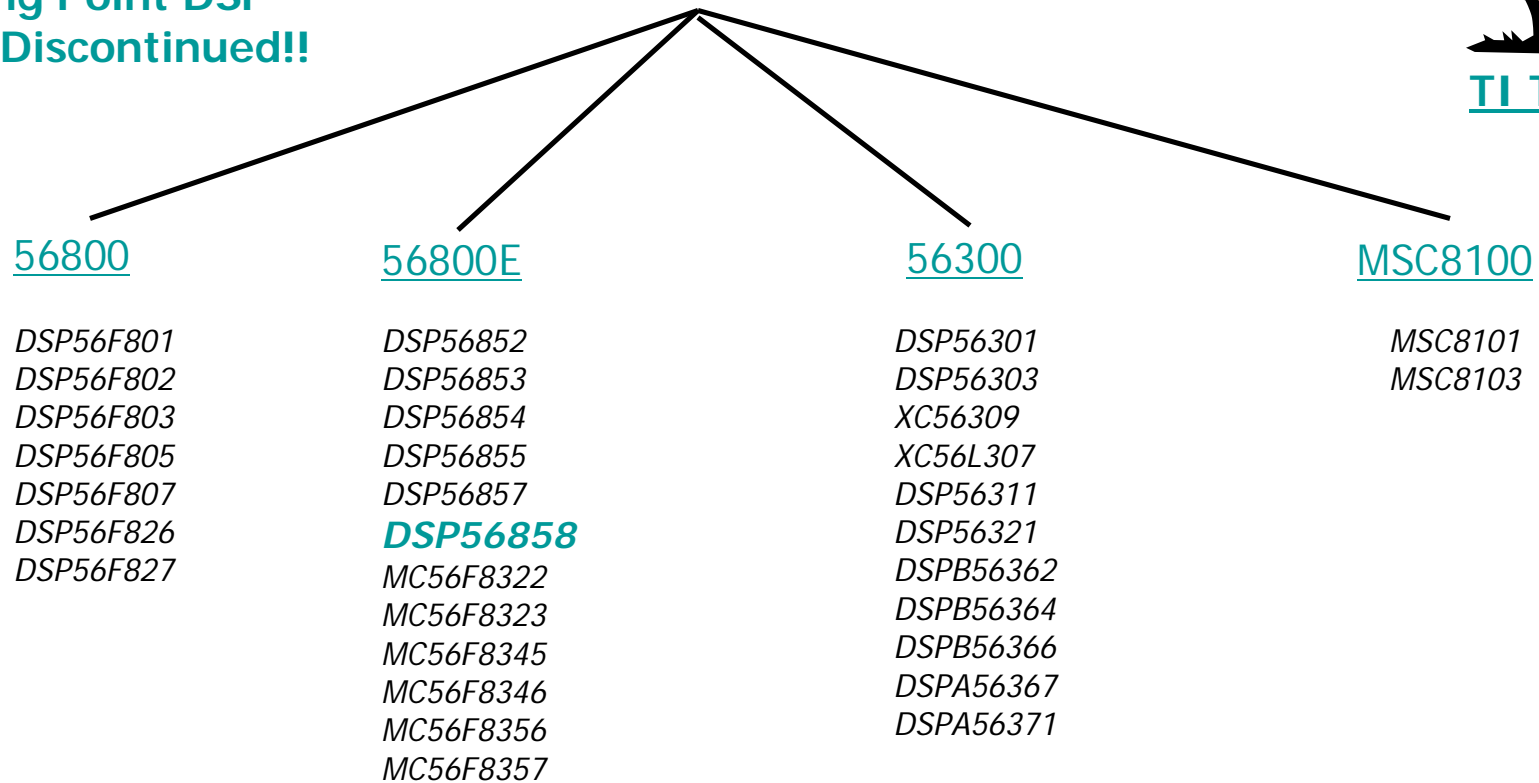
Aplicaciones

- Productos portables
- 2G, 2.5G y 3G tel. Celulares
- Digital Audio Players
- Digital Cameras
- Electronic Books
- Reconocimiento de voz
- Receptores GPS
- Biomediciones
- Reconocimiento de huellas digitales

Árbol de la familia Motorola

Floating Point DSP
Chips Discontinued!!

Motorola DSP Family Tree [2003]



56800 DSP Family, 16-bit Fixed Point

Specifications	Features	Applications
<ul style="list-style-type: none"> • Processing capability of up to 35 million instructions per second (MIPS) • Running at 70 MHz • Requires only 2.7–3.6 V of power 	<ul style="list-style-type: none"> ▪ Single-instruction cycle 16-bit x 16-bit parallel multiply-accumulator • Two 36-bit accumulators including extension bits • Single-instruction 16-bit barrel shifter • Parallel instruction set with unique DSP addressing modes • Low-power wait and stop modes • Operating frequency down to DC • 16-bit Timer Module • Synchronous serial interface module (SSI) • Serial peripheral interface (SPI) • Programmable general-purpose I/O 	<ul style="list-style-type: none"> • Motion Control <ul style="list-style-type: none"> ✓ Smart appliances ✓ Environmental controls ✓ Instrumentation • Industrial <ul style="list-style-type: none"> ✓ Uninterruptable power supplies ✓ Noise cancellation/suppression ✓ Temperature control ✓ HVAC ✓ Inverters and AC-to-DC conversion ✓ Lighting ✓ Automation • Transportation • Instrumentation



56800E DSP Family, 16-bit Fixed Point

Specifications	Features	Applications
<ul style="list-style-type: none"> • Processing capability of up to 120 million instructions per second (MIPS) • Running at 120 MHz • Requires only 2.7–3.6 V of power <p>Includes Also the MC56F300 Series which contains on chip Flash memory</p>	<ul style="list-style-type: none"> ▪ 40K x 16-bit Program SRAM ▪ 24K x 16-bit Data SRAM ▪ 1K x 16-bit Boot ROM ▪ Access up to 2M words of program memory or 8M data memory ▪ Six (6) independent channels of DMA ▪ Two (2) Enhanced Synchronous Serial Interfaces (ESSI) ▪ Two (2) Serial Communication Interfaces (SCI) ▪ Serial Port Interface (SPI) ▪ 8-bit Parallel Host Interface ▪ General Purpose 16-bit Quad Timer ▪ JTAG/Enhanced On-Chip Emulation (OnCE) for unobtrusive, real-time debugging ▪ Computer Operating Properly (COP)/Watchdog Timer ▪ Time-of-Day (TOD) ▪ Up to 47 GPIO 	<ul style="list-style-type: none"> • Telephony <ul style="list-style-type: none"> ✓ Telco interface ✓ Codecs ✓ LCD and Keypad support • Client-side IP phone • Internet Audio <ul style="list-style-type: none"> ✓ Internet Audio decoding ✓ Internet Audio stand-alone player • Voice Processing



56300 DSP Family, 24-bit Fixed Point

Specifications	Features	Applications
<ul style="list-style-type: none">• Processing capability of up to 480 million instructions per second (MIPS)• Running at 240 MHz• Requires only 1.6–3.3 V of power	<ul style="list-style-type: none">▪ Object code compatible with the DSP56000 core with highly parallel instruction set▪ Data Arithmetic Logic Unit (Data ALU) with fully pipelined 24 x 24-bit parallel Multiplier-Accumulator (MAC)▪ Direct Memory Access (DMA) with six DMA channels supporting internal and external accesses▪ Digital Phase Lock Loop (DPLL) allows change of low-power Divide Factor (DF) without loss of lock▪ Hardware debugging support including On-Chip Emulation (OnCE™) module, Joint Test Action Group (JTAG) Test Access Port (TAP)▪ Two Enhanced Synchronous Serial Interfaces (ESSI0 and ESSI1)▪ Serial Communications Interface (SCI)▪ Triple timer module▪ Up to 34 GPIO	<ul style="list-style-type: none">• Multimedia• Telecommunication• Video conferencing• Base transceiver stations• Packet telephony



MSC8100 Family, 16-bit Fixed Point

Specifications

- Processing capability of up to 4400 million instructions per second (MIPS)
- Running at 300 MHz
- Requires only 1.6–3.3 V of power

**Optimized for
networking
infrastructure
applications**

Features

- Four 250/275 MHz StarCore SC140 DSP extended cores
- 16 ALUs on a chip deliver up to 4000/4400 MMACS
- Performance equivalent to a 1.0/1.1 GHz SC140 Core
- Industry's largest on-chip SRAM memory
- 1436 KB of internal memory
- Efficient multi-level memory hierarchy
- Dual external industry-standard 60x-compatible buses
- 9.6 Gbps peak bus throughput
- Four independent Time-Division Multiplex (TDM) Interfaces
- 400 Mbps peak serial data throughput
- Accesses various external memories, including SDRAMs, SRAMs, SSRAMs, EPROMs, and Flash

Applications

- 2.5G Wireless System
- 3G Wireless System
- IP Telephony
- Compression
- G.7xx speech coders

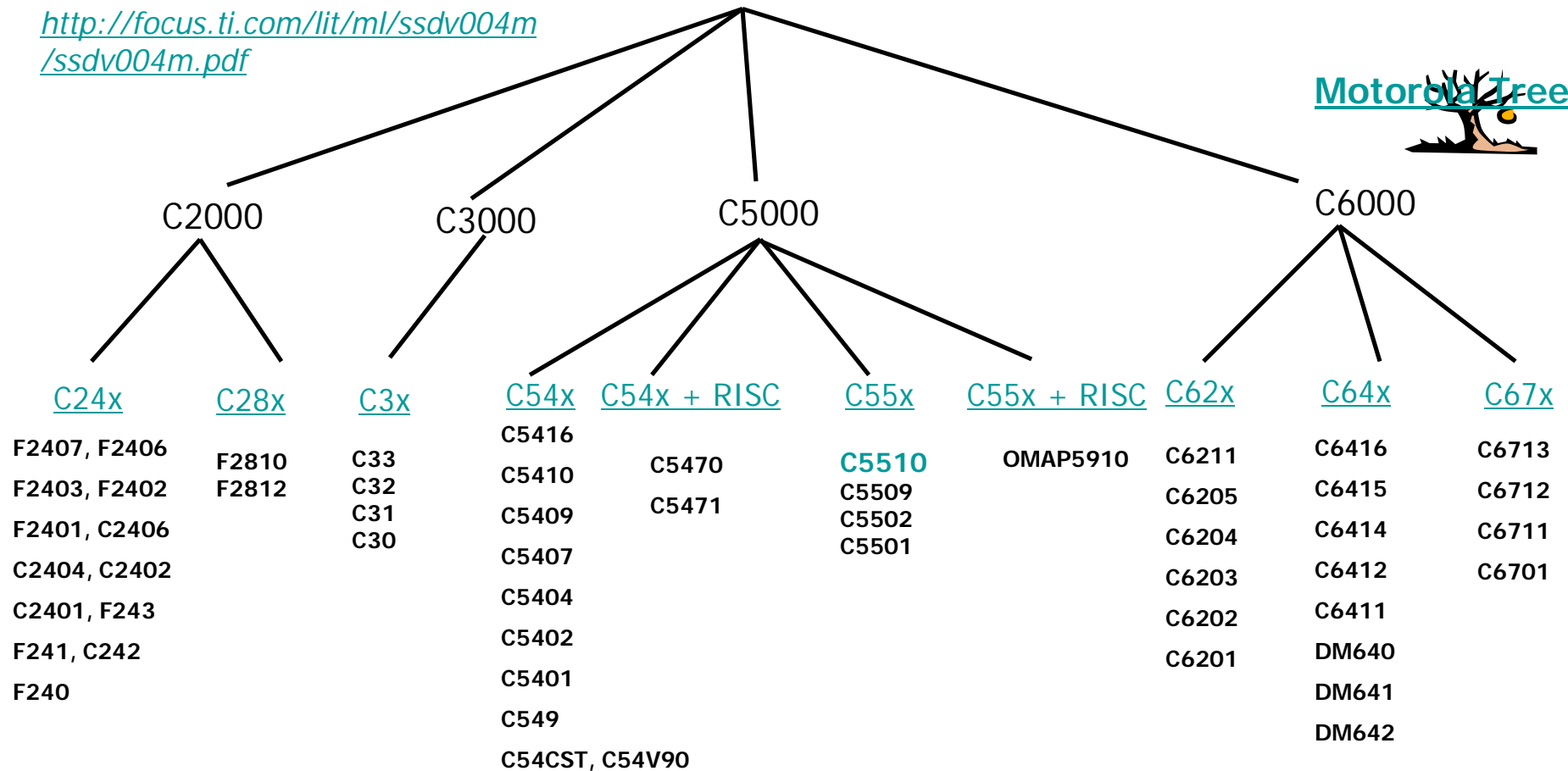


Árbol de la familia TI

Ref: TI DSP Selection Guide

<http://focus.ti.com/lit/ml/ssdv004m/ssdv004m.pdf>

TI DSP Family Tree [2003]



TMS320C24x TM DSP Generation, 16-bit

Fixed Point - Control Optimized DSP

Specifications	Features	Applications
<ul style="list-style-type: none"> • Up to 40-MIPS operation • Three power-down modes • 3.3-V and 5-V designs 	<ul style="list-style-type: none"> • 375-ns (minimum conversion time) analog-to-digital (A/D) converter • Dual 10-bit A/D converters • Up to four 16-bit general-purpose timers • Watchdog timer module • Up to 16 PWM channels • Up to 41 GPIO pins • Five external interrupts • Up to 32K words on-chip sectored Flash • I/O Modules <ul style="list-style-type: none"> ▪ Controller Area Network (CAN) interface module • Serial communications inter-face (SCI) • Serial peripheral interface (SPI) • Boot ROM (LF240x and LF240xA devices) 	<ul style="list-style-type: none"> • Appliances • Compressors • Industrial automation • Uninterruptible power (UPS) systems • Automotive braking steering systems • Electric metering • Printers and copiers • Hand-held power tools • Electronic cooling • Intelligent sensors • Tunable lasers • Consumer goods • Fuel pumps • Industrial frequency Remote monitoring • ID tag readers



TMS320C28x™ DSP Generation, 16-bit Fixed Point – Control Optimized DSP

Specifications	Features	Applications
<ul style="list-style-type: none">• 32-bit fixed-point C28x™ DSP core• 150-MIPS operation• 1.8-volt core and 3.3-volt peripherals	<ul style="list-style-type: none">• Ultra-fast 20–40 ns service time to any interrupts• 32-/64-bit saturation, single-cycle read-modify-write instructions, and 64/32 and 32/32 modulus division• High-performance ADC• 32 x32 single-cycle fixed-point MAC• Dual 16 x16 single-cycle fixed-point MACs• On Chip flash memory• I/O modules: SPI, SCI, CAN	<ul style="list-style-type: none">• Lighting• Optical networking (ONET)• Power supplies• Industrial automation• Consumer goods



TMS320C3x TM DSP Generation, 32-bit Floating Point – First Generation

Specifications	Features	Applications
<ul style="list-style-type: none">• Performance up to 150 MFLOPS▪ 32 bit Floating point• Highly-efficient C language engine• Large address space: 16 Mwords• Fast memory management with on-chip DMA	<ul style="list-style-type: none">• Parallel multiply and arithmetic/logical operations on integer or floating-point numbers in a single cycle• Eight extended-precision registers	<ul style="list-style-type: none">▪ Digital audio▪ Laser printers, copiers, scanners▪ Bar-code scanners▪ Videoconferencing▪ Industrial automation and robotics▪ Voice/facsimile▪ Servo and motor control



TMS320C54x TM DSP Generation, 16-bit Fixed Point – Power Efficient DSP

Specifications	Features	Applications
<ul style="list-style-type: none">• 16-bit fixed-point DSPs• Power dissipation as low as 60 mW for 100 MIPS• Single- and multi-core products delivering 30–532 MIPS performance• 1.2-, 1.8-, 2.5-, 3.3- and 5-V versions available• 6-channel DMA controller per core	<ul style="list-style-type: none">• Integrated Viterbi accelerator• 40-bit adder and two 40-bit accumulators to support parallel instructions• 40-bit ALU with a dual 16-bit configuration capability for dual one-cycle operations • 17 x17 multiplier allowing 16-bit signed or unsigned Multiplication• Four internal buses and dual address generators enable multiple program and data fetches and reduce memory bottleneck• Single-cycle normalization and exponential encoding• Eight auxiliary registers and a software stack enable advanced fixed-point DSP C compiler• Power-down modes for battery powered applications	<ul style="list-style-type: none">• Digital cellular communications• Personal communications systems (PCS)• Pagers• Personal digital assistants• Digital cordless communications• Wireless data communications• Networking• Computer telephony• Voice over packet• Portable Internet audio• Modems



TMS320C54x™ DSP + RISC, 16-bit Fixed Point – System Level DSP

Specifications	Features	Applications
<ul style="list-style-type: none"> • Dual CPU processor integrating a TMS320C54x™ DSP core and an ARM7TDMI™ RISC • 1.8-volt core and 3.3-volt peripherals 	<p><i>TMS320C54x DSP core subsystem</i></p> <ul style="list-style-type: none"> • 100-MIPS operation • 72 kwords RAM • Two multi-channel buffered serial ports (McBSPs) • Direct memory access (DMA) controller • Phase-locked loop • External memory interface • ARM port interface (API) <p><i>ARM7TDMI RISC core subsystem</i></p> <ul style="list-style-type: none"> • 47.5-MHz operation • 16 KByte zero-wait-state SRAM • Memory interface (SDRAM, SRAM, ROM, Flash) • Single-port 10/100 Base-T Ethernet Interface (C5471 DSP only) • 36 general-purpose I/O (ARM I/O) • Two UARTs (one IrDA) • Serial peripheral interface (SPI) • 1 2 C interface 	<ul style="list-style-type: none"> • wireless data • Smart pen pads • Text-to-speech • Voice recognition • Vommand control • Access point controller • Networked security • Industrial control and emergency radio



TMS320C55x™ DSP Generation, 16-bit Fixed Point – Most Power Efficient DSP

Specifications	Features	Applications
<ul style="list-style-type: none">• C55x™ DSP core delivers 300 MHz for up to 600-MIPS performance• 1.6-volt core and 3.3-volt peripherals	<ul style="list-style-type: none">• Advanced automatic power management• Configurable idle domains to extend your battery life• Shortened debug for faster time-to-market• 144-MHz/200-MHz clock rate• 256-KB RAM, 64-KB ROM• Three McBSPs, 1 2 C, watchdog timer, general-purpose timers• USB 2.0 full-speed (12 Mbps)• 10-bit ADC• real-time clock (RTC)	<ul style="list-style-type: none">• Feature-rich, miniaturized personal and portable products• 2G, 2.5G and 3G cell phones and basestations• Digital audio players• Digital still cameras• Electronic books• Voice recognition• GPS receivers• Fingerprint/Pattern recognition• Wireless modems• Headsets• Biometrics



TMS320C55x™ DSP + RISC, 16-bit Fixed Point – OMAP Processor

Specifications	Features	Applications
<ul style="list-style-type: none"> • Dual CPU processor integrating a TMS320C55x™ DSP core and an ARM925TDMI™ RISC @150 MHz • 1.8-volt core and 1.8-volt peripherals 	<ul style="list-style-type: none"> • 150-MHz TI-enhanced ARM925 • 16 KB instruction cache and 8 KB data cache • Data and instruction MMUs • 32-bit and 16-bit instruction sets • 150-MHz TMS320C55x™ DSP • 12 KW (24 KB) instruction cache • 80 KW (160 KB) SRAM • 16 KW (32 KB) ROM • Two 16-bit memory interfaces for SDRAM and flash • Nine-channel system DMA controller • LCD controller • USB 1.1 host and client • MMC/SD card interface • Seven serial ports plus three UARTs, Nine timers, Keyboard interface • Less than 250 mW at 1.6 V 	<ul style="list-style-type: none"> • Internet appliances • Applications processing • Enhanced gaming • Webpad • Point-of-sale • Medical devices • Industry-specific PDAs • Telematics • Digital media processing • Military and government cellular



TMS320C62x™ DSP Generation, 16-bit Fixed Point – High Performance DSP

Specifications	Features	Applications
<ul style="list-style-type: none">• 16-bit fixed-point DSPs• Up to 2400 MIPS• Running at 300 Mhz	<ul style="list-style-type: none">• C6000™ DSP Platform VelociTI™ advanced architecture• Up to eight 32-bit instructions executed each cycle• Eight independent, multi-purpose functional units thirty-two 32-bit registers• Industry's most advanced C compiler and Assembly Optimizer maximize efficiency and performance	<ul style="list-style-type: none">• Pooled modems• Digital Subscriber Line (xDSL)• Wireless basestations• Central office switches• Private Branch Exchange (PBX)• Digital imaging• Call processing• 3D graphics• Speech recognition• Voice over packet



TMS320C67x™ DSP Generation, 32-bit Floating Point – High Performance DSP

Specifications	Features	Applications
<ul style="list-style-type: none"> • 32-bit floating point DSPs • Up to 1350 MFLOPS • Running at 225 Mhz 	<ul style="list-style-type: none"> • C6000™ DSP Platform VelociTI™ advanced architecture • Up to eight 32-bit instructions executed each cycle • Eight independent, multi-purpose functional units thirty-two 32-bit registers • Industry's most advanced C compiler and Assembly Optimizer maximize efficiency and performance • IEEE floating-point format • Up to 1350 MFLOPS at 225 • Two new multi-channel serial ports (McASP) (C6713 DSP) can support up to stereo channels of I²S (Inter IC Sound) and compatible with S/PDIF transmit protocol. Note I²S is a protocol for transmitting 2 channels of digital audio over a single serial connection 	<ul style="list-style-type: none"> • Pooled modems • Digital Subscriber Line (xDSL) • Wireless basestations • Central office switches • Private Branch Exchange (PBX) • Digital imaging • Call processing • 3D graphics • Speech recognition • Voice over packet



TMS320C64x™ DSP Generation, 16-bit Fixed Point – High Performance DSP

Specifications	Features	Applications
<ul style="list-style-type: none"> • 16-bit fixed point processor TMS320C64x DSP high performance core provides scalable performance of up to 1.1 GHz • The industry's fastest DSPs with up to 600 MHz (4800 MIPS) performance • C64x DSPs are software compatible with TI's C62x™ DSPs 	<ul style="list-style-type: none"> • C6000™ DSP Platform VelociTI™ advanced architecture • Up to eight 32-bit instructions executed each cycle • Eight independent, multi-purpose functional units thirty-two 32-bit registers • Industry's most advanced C compiler and Assembly Optimizer maximize efficiency and performance 	<ul style="list-style-type: none"> • DSL and pooled modems • Basestation transceivers • Wireless LAN • Enterprise PBX • Multimedia gateway • Broadband video transcoders • Streaming video servers and clients • Highspeed raster image processing (RIP)



TI Families Summary

- C24x and C28x families: low performance 16-bit fixed point used for control purpose
- C54x family: mid-range performance 16-bit fixed point
- C55x family: mid-range performance 16-bit fixed point with reduced power consumption and increased parallelism
- C5000 + RISC microprocessor: used for embedded applications such as cell phone and PDAs
- C62x: high-range performance 16-bit fixed point supporting VLIW architecture
- C64x: very high performance 16-bit fixed point with extension capabilities of C62x with higher clock frequency (>2500 MIPS)
- C3x: first generation low performance 32-bit floating point
- C67xx family: very high performance 32-bit floating point

¿Qué chip selecciono?

- Motorola DSP56858
 - Family: DSP56800E
 - Kit: DSP56858EVM
 - Software: Metrowerks CodeWarrior
 - Metrowerks is a Motorola company in charge of developing the software
 - Applications
 - Telephony
 - Client side IP phone
 - Internet Audio
 - Voice Processing
- TI TMS320C5510
 - Family: TMS320C55xx
 - Kit: TMS320C5510DSK
 - Software: TI Code Composer Studio v2.1
 - Applications

Código

- Escribir código en C
- Compilar para crear código en assembler
- Ensamblar el código para crear el código objeto y linkear
- Usar el simulador para testeo de la velocidad del código
- Si el código no es lo suficientemente rápido – reescribir el código en C y volverlo a testear. Si aún no es lo suficientemente rápido , escribirlo en **lenguaje Assembly.**

¿Por qué usar assembly?

- Muchos compiladores de C producen código que no utiliza todas las capacidades del DSP
 - Búsqueda de datos en paralelo para ejecución
 - Ejecución en paralelo
- El código en C puede ser 3 a 30 veces más lento que el mejor código en ensamblador posible. Especialmente en la parte de procesamiento de señal del código.
- El problema es aún mayor para DSP's de punto fijo.

Pero si no se quiere usar assembly...

- Si otro programa en assembly por ti
 - usa librerías
- Reescribe el código en C para producir mejor código assembly
- Probar el código para saber cuál parte del software requiere mayor tiempo de CPU. Limita el código ensamblador a subrutinas:
 - Que el programa gaste la mayor cantidad de tiempo en ellas
 - De esta forma nos beneficiamos de las funciones especiales del DSP como MACs y ejecución paralela.

¿Cómo escribo mejor código C?

- Usar lazos simples
- Evitar llamados a subrutinas en lazos
- Usar subrutinas inline

El compilador inserta la función directamente en donde se encuentra el llamado (conceptualmente igual a lo que sucede al utilizar macros)

- Evitar el llamado a subrutinas salvando demasiadas variables volátiles.
- Incrementar el tamaño del código
- Evitar divisiones o modularizaciones de las operaciones
- Usar (&) y shift cuando sea posible
- Usar la regla de **5%/80%**
 - Programando en ensamblador el 5% de las líneas de código de un proyecto deben ocupar el 80% de la carga de la CPU.
 - Trata de cambiar el código para que encajen en rutinas en assembly existentes.

DSP56858EVM Kit

- DSP56858 chip
- USB interface
- 1 Mbit EEPROM/Data Flash
- FSRAM (256K)
- Parallel interface
- On board 6 debugging LED
- Boot Mode Selector
- RS232 Interface
- Audio in/out (stereo)

¿Qué chip selecciono?

- DSP56800E Family General Purpose 16-bit fixed point (six members).
- DSP56800E Introduced in 2000 as improved version of DSP568500 family
 - Lower Power Consumption
 - Enhanced peripherals
 - Higher MIPS
- Many Peripherals:
 - SCI to communicate with devices using RS232
 - SPI to communicate with CODEC or EEPROM (needs a clock).
 - DMA to communicate between memory and external device

Aplicaciones del DSP56858E

- Telefonía
- Lado cliente en telefonía sobre IP
- Internet Audio
- Procesamiento de voz

Modos de direccionamiento

- Inmediato
 - LD #31, A ; carga acumulador A con 31
- Absoluto
 - LD *(X), A; carga A con el número almacenado en la dirección “X”
- Directo
 - Parte de la dirección es dada opcode(código de operación), la otra por un registro interno.

Modos de direccionamiento

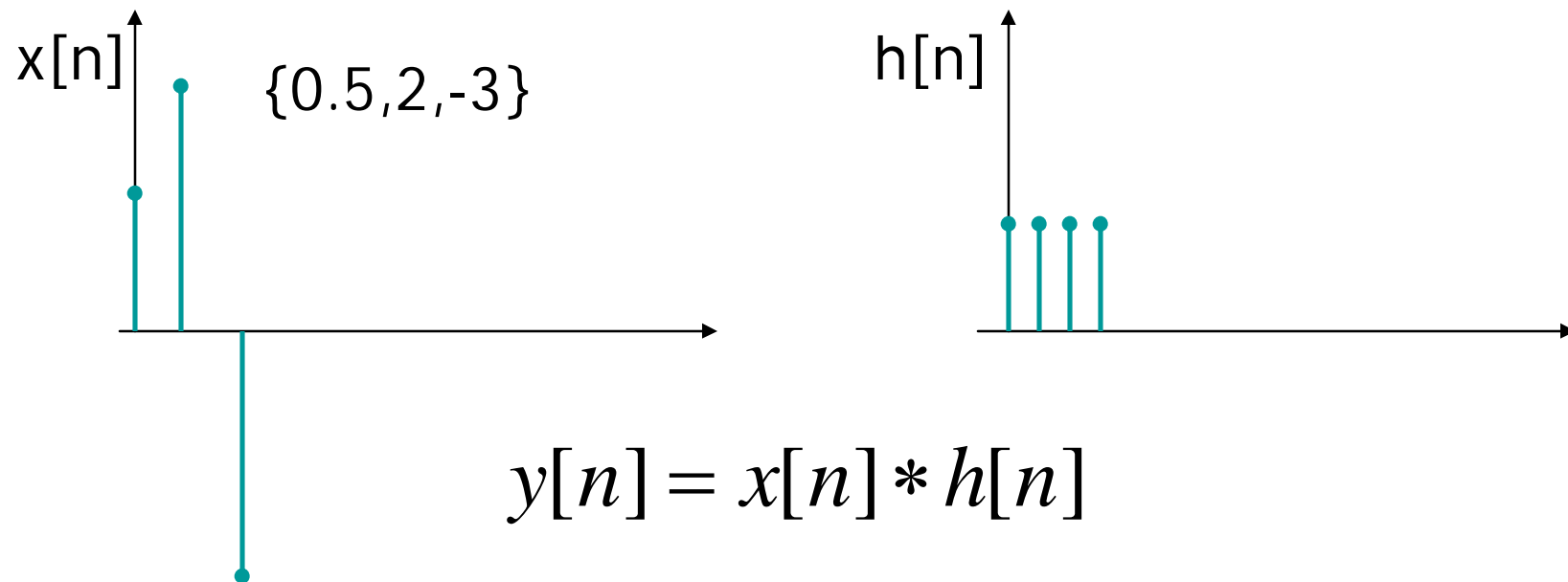
- Direccionamiento indirecto
 - Usado para acceder a una secuencia de números almacenados en una zona consecutiva de la memoria de datos.

		X=8000H	31
STM	#X, R1 ; carga R1 con la dirección "X"		-14
LD	*R1+, A ; carga acumulador A con 31		6
ADD	*R1+, A ; suma -14 to A ->A		out
ADD	*R1+,A ; 6 + A ->A		
STL	A, *R1 ; almacena la salida		

Buffer circular

- Es un buffer normal exceptuando cuando alcanza el final del lazo, entonces vuelve al punto de partida.
 - Definir el punto de partida
 - Define el tamaño del buffer

Aplicación del Buffer Circular



$$y[n] = x[n] * h[n]$$

$$y[n] = \sum_{k=-\infty}^{+\infty} x[k]h[n-k]$$

Pseudo código de una convolución

- *Refleje*: $x(k)$ en $k = 0$ para obtener $x[-k]$
- *Corrimiento*: Corra $x[-k]$ en n_0 muestras a la derecha para obtener $x[n_0-k]$
- *Multipliación*: Multiplique $h[k]$ por $x[n_0-k]$ para obtener los productos $h[k]*x[n_0-k]$ para todo k
- *Suma*: Sume todos los productos para obtener la salida $y[n_0]$ al tiempo n_0

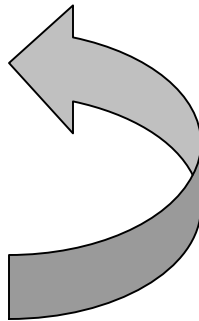
Convolución

Shiftin	0	0	0.2	0.2	0.2	0.2	0	0
0	-3	2	0.5	5	5	5		
1		-3	2	0.5				
2			-3	2	0.5			
3				-3	2	0.5		
4					-3	2	0.5	
5						-3	2	0.5

Buffer circular

- A cada valor de $y[n_0]$ el puntero para los coeficientes $x[-k]$ debe apuntar a la última entrada (ej: $x\{-2\} = -3$)

$X[-2]$	-3
$X[-1]$	2
$X[0]$	0.5



buffer Circular = 3

Al término de cada muestra computada vuelve atrás a $x[-2]$

	0
	0
$h[0]$	0.25
$h[1]$	0.25
$h[2]$	0.25
$h[3]$	0.25
	0
	0

Código ensamblador

.text	; Pone el código en la sección "text" localizada en memoria
_main:	; Comienzo de la subr. Ppal.
STM #Inputs, AR5	; Apunta al array de Entradas
STM #Coeff, AR2	; Apunta al array Coeff
STM #Output, AR3	; Apunta a la salida (Output)
STM #3, BK	; Define el buffer circular
STM #5, AR4	; Define variable contadora
STM #1, AR0	; Incremento para el buffer circular

Código ensamblador

loop

```
                RPTZ A, #2 ; Borra Acumulador A y repite la
                        sig. instruccion 3 veces
MAC *AR5+0%, *AR2+ ; Multiplica input*coeff + A ->A
                        Incrementa puntero AR2 en uno
                        e incrementa AR5 por AR0
                        usando el buffer circular
                STL A, *AR3+ ; Almacena resultado en memoria
                MAR *AR2-
                MAR *AR2- ; Decrementa 2 veces AR2
BANZ loop, *AR4- ; Para que el lazo compute cada
                        salida, saltando seis veces
                RET
```