**Сброс.**

Существует три типа сброса, определяемые как системный сброс, сброс по питанию и сброс резервной области.

**Системный сброс.**

Системный сброс устанавливает все регистры в значения, устанавливаемые по умолчанию при сбросе, за исключением флага сброса в регистре управления тактированием CSR и регистров в области резервирования (см. рисунок 4). Системный сброс генерируется, когда происходит одно из следующих событий:

1. Низкий уровень на входе NRST (внешний сброс).
2. Оконный сторожевой таймер досчитал до конца (сброс WWDG).
3. Независимый сторожевой таймер досчитал до конца (сброс IWDG).
4. Программный сброс (SW сброс).
5. Сброс по управлению низким энергопотреблением.

Источник сброса может быть идентифцирован проверкой флагов сброса в регистре управления/статуса RCC\_CSR.

**Программный сброс.**

Бит SYSRESETREQ в Cortex™-M3 Application Interrupt и Reset Control Register должен быть установлен для принудительного программного сброса устройства. Для деталей смотри руководство программиста.

**Сброс по управлению низким энергопотреблением.**

Существует два способа сгенерировать данный тип сброса:

1. Сброс генерируется, когда процессор входит в спящий режим: этот тип сброса разрешается переустановкой nRST\_STDBY бита в User Option Bytes. В этом случае, всякий раз, когда успешно выполняется последовательность действий для входа в спящий режим, устройство сбрасывается, вместо того, чтобы войти в спящий режим.
2. Сброс, генерируется, когда процессор входит в режим Stop: этот тип сброса разрешается переустановкой nRST\_STOP в User Option Bytes. В этом случае, всякий раз, когда успешно выполняется последовательность действий для входа в Stop режим, устройство сбрасывается, вместо того, чтобы войти в Stop режим.

Для подробной информации о User Option Bytes смотри руководство программиста.

**Сброс по питанию.**

Сброс по питанию генерируется, когда происходит одно из следующих событий:

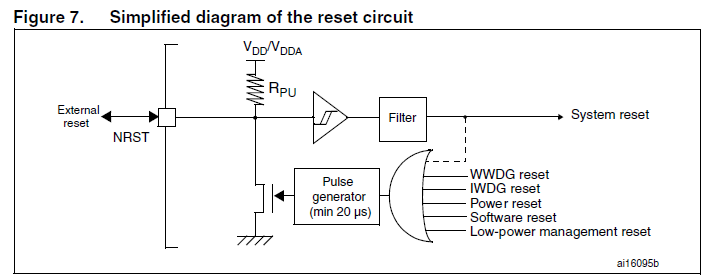
1. Подача питания/пропадание питания (POR/PDR сброс).
2. При выходе из спящего режима.

Сброс по питанию устанавливает все регистры в их значения по умолчанию при сбросе, за исключением резервированной области (см. рисунок 4). Эти источники действуют на NRST вывод, и он всегда остается в низком состоянии во время фазы задержки. Вектор сброса фиксирован по адресу 0x0000\_0004 в карте памяти.

Сигнал системного сброса, доставляемый в устройство, появляется на выводе NRST. Генератор испульса сброса гарантирует минимальную длительность импульса 20 мкс для каждого источника сброса (внешнего или внутреннего). В случае внешнего сброса, импульс сброса генерируется, пока NRST вывод установлен в низкое состояние (тут вроде как получается, что независимо от того, какой источник вызвал сброс, минимальная длительность низкого состояния NRST составляет 20 мкс – прим. автора).

**Сброс резервированной области.**

Область резервирования имеет два специальных сброса, которые воздействуют только на область резервирования (смотри риунок 4).



Сброс области резервирования происходит, когда происходит одно из следующих событий:

1. Программный сброс, приведенный в действие установкой бита BDRST в регистре RCC\_BDCR.
2. Подача питания Vdd или Vbat, если оба источника были выключены.

**Тактирование.**

Для управления системной частотой могут использоваться три различных тактовых источника:

- HSI (High speed internal) осциллятор.

- HSE (High speed external) осциллятор.

- PLL.

Устройство имеет следующие два вторичных тактовых источника:

- 40 кГц низкоскоростной внутренний RC (LSI RC), который управляет независимым сторожевым таймером, и, опционально, RTC, используемых для выхода из спящего режима.

- 32.768 кГц низкоскоростной внешний кристалл, который опционально управляет часами реального времени (RTCCLK).

Каждый тактовый источник может быть включен или отключен независимо, когда он не используется, для оптимизации энергопотребления.

Несколько предделителей позволяют настраивать AHB частоту, высокоскоростную APB (APB2) и низкоскоростную APB (APB1) области. Максимальная частота AHB и APB2 областей равна 72 МГц. Максимально допустимая частота APB1 области равна 36 МГц. SDIO AHB интерфейс тактируется с фиксированной частотой, равной HCLK/2.

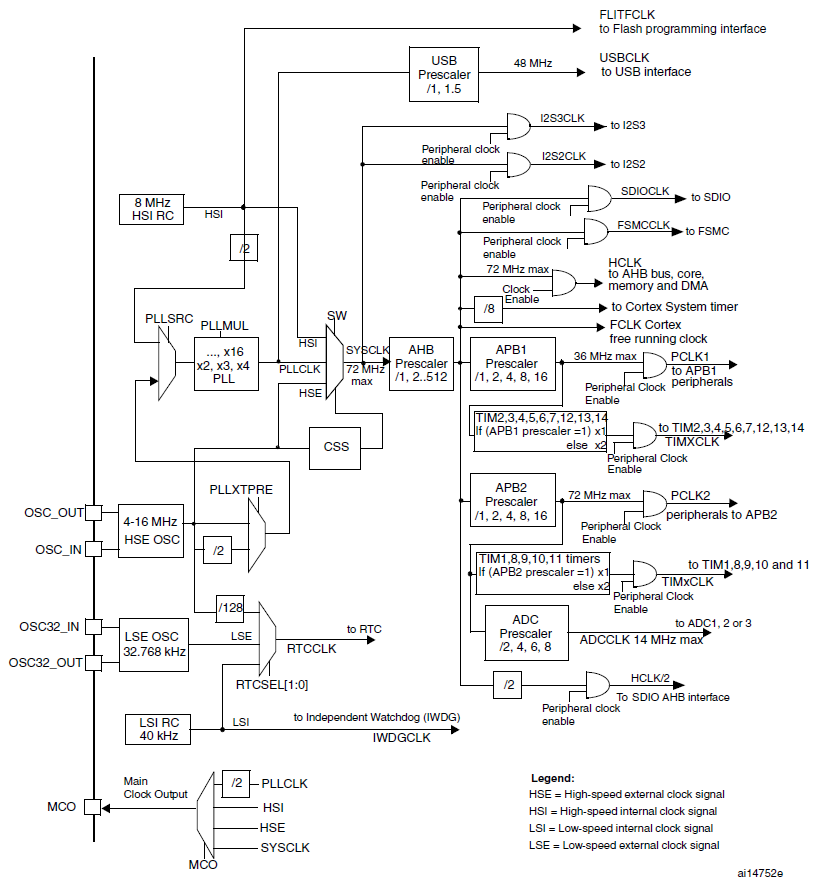
RCC снабжает системный таймер SysTick внешней частотой с AHB (HCLK), поделенной на 8. SysTick может работать либо с этой тактовой частотой, или с Cortex частотой (HCLK), настраиваемой в регистрах SysTick Control и Status Register. АЦП тактируются частотой высокоскоростной области (APB2), деленной на 2, 4, 6 или 8.

Интерфейс программирования Flash памяти тактируется всегда от HSI частоты (FLITFCLK).

Частоты тактирования таймера автоматически фиксируются аппаратно. Существует два случая:

1. Если предделитель APB равен 1, частота тактирования таймера устанавливается на туже частоту, что и APB область, к которой присоединены таймеры.
2. Иначе, они устанавливаются на удвоенную частоту APB области, к которой присоединены таймеры.

FCLK действует как свободнобегущая частота Cortex™-M3.

****

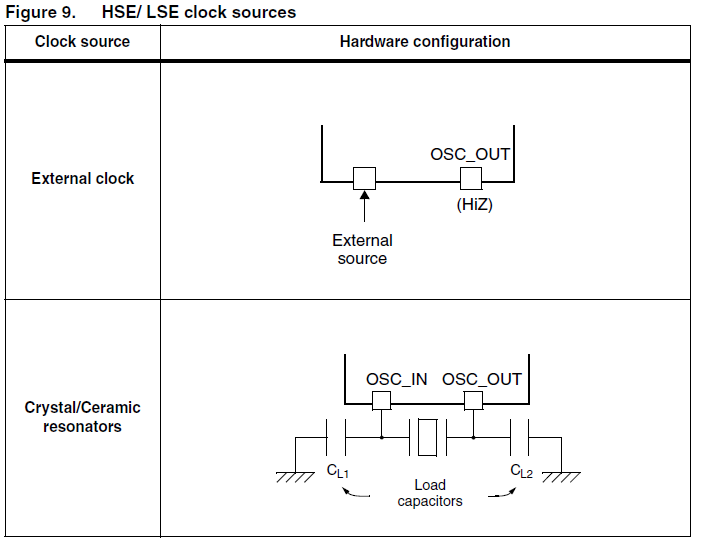
**HSE тактирование.**

Высокоскоростной внешний тактовый сигнал (HSE) может генерироваться от двух возможных тактовых источников:

- Внешнего HSE кварцевого/керамического резонатора.

- Пользовательская внешняя частота HSE.

Резонатор и нагрузочные конденсаторы размещаются как можно ближе к выводам осциллятора для того, чтобы минимизировать выходные искажения и стартовое время стабилизации. Значения нагрузочных конденсаторов должны быть скорректированы в соответствии с выбранным резонатором.



**Внешний источник (в обход HSE).**

В этом режиме должен быть предоставлен внешний тактовый источник. Он может иметь частоту до 25 МГц. Вы выбираете этот режим установкой HSEBYP и HSEON битов регистра Clock control register (RCC\_CR). Внешний тактовый сигнал (квадратный, синусоидальный или треугольный) с 50% рабочим циклом подводится к выводу OSC\_IN, в то время как вывод OSC\_OUT должен оставаться в высокоимпедансном состоянии. Смотри рисунок 9.

**Внешний кварцевый/керамический резонатор (HSE кварц).**

Внешний осциллятор от 4 до 16 МГц имеет преимущество генерации точной скорости основной частоты.

Соответствующая аппаратная конфигурация показана на рисунке 9. Смотри секцию электрических характеристик даташита для большей информации.

HSERDY флаг в регистре RCC\_CR индицирует стабильность внешнего осциллятора. Во время старта, тактовая частота не является реализованной, до тех пор, пока этот бит не установится аппаратно. Прерывание может быть сгенерировано, если разрешено в регистре RCC\_CIR.

**HSI тактирование.**

HSI тактовый сигнал генерируется от внутреннего 8МГц ового осциллятора и может быть использован напрямую как системная частота, или делиться на 2 для подачи на вход PLL.

HSI RC осциллятор имеет преимущество в качестве тактового источника за счет низкой стоимости (нет внешних компонентов). Он также имеет более быстрое время старта, чем внешний резонатор, однако, даже с калибровкой частоты он менее точен, чем внешний кварц или керамический резонатор.

**Калибровка.**

Частоты RC осциллятора могут варьироваться от чипа к чипу из-за разброса технологического процесса, что является причиной того, что каждый процессор во время производства калибруется ST с точностью 1% при температуре 25 градусов цельсия.

После сброса, значение производственной калибровки загружается в HSICAL[7:0] биты в регистре RCC\_RC.

Если приложение подвергается изменениям температуры или напряжения, то это может повлиять на скорость RC осциллятора. Вы можете подстроить HSI частоту в приложении, используя HSITRIM[4:0] биты в регистре RCC\_CR.

Флаг HSIRDY в регистре RCC\_CR индицирует, стабилен ли HSI RC, или нет. Во время старта, HSI RC тактовый выход не реализован, до тех пор, пока не будет установлен аппаратно этот бит.

HSI сигнал может также быть использован как резервированный источник (вспомогательное тактирование), если внешний осциллятор сломается.

**PLL.**

Внутренний PLL может быть использован для умножения частоты HIS RC или HSE резонатора. Смотри рисунок 8.

Конфигурация PLL (выбор HIS / 2 или HSE в качестве входной частоты PLL, и коэффициента умножения) должна быть выполнена перед разрешением PLL. Как только PLL разрешен, эти параметры не могут быть изменены.

Прерывание может сгенерироваться, когда PLL готов, если это разрешено в регистре RCC\_CIR.

Если в приложении используется USB интерфейс, PLL должен быть запрограммирован на выход 48 или 72 МГц. Это необходимо для обеспечения тактовой частоты шины USBCLK.

**LSE тактирование.**

**LSI тактирование.**

**Выбор системной частоты.**

После системного сброса, HSI осциллятор выбран в качестве источника системной частоты. Когда тактовый источник используется напрямую или через PLL как источник системной частоты, его невозможно остановить.

Переключение от одного тактового источника к другому происходит только если целевой тактовый источник готов (частота стабильна после статровой задержки, или защелкивания PLL). Если выбран тактовый источник, который еще не готов, переключение произойдет, когда он будет готов. Бит статуса в регистре RCC\_CR индицирует, какой тактовый источник готов, и какой тактовый источник в настоящий момент является системным.

**Система безопасности тактирования.**