Архитектура шины и памяти.

**Системная архитектура.**

В устройствах низкой, средней, высокой и XL-плотности, основная система состоит из:

- Четырех мастеров:

- Шина Cortex M3 DСode (D-шина) и системная шина (S-шина).

- GP-DMA1 и 2 (общецелевые DMA)

- Четырех ведомых:

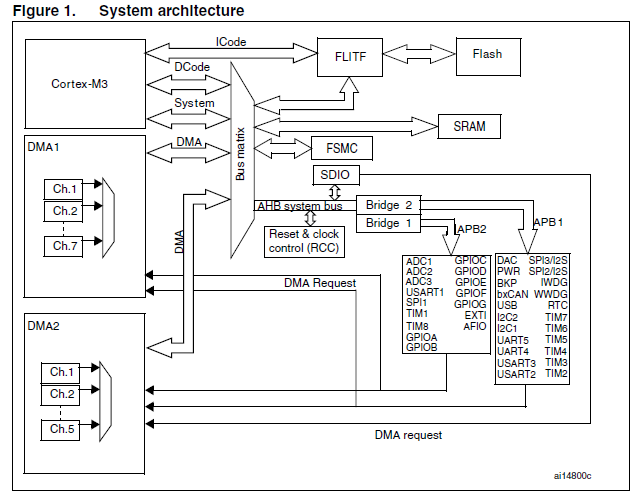
- Внутренняя SRAM.

- Внутренняя Flash память.

- FSMC.

- AHB – APBx (APB1 или APB2), которые соединяют всю APB периферию.

Существуют соединения, использующие AHB шинную архитектуру, как показано на рисунке 1.



**ICode шина.**

Эта шина соединяет шину инструкций ядра Cortex M3 с интерфейсом инструкций Flash памяти. Предвыборка выполняется по этой шине.

**DCode шина.**

Эта шина соединяет системную шину ядра Cortex M3 (периферийную шину) с шинной матрицей, которая управляет арбитражем между ядром и DMA.

**DMA шина.**

Эта шина соединяет интерфейс AHB мастера DMA с шинной матрицей, которая управляет доступом DCode CPU и DMA к SRAM, Flash памяти и периферии.

**Шинная матрица.**

Шинная матрица управляет арбитражем доступа между системой ядра и DMA. Арбитраж использует Round Robin алгоритм. Шинная матрица состовляет четыре мастера (CPU DCode, System bus, DMA1 и DMA2) и четыре ведомых (FLITF, SRAM, FSMC и AHB-в-APB мосты). AHB периферия соединена на системной шине через шинную матрицу, для возможности осуществления прямого доступа к памяти.

**AHB/APB мосты.**

Два AHB/APB моста полностью синхронные соединения между AHB и двумя APB шинами. APB1 ограничена 36 МГц, APB2 работает на полной скорости (до 72 МГц, в зависимости от устройства). Смотри таблицу 3 на странице 50 для определения, к какой шине какое периферийное устройство подключено.

После каждого сброса устройства, тактирование периферийных устройств отключено (за исключением SRAM и FLITF). Прежде чем использовать периферию, необходимо разрешить его тактирование в регистре RCC\_AHBENR, RCC\_APB2ENR, RCC\_APB1ENR.

Примечание: когда осуществляется 8- или 16- битный доступ на APB регистр, доступ трансформируется в 32-битный: мост дублирует 16- и 8- битные данные, чтобы образовать 32-битный вектор.