STM32F107xx.

**14.1 Введение TIM1 и TIM8.**

Таймеры с продвинутым управлением (TIM1 и TIM8) состоят из 16-битного авто-перезагружаемого счетчика, тактируемого от предделителя. Может применяться для различных целей, включая измерение длительности импульса входных сигналов (input capture), или генерация сигналов (output compare, PWM, комплементарный PWM с мертвым временем). Длина импульса и период сигнала могут модулироваться от нескольких микросекунд до нескольких миллисекунд с помощью предделителя таймера и предделителей RCC clock controller’а.

**14.3.1 Блок временной базы (стр. 294).**

Основной блок программируемого таймера это 16-битный счетчик с регистром авто-перезагрузки. Счетчик может считать вверх, вниз или вверх и вниз. Тактирование счетчика может быть поделено с помощью предделителя. Счетчик, регистр авто-перезагрузки и регистр предделителя могут быть записаны или прочитаны программой. Это может иметь место, даже когда счетчик работает.

Блок временной базы включает:

* Регистр счетчика (TIMx\_CNT)
* Регистр предделителя (TIMx\_PSC)
* Регистр авто-перезагрузки (TIMx\_ARR)
* Регистр счетчика повторений (TIMx\_RCR)

Регистр авто-перезагрузки предварительно загружен. Запись в или чтение из этого регистра фактически проходят через регистр предзагрузки (NB: буфер). Содержимое регистра предзагрузки передается в теневой регистр постоянно, или на каждом событии обновления (UEV), в зависимости от бита разрешения предзагрузки для авто-перезагрузки (ARPE) в регистре TIMx\_CR1.

NB: Если ARPE равен «1» – регистр TIMx\_ARR буферизован, то есть предзагрузка разрешена, и обновление производится только при наступление события UEV, «0» – регистр не буферизован, и обновление производится сразу. По умолчанию ARPE = 0.

Событие обновление возникает, когда счетчик достигает переполнения или опустошения, и при условии, что бит UDIS = 0 в регистре TIMx\_CR1 (NB: по умолчанию UDIS = 0). Событие также может быть сгенерировано программой.

Счетчик тактируется от выхода предделителя CK\_CNT, который разрешается только когда бит (CEN) в регистре TIMx\_CR1 установлен.

Заметьте, что считчик начинает считать спустя один тактовый цикл после установки бита CEN в регистре TIMx\_CR1.

**14.3.10 Режим ШИМ (стр. 317).**

Режим ШИМ позволяет вам генерировать сигнал с частотой, определяемой значением регистра TIMx\_ARR и коэффициентом заполнения, определяемым значением в регистре TIMx\_CCRx. Режим ШИМ может быть выбран независимо для каждого канала (один ШИМ на каждый OCx выход) посредством записи ‘110’ (режим ШИМ 1) или ‘111’ (режим ШИМ 2) в биты OCxM, в регистре TIMx\_CCMRx. Вы должны активировать соответствующий регистр предзагрузки путем установки бита OCxPE в регистре TIMxCCMRx, и в последнюю очередь включить автозагрузку из регистра предзагрузки (в режимах положительного счета или выровненных по центру режимах) путем установки бита ARPE в регистре TIMx\_CR1.

Так как регистры предзагрузки пересылаются в теневые регистры только когда происходит событие обновления, то перед началом счета вы должны инициализировать все регистры путем установки бита UG в регистре TIMx\_EGR.

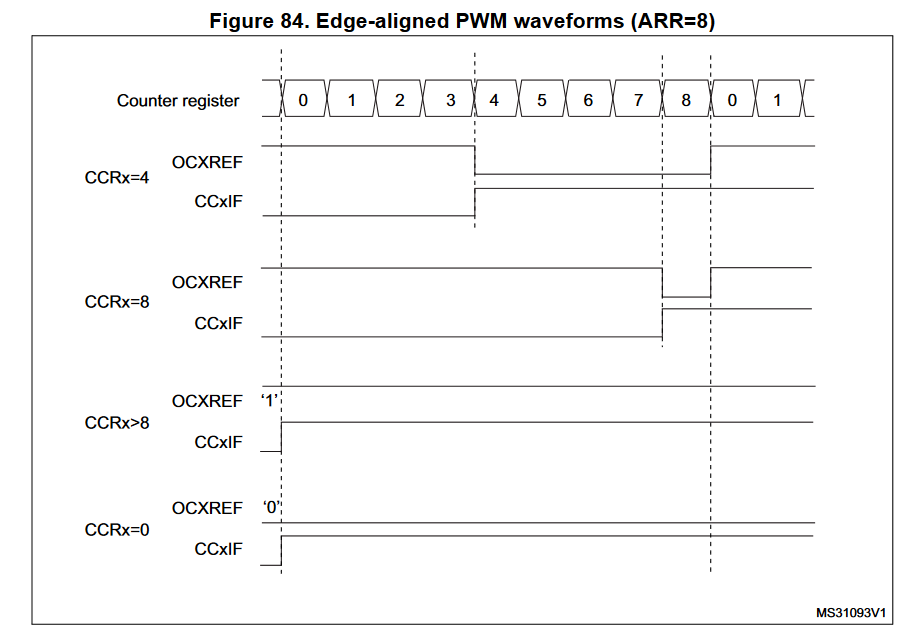
Полярность OCx программируется программно, используя CCxP бит в регистре TIMx\_CCER. Это может быть высокий или низкий уровень. OCx выход включается комбинацией битов CCxE, CCxNE, MOE, OSSI и OSSR (TIMxCCER и TIMx\_BDTR регистры).

В режиме ШИМ (1 или 2), TIMx\_CNT и TIMx\_CCRx всегда сравниваются для определения факта выполнения неравенства: TIMx\_CCRx<=TIMx\_CNT или TIMx\_CNT<=TIMx\_CCRx (в зависимости от направления счета).

Таймер может генерировать ШИМ в режиме «edge-aligned» или «center-aligned», в зависимости от CMS битов в регистре TIMx\_CR1.

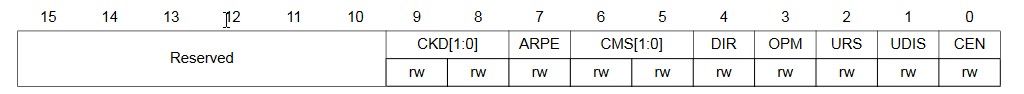
edge-aligned режим ШИМ.

* Конфигурация положительного счета. Работает, когда бит DIR в регистре TIMx\_CR1 имеет низкий уровень. В следующем примере мы считаем, что работаем в режиме ШИМ 1. Сигнал OCxREF имеет высокий уровень пока TIMx\_CNT < TIMx\_CCRx, иначе он имеет низкий уровень. Если сравниваемое значение в регистре TIMx\_CCRx больше, чем авто-перезагружаемое значение (в TIMx\_ARR), то OCxREF удерживается в «1». Если сравниваемое значение равно нулю, то OCxREF удерживается в «0». В следующем примере TIMx\_ARR=8.



* Конфигурация отрицательного счета.

NB: привожу описание регистра **TIMx\_CR1** (стр. 337):



CMS[1:0]: вы бор режима работы ШИМ.

00: edge-aligned mode. Счетчик считает вверх или вниз, в зависимости от бита направления DIR.

01: center-aligned mode 1. Счетчик считает вверх и вниз. Флаги прерывания выхода сравнения для каналов, сконфигурированных в режим выхода, устанавливаются, только когда счетчик считает вниз.

10: center-aligned mode 2. Счетчик считает вверх и вниз. Флаги прерывания выхода сравнения для каналов, сконфигурированных в режим выхода, устанавливаются, только когда счетчик считает вверх.

11: center-aligned mode 3. Счетчик считает вверх и вниз. Флаги прерывания выхода сравнения для каналов, сконфигурированных в режим выхода, устанавливаются, когда счетчик считает и вверх, и вниз.

Примечание: недопустимо переключать режим, пока счетчик активен (CEN=1).

DIR: Направление.

0: счетчик считает вверх.

1: счетчик считает вниз.

Примечание: этот бит доступен только для чтения, когда таймер сконфигурирован в режим center-aligned или Encoder.

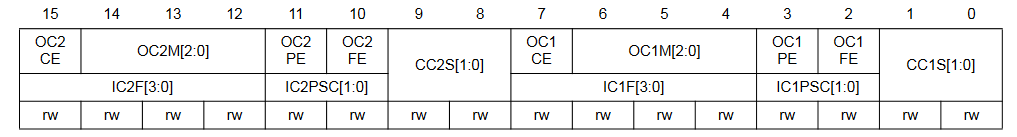
OMP: Режим одиночного импульса.

0: Счетчик не останавливается при возникновении события обновления.

1: счетчик прекращает считать при следующем событии обновления (сбрасывая бит CEN).

NB: привожу описание регистра **TIMx\_CCMR1** (стр. 348):

Каналы могут быть использованы во входном режиме (режим захвата) или выходном режиме (режим сравнения). Направление канала определяется путем конфигурации соответствующих битов CCxS. Все остальные биты этого регистра имеют разные функции для входного и выходного режимов. Для данного бита, OCxx описывает его функцию когда канал сконфигурирован на выход, ICxx описывает его функцию когда канал сконфигурирован на вход.



OC2CE: разрешение очистки Output Compare 2.

OC2M[2:0]: режим Output Compare 2.

OC2PE: Разрешение предзагрузки Output Compare 2.

OC2FE: быстрое разрешение Output Compare 2.

CC2S[1:0]: Выбор функции канала 2.

00: CC2 сконфигурирован на выход.

01: CC2 сконфигурирован на вход, IC2 отображается на TI2.

10: CC2 сконфигурирован на вход, IC2 отображается на TI1.

11: CC2 канал сконфигурирован на вход, IC2 отображается на TRC.

Примечание CC2S биты можно записывать, только когда канал выключен (CC2E=0 в TIMx\_CCER).

OC1M[6:4]: режим канала Output Compare 1.

Эти биты определяют поведение выходного опорного сигнала OC1REF, от которого образуются сигналы OC1 и OC1N. OC1REF имеет активный высокий уровень в то время как активный уровень OC1 и OC1N зависит от битов CC1P и CC1NP.

000: Заморожен – результат сравнения между регистром TIMx\_CCR1 и счетчиком таймера TIMx\_CNT не влияет на выходы (этот режим используется только для задания временных интервалов).

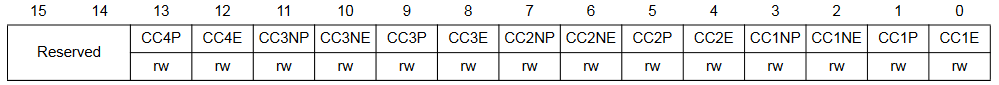
001: устанавливает канал 1 в активный уровень при совпадении. Сигнал OC1REF устанавливается в высокий уровень, когда счетчик TIMx\_CNT совпадает с регистром TIMx\_CCR1.

<…>

110: PWM режим 1. Если считает вверх, канал 1 активен пока TIMx\_CNT < TIMx\_CCR1, иначе имеет неактивный уровень. Если считает вниз, канал 1 неактивен (OC1REF=’0’) пока TIMx\_CNT > TIMx\_CCR1, иначе имеет активный уровень.

111: PWM режим 2. Если считает вверх, канал 1 имеет неактивный уровень, пока TIMx\_CNT < TIMx\_CCR1, в противном случае имеет активный уровень. Если считает вниз, канал 1 имеет активный уровень, пока TIMx\_CNT > TIMx\_CCR1, иначе имеет неактивный уровень.

NB: привожу описание регистра **TIMx\_CCER**:



Значения битов в нотации CCx[E,P,NP, NE] понимаются легко:

CC – capture/compare, x – номер канала 1-4, E – разрешение канала, P – полярность канала (1 – низкий активный уровень, 0 – высокий активный уровень). Для NP и NE читать также, только для комплементарных выходов.