**Тактирование.**

Для управления системной (SYSCLK) частотой могут быть использованы три различных тактовых источника.

1. HSI осциллятор.
2. HSE осциллятор.
3. Главный PLL.

Устройства имеют два следующих вторичных тактовых источника:

1. 32 кГц низкоскоростной внутренний RC (LSI RC) генератор, который управляет независимым сторожевым таймером и, опционально, RTC, используемыми для авто-пробуждения из Stop/спящего режимов.
2. 32.768 кГц низкоскоростной внешний кристалл (LSE кристалл), который опционально управляет RTC часами (RTCCLK).

Каждый тактовый источник может быть включен или выключен независимо, когда он не используется, для оптимизации энергопотребления. Контроллер тактовой частоты обеспечивает в высшей степени гибкий для приложения выбор внешнего резонатора или осциллятора для запуска ядра и периферии на высоких частотах, и гарантирует соответственную частоту для различных периферийных устройств, которым требуется специальная тактовая частота, таким как Ethernet, USB OTG FS и HS, I2S и SDIO.

Для настройки AHB частоты, высокоскоростной APB (APB2) и низкоскоростной APB (APB1) используется несколько предделителей. Максимальная частота AHB области – 120 МГц. Максимально допустимая частота высокоскоростной области APB2 – 60 МГц. Максимально допустимая частота низкоскоростной области – 30 МГц.

Все периферийные тактовые частоты подводятся от системной частоты (SYSCLK), за исключением:

* Частоты USB OTG FS (48 МГц), частоты случайного аналогового генератора (RNG) (<= 48 МГц) и частоты SDIO (<= 48 МГц), которая подводится от специального выхода PLL (PLL48CLK).
* Частоты I2S. Для достижения высококачественной работы аудио, частота I2S может быть подведена от специального PLL (PLLI2S) или от внешнего вывода, отмеченного как I2S\_CKIN. Для большей информации о тактовой частоте I2S и точности, смотри секцию 25.4.3: Тактовый генератор.
* Частоты USB OTG HS (60 МГц), которая обеспечивается внешним PHY.
* Частоты подуровня доступа к среде Ethernet (Tx, Rx, и RMII), которые обеспечиваются внешней физикой. Для дальнейшей информации о конфигурации Ethernet, пожалуйста, обратитесь к секции 28.4.4: MII/RMII секция в описании периферийного Ethernet. Когда используется Ethernet, тактовая частота AHB должна быть покрайней мере 25 МГц.

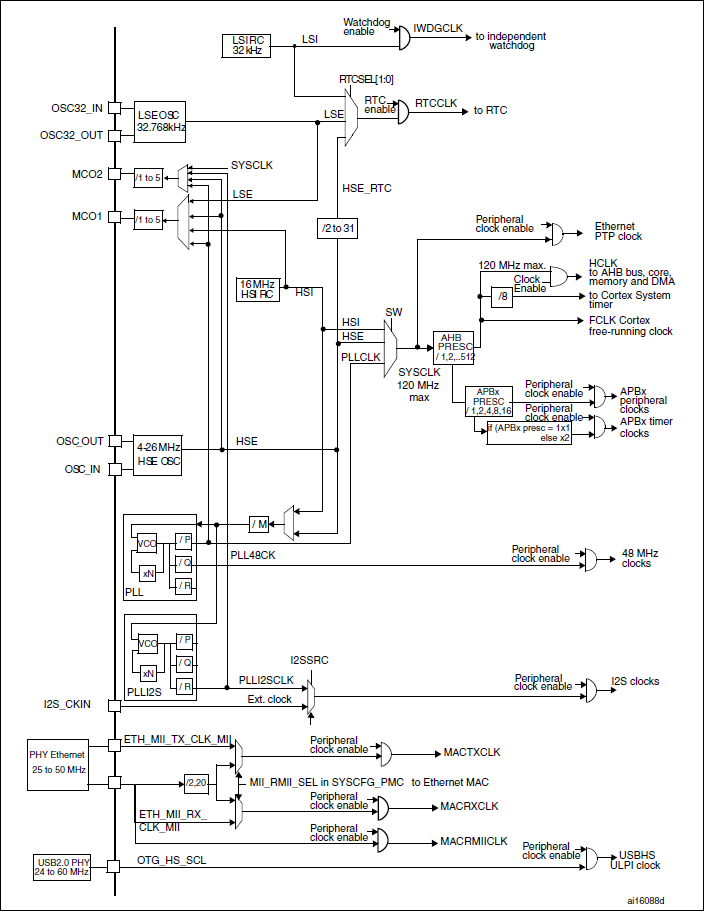
RCC поставляет внешнюю частоту системного таймера SysTick с AHB частотой (HCLK), поделенной на 8. SysTick может работать либо с этой частотой, или с HCLK, настраиваемой в регистре управления и статуса SysTick.

Частоты тактирования таймера автоматически устанавливаеются аппаратно. Существует два случая:

1. Если APB предделитель равен 1, частоты тактирования таймера установлены в туже самую частоту, что и APB область, к которой присоединены таймеры.

2. В противном случае, они установлены в удвоенное значение частоты APB области, к которой присоединены таймеры.

FCLK действует как свободнобегущая частота Cortex™-M3.



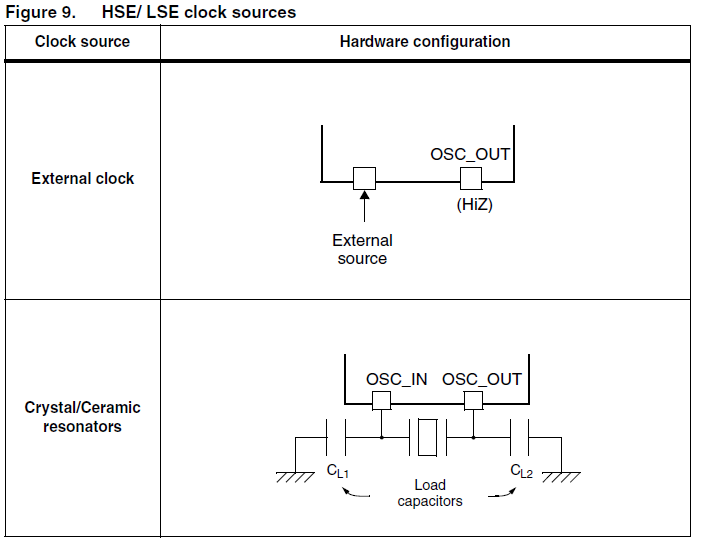
**HSE тактирование.**

Высокоскоростной внешний тактовый сигнал (HSE) может генерироваться от двух возможных тактовых источников:

- Внешнего HSE кварцевого/керамического резонатора.

- Пользовательская внешняя частота HSE.

Резонатор и нагрузочные конденсаторы размещаются как можно ближе к выводам осциллятора для того, чтобы минимизировать выходные искажения и стартовое время стабилизации. Значения нагрузочных конденсаторов должны быть скорректированы в соответствии с выбранным резонатором.



**Внешний источник (в обход HSE).**

В этом режиме должен быть предоставлен внешний тактовый источник. Вы выбираете этот режим установкой битов HSEBYP и HSEON в регистре управления RCC\_CR. Внешний тактовый сигнал (квадратный, синусоидальный или треугольный) с 50% рабочим циклом подводится к выводу OSC\_IN, в то время как вывод OSC\_OUT должен оставаться в высокоимпедансном состоянии (см. рисунок 10).

**Внешний кварцевый/керамический резонатор (HSE резонатор).**

HSE имеет преимущество генерации очень точной главной частоты. Соответствующая аппаратная настройка показана на рисунке 10. Смотри секцию электрических характеристик даташита для большей информации.

HSERDY флаг в регистре RCC\_CR индицирует стабильность внешнего осциллятора. Во время старта, тактовая частота не является реализованной, до тех пор, пока этот бит не установится аппаратно. Прерывание может быть сгенерировано, если разрешено в регистре RCC\_CIR.

Резонатор HSE может быть включен или отключен, используя бит HSEON в регистре RCC\_CR.

**HSI тактирование.**

HSI тактовый сигнал генерируется от внутреннего 16 МГц-го осциллятора и может быть использован напрямую как системная частота, или подаваться на вход PLL.

HSI RC осциллятор имеет преимущество в качестве тактового источника за счет низкой стоимости (нет внешних компонентов). Он также имеет более быстрое время старта, чем внешний резонатор, однако, даже с калибровкой частоты он менее точен, чем внешний кварц или керамический резонатор.

**Калибровка.**

Частоты RC осциллятора могут варьироваться от чипа к чипу из-за разброса технологического процесса, что является причиной того, что каждый процессор во время производства калибруется ST с точностью 1% при температуре 25 градусов цельсия.

После сброса, значение производственной калибровки загружается в HSICAL[7:0] биты в регистре RCC\_RC.

Если приложение подвергается изменениям температуры или напряжения, то это может повлиять на скорость RC осциллятора. Вы можете подстроить HSI частоту в приложении, используя HSITRIM[4:0] биты в регистре RCC\_CR.

Флаг HSIRDY в регистре RCC\_CR индицирует, стабилен ли HSI RC, или нет. Во время старта, HSI RC тактовый выход не реализован, до тех пор, пока не будет установлен аппаратно этот бит.

HSI RC может быть включен или выключен, используя HSION бит в регистре RCC\_CR.

HSI сигнал может также быть использован как запасная (вспомогательная) частота, если HSE резонатор сломается.

**Настройка PLL.**

STM32F2xx устройства имеют два PLL:

* Основной PLL (PLL), тактируемый HSE или HSI осциллятором и формирующим две различных тактовых частоты:
  + Первый выход используется для генерации высокой тактовой частоты (до 120 МГц).
  + Второй выход используется для генерации тактовых импульсов для USB OTG FS (48 МГц), случайного аналогового генератора (<= 48 МГц) и SDIO (<= 48 МГц).
* Выделенный PLL (PLLI2S), используемый для генерации точной частоты для достижения высококачественной работы аудио.

Так как параметры конфигурации PLL не могут измениться, когда PLL активен, рекомендуется настраивать PLL перед его разрешением (выбор HSI или HSE резонатора в качестве тактового источника для PLL, и настройки коэффициентов деления M, N, P и Q).

PLLI2S использует тотже самый тактовый вход, что и PLL (PLLM[5:0] и PLLSRC биты являюися общими для обоих PLL). Однако, PLLI2S имеет свои собственные биты конфигурации разрешения/запрещения, и коэффициентов деления (N и R). Как только активируется PLLI2S, параметры конфигурации не могут измениться.

Два PLL отключаются аппаратно, когда процессор входит в режим Stop и Stanby, или когда происходит провал HSE, при этом HSE или PLL (тактируемый HSE) используется как системная частота. Регистры конфигурации RCC\_PLLCFGR и RCC\_CFGR могут быть использованы для настройки PLL и PLLI2S соответственно.

**LSE тактирование.**

LSE резонатор – это внешний 32.768 кГц кварцевый или керамический резонатор. Он имеет преимущество, обеспечивая низкое энергопотребление, но высокую точность для часов реального времени (RTC), часов/календаря или других временных функций.

LSE резонатор включается и выключается, используя бит LSEON в регистре RCC\_BDCR. Флаг LSERDY в регистре RCC\_BDCR индицирует, является ли LSE резонатор стабильным, или нет. При старте, выходной тактовый сигнал не реализован до тех пор, пока этот бит не установится аппаратно. Прерывание может быть сгенерировано, если оно разрешено в регистре прерывания RCC\_CIR.

**Выбор системной частоты.**

После системного сброса, HSI осциллятор выбран в качестве источника системной частоты. Когда тактовый источник используется напрямую или через PLL как источник системной частоты, его невозможно остановить.

Переключение от одного тактового источника к другому происходит только если целевой тактовый источник готов (частота стабильна после статровой задержки, или защелкивания PLL). Если выбран тактовый источник, который еще не готов, переключение произойдет, когда он будет готов. Бит статуса в регистре RCC\_CR индицирует, какой тактовый источник готов, и какой тактовый источник в настоящий момент является системным.