**system\_stm32f2xx.c**

Исходный файл CMSIS уровня доступа к периферии устройства Cortex-M3. Этот файл содержит конфигурацию системной частоты для устройств STM32F2xx, и сгенерирован конфигурационной утилитой «STM32f2xx\_Clock\_Configuration\_V1.0.0.xls».

1. Этот файл предоставляет две функции и одну глобальную переменную для использования в пользовательском приложении:   
   SystemInit(): устанавливает системную частоту (источник системной частоты, PLL умножитель и коэффициенты делителя, предделители AHB/APBx и настройки Flash), в зависимости от выполненной конфигурации в утилите clock xls. Эта функция вызывается в стартапе сразу после сброса и перед входом в main. Этот вызов выполняется внутри файла «startup\_stm32f2xx.s».   
   SystemCoreClock переменная: содержит частоту ядра (HCLK), которая может быть использована пользовательским приложением для установки SysTick таймера или настройки других параметров.   
   SystemCoreClockUpdate(): обновляет переменную SystemCoreClock и должна вызываться всякий раз, когда частота ядра изменяется во время работы программы.
2. После каждого сброса устройства HSI (16 МГц) используется как системный тактовый источник. Функция SystemInit() вызывается в файле «startup\_stm32f2xx.s» для настройки системной частоты перед входом в основную программу.
3. Если источник системной частоты, выбранный пользователем провалится во время стартапа, функция SystemInit() ничего не будет делать и HSI все еще будет использоваться как системный тактовый источник. Пользователь может добавить некоторый код для обработки такого исхода внутри функции SetSysClock(), которая вызывается из SystemInit().
4. Стандартное значение HSE кристалла установлено в 25 МГц, обратитесь к макроопределению «HSE\_VALUE» в файле «stm32f2xx.h». Когда HSE используется как системный тактовый источник, напрямую или через PLL, и вы используете другой кристалл, вы должны адаптировать HSE значение для вашей собственной конфигурации.
5. Этот файл настраивает системную тактовую частоту следующим образом:

\*=============================================================================

\*=============================================================================

\* Supported STM32F2xx device revision | Rev B and Y

\*-----------------------------------------------------------------------------

\* System Clock source | PLL (HSE)

\*-----------------------------------------------------------------------------

\* SYSCLK(Hz) | 120000000

\*-----------------------------------------------------------------------------

\* HCLK(Hz) | 120000000

\*-----------------------------------------------------------------------------

\* AHB Prescaler | 1

\*-----------------------------------------------------------------------------

\* APB1 Prescaler | 4

\*-----------------------------------------------------------------------------

\* APB2 Prescaler | 2

\*-----------------------------------------------------------------------------

\* HSE Frequency(Hz) | 25000000

\*-----------------------------------------------------------------------------

\* PLL\_M | 25

\*-----------------------------------------------------------------------------

\* PLL\_N | 240

\*-----------------------------------------------------------------------------

\* PLL\_P | 2

\*-----------------------------------------------------------------------------

\* PLL\_Q | 5

\*-----------------------------------------------------------------------------

\* PLLI2S\_N | NA

\*-----------------------------------------------------------------------------

\* PLLI2S\_R | NA

\*-----------------------------------------------------------------------------

\* I2S input clock | NA

\*-----------------------------------------------------------------------------

\* VDD(V) | 3.3

\*-----------------------------------------------------------------------------

\* Flash Latency(WS) | 3

\*-----------------------------------------------------------------------------

\* Prefetch Buffer | ON

\*-----------------------------------------------------------------------------

\* Instruction cache | ON

\*-----------------------------------------------------------------------------

\* Data cache | ON

\*-----------------------------------------------------------------------------

\* Require 48MHz for USB OTG FS, | Enabled

\* SDIO and RNG clock |

\*-----------------------------------------------------------------------------

\*=============================================================================