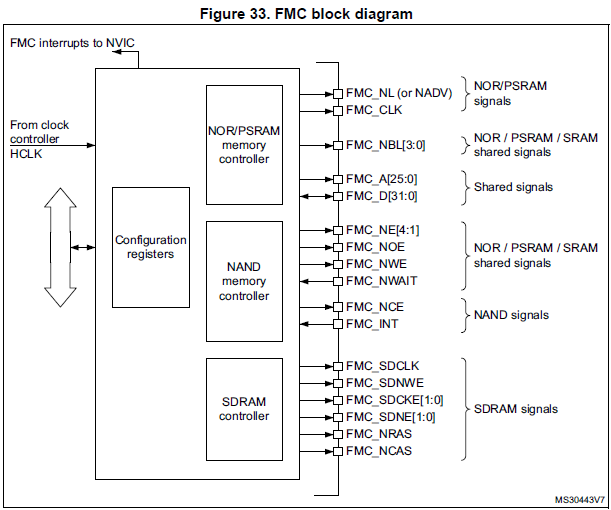
**13.2 Блок-схема FMC.**

FMC состоит из следующих основных блоков:

* AHB интерфейс (включая конфигурационные регистры FMC)
* Контроллер памяти типа NOR Flash/PSRAM/SRAM
* Контроллер памяти типа SDRAM
* Контроллер памяти типа NAND Flash

Блок-схема показана на рисунке ниже.



**13.3 Интерфейс AHB.**

Ведомый интерфейс позволяет внутренним процессорам и другим шинным мастерам получать доступ к внешней памяти. AHB транзакции транслируются в протокол внешнего устройства. В частности, если выбранная внешняя память является 16- или 8- битной, 32- битные транзакции на шине AHB разбиваются на последовательные 16- или 8- битные доступы. Сигнал выбора чипа (FMC\_NEx) не переключается между последовательными доступами, за исключением режима доступа типа D, когда разрешен расширенный режим. FMC генерирует ошибку шины AHB при возникновении следующих условий:

* Когда чтение или запись в FMC банк (банк 1 – банк 4) не разрешено.
* Когда выполняется чтение или запись в NOR Flash банк при сброшенном бите FACCEN в регистре FMC\_BCRx.
* Когда выполняется запись в защищенный от записи SDRAM банк (бит WP установлен в регистре SDRAM\_SDCRx).
* При нарушении адресного диапазона SDRAM.

Эффект ошибки AHB шины от мастера, который попытался выполнить доступ:

* Если доступ пытался выполнить CPU, генерируется прерывание типа hard fault.
* Если доступ пытался выполнить контроллер DMA, генерируется ошибка пересылки DMA и соответствующий канал DMA автоматически выключается.

Частота шины AHB является опорной частотой FMC.

**13.3.1 Поддерживаемые типы памяти и транзакции.**

Общие правила транзакций.

Размер данных запрашиваемой транзакции может быть 8-, 16- или 32- битным, в то время как внешнее адресуемое устройство всегда имеет фиксированную ширину данных. Это может привести к непоследовательным пересылкам.

Таким образом, должны выполняться несколько простых правил:

* Размер транзакции AHB и размер шины данных памяти одинаковы: в этом случае нет проблем.
* Размер транзакции AHB больше, чем размер шины данных памяти: в этом случае FMC разбивает AHB-транзакцию на более маленькие последовательные доступы к памяти, соответствующие ширине внешней шины данных. Сигнал выбора чипа (FMC\_NEx) не переключается между последовательными доступами.
* Размер транзакции AHB меньше, чем размер шины данных памяти: передача может быть, а может и не быть последовательной в зависимости от типа внешнего устройства:
  + Доступы к устройствам, которые имеют возможность выбора байта (SRAM, ROM, PSRAM, SDRAM): в этом случае, FMC позволяет осуществлять транзакции чтения/записи и обращения к нужным данным посредством сигналов выбора байта NBL[3:0]. Байты для записи адресуются сигналами NBL[3:0]. Байты для чтения считываются все (NBL[3:0] выставляются в низкий уровень), и лишние отбрасываются.
  + Доступы к устройствам, которые не имеют возможности выбора байта (NOR или NAND Flash память): эта ситуация возникает при байтовом доступе в 16-битную Flash память. Так как доступ к устройству не может быть побайтовым (только 16 бит могут быть считаны или записаны из или в Flash память), транзакции записи или транзакции чтения допустимы (контроллер считывает 16-битное слово из памяти и использует только требуемый байт).

Поддержка заворота для NOR Flash/PSRAM и SDRAM.

Синхронные типы памяти должны быть сконфигурированы в режим Linear burst mode неопределенной длины, поскольку не все мастеры могут выполнять заворачивающиеся транзакции.

Если мастер генерирует заворачивающуюся AHB транзакцию:

* Чтение разбивается на две linear burst транзакции.
* Запись разбивается на две linear burst транзакции, если очередь на запись включена, и на несколько linear burst транзакций, если очередь на запись отключена.

Регистры конфигурации.

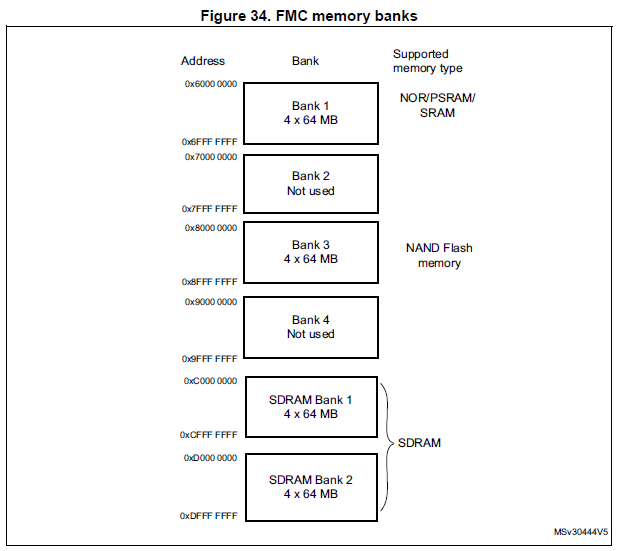
FMC может быть сконфигурирован посредством набора регистров. Обратитесь к разделу 13.5.6 за детальным описанием регистров контроллера NOR Flash/PSRAM. Обратитесь к разделу 13.6.7 за детальным описанием регистров контроллера NAND Flash и к разделу 13.7.5 за детальным описанием регистров контроллера SDRAM.

**13.4 Отображение внешнего устройства на адресное пространство микроконтроллера.**

С точки зрения FMC, внешняя память поделена на банки фиксированного размера по 256Мб каждый (см. рисунок 34):

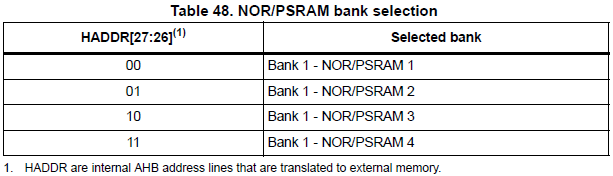
* Банк 1 используется для адресации до 4ёх микросхем NOR Flash памяти или PSRAM устройств. Этот банк разбит на 4 NOR/PSRAM суббанков, каждый из которых имеет свой chip select:
  + Банк 1 – NOR/PSRAM 1
  + Банк 1 – NOR/PSRAM 2
  + Банк 1 – NOR/PSRAM 3
  + Банк 1 – NOR/PSRAM 4
* Банк 3 используется для адресации NAND Flash устройств памяти. Атрибут MPU памяти для этого пространства должен быть переконфигурирован программой на Device.
* Банк 4 и 5 используется для адресации SDRAM устройств (1 устройство на банк).

Для каждого банка тип используемой памяти может быть сконфигурирован пользовательским приложением через Configuration регистр.

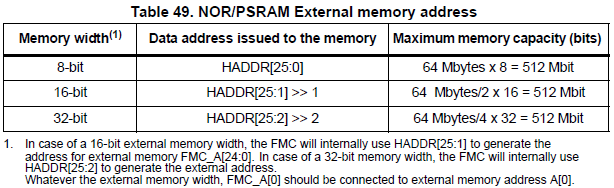


**13.4.1 Маппинг NOR/PSRAM.**

Биты HADDR[27:26] используются для выбора одного из четырех банков памяти, как показано в таблице 48.



Биты HADDR[25:0] содержат адрес внешней памяти. Так как HADDR – это адрес байта, то всякий раз, когда выполняется пословная адресация, фактически выставляемый адрес зависит от ширины шины данных, в соответствии с приведенной ниже таблицей.



В случае 16-битной ширины шины данных внешней памяти, FMC использует биты HADDR[25:1] для генерации адреса на внешнюю шину FMC[24:0]. В случае 32-битной ширины памяти, FMC использует биты HADDR[25:2] для генерации внешнего адреса. Независимо от ширины шины данных внешней памяти, линия FMC\_A[0] должна быть подключена к линии A[0] шины адреса.