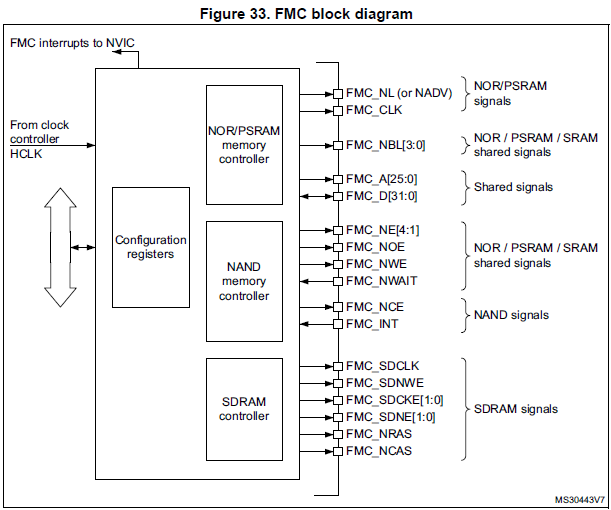
**13.2 Блок-схема FMC.**

FMC состоит из следующих основных блоков:

* AHB интерфейс (включая конфигурационные регистры FMC)
* Контроллер памяти типа NOR Flash/PSRAM/SRAM
* Контроллер памяти типа SDRAM
* Контроллер памяти типа NAND Flash

Блок-схема показана на рисунке ниже.



**13.3 Интерфейс AHB.**

Ведомый интерфейс позволяет внутренним процессорам и другим шинным мастерам получать доступ к внешней памяти. AHB транзакции транслируются в протокол внешнего устройства. В частности, если выбранная внешняя память является 16- или 8- битной, 32- битные транзакции на шине AHB разбиваются на последовательные 16- или 8- битные доступы. Сигнал выбора чипа (FMC\_NEx) не переключается между последовательными доступами, за исключением режима доступа типа D, когда разрешен расширенный режим. FMC генерирует ошибку шины AHB при возникновении следующих условий:

* Когда чтение или запись в FMC банк (банк 1 – банк 4) не разрешено.
* Когда выполняется чтение или запись в NOR Flash банк при сброшенном бите FACCEN в регистре FMC\_BCRx.
* Когда выполняется запись в защищенный от записи SDRAM банк (бит WP установлен в регистре SDRAM\_SDCRx).
* При нарушении адресного диапазона SDRAM.

Эффект ошибки AHB шины от мастера, который попытался выполнить доступ:

* Если доступ пытался выполнить CPU, генерируется прерывание типа hard fault.
* Если доступ пытался выполнить контроллер DMA, генерируется ошибка пересылки DMA и соответствующий канал DMA автоматически выключается.

Частота шины AHB является опорной частотой FMC.

**13.3.1 Поддерживаемые типы памяти и транзакции.**

Общие правила транзакций.

Размер данных запрашиваемой транзакции может быть 8-, 16- или 32- битным, в то время как внешнее адресуемое устройство всегда имеет фиксированную ширину данных. Это может привести к непоследовательным пересылкам.

Таким образом, должны выполняться несколько простых правил:

* Размер транзакции AHB и размер шины данных памяти одинаковы: в этом случае нет проблем.
* Размер транзакции AHB больше, чем размер шины данных памяти: в этом случае FMC разбивает AHB-транзакцию на более маленькие последовательные доступы к памяти, соответствующие ширине внешней шины данных. Сигнал выбора чипа (FMC\_NEx) не переключается между последовательными доступами.
* Размер транзакции AHB меньше, чем размер шины данных памяти: передача может быть, а может и не быть последовательной в зависимости от типа внешнего устройства:
  + Доступы к устройствам, которые имеют возможность выбора байта (SRAM, ROM, PSRAM, SDRAM): в этом случае, FMC позволяет осуществлять транзакции чтения/записи и обращения к нужным данным посредством сигналов выбора байта NBL[3:0]. Байты для записи адресуются сигналами NBL[3:0]. Байты для чтения считываются все (NBL[3:0] выставляются в низкий уровень), и лишние отбрасываются.
  + Доступы к устройствам, которые не имеют возможности выбора байта (NOR или NAND Flash память): эта ситуация возникает при байтовом доступе в 16-битную Flash память. Так как доступ к устройству не может быть побайтовым (только 16 бит могут быть считаны или записаны из или в Flash память), транзакции записи или транзакции чтения допустимы (контроллер считывает 16-битное слово из памяти и использует только требуемый байт).

Поддержка заворота для NOR Flash/PSRAM и SDRAM.

Синхронные типы памяти должны быть сконфигурированы в режим Linear burst mode неопределенной длины, поскольку не все мастеры могут выполнять заворачивающиеся транзакции.

Если мастер генерирует заворачивающуюся AHB транзакцию:

* Чтение разбивается на две linear burst транзакции.
* Запись разбивается на две linear burst транзакции, если очередь на запись включена, и на несколько linear burst транзакций, если очередь на запись отключена.

Регистры конфигурации.

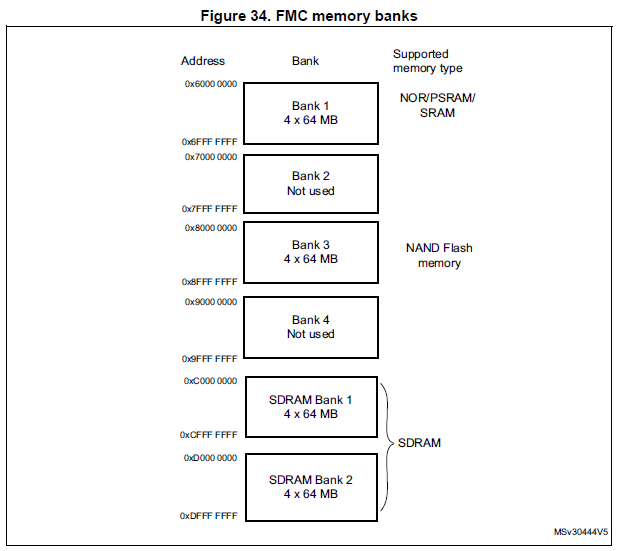
FMC может быть сконфигурирован посредством набора регистров. Обратитесь к разделу 13.5.6 за детальным описанием регистров контроллера NOR Flash/PSRAM. Обратитесь к разделу 13.6.7 за детальным описанием регистров контроллера NAND Flash и к разделу 13.7.5 за детальным описанием регистров контроллера SDRAM.

**13.4 Отображение внешнего устройства на адресное пространство микроконтроллера.**

С точки зрения FMC, внешняя память поделена на банки фиксированного размера по 256Мб каждый (см. рисунок 34):

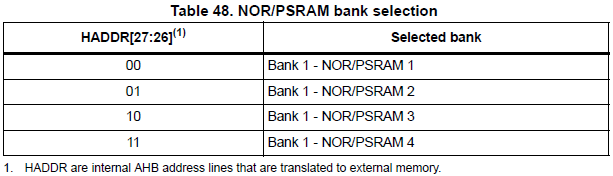
* Банк 1 используется для адресации до 4ёх микросхем NOR Flash памяти или PSRAM устройств. Этот банк разбит на 4 NOR/PSRAM суббанков, каждый из которых имеет свой chip select:
  + Банк 1 – NOR/PSRAM 1
  + Банк 1 – NOR/PSRAM 2
  + Банк 1 – NOR/PSRAM 3
  + Банк 1 – NOR/PSRAM 4
* Банк 3 используется для адресации NAND Flash устройств памяти. Атрибут MPU памяти для этого пространства должен быть переконфигурирован программой на Device.
* Банк 4 и 5 используется для адресации SDRAM устройств (1 устройство на банк).

Для каждого банка тип используемой памяти может быть сконфигурирован пользовательским приложением через Configuration регистр.

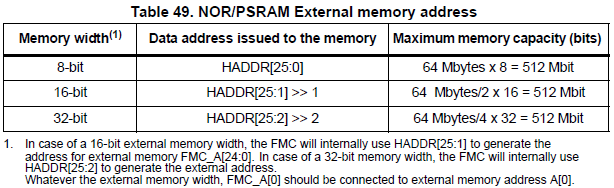


**13.4.1 Маппинг NOR/PSRAM.**

Биты HADDR[27:26] используются для выбора одного из четырех банков памяти, как показано в таблице 48.



Биты HADDR[25:0] содержат адрес внешней памяти. Так как HADDR – это адрес байта, то всякий раз, когда выполняется пословная адресация, фактически выставляемый адрес зависит от ширины шины данных, в соответствии с приведенной ниже таблицей.

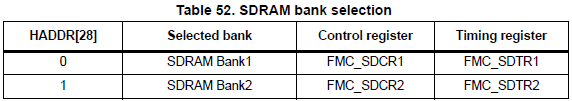


В случае 16-битной ширины шины данных внешней памяти, FMC использует биты HADDR[25:1] для генерации адреса на внешнюю шину FMC[24:0]. В случае 32-битной ширины памяти, FMC использует биты HADDR[25:2] для генерации внешнего адреса. Независимо от ширины шины данных внешней памяти, линия FMC\_A[0] должна быть подключена к линии A[0] шины адреса.

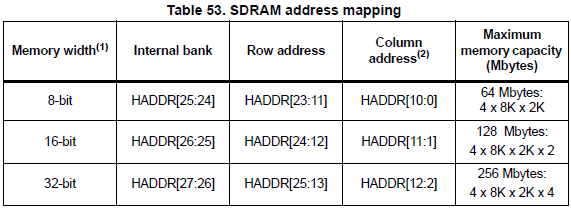
**13.4.2 Маппинг NAND Flash.**

**13.4.3 Маппинг SDRAM.**

Бит HADDR[28] используется для выбора одного из двух банков памяти, как показано в таблице 52.



Следующая таблица показывает маппинг SDRAM для конфигурации: 13-битная строка, 11-битный столбец и 4-битный номер банка.

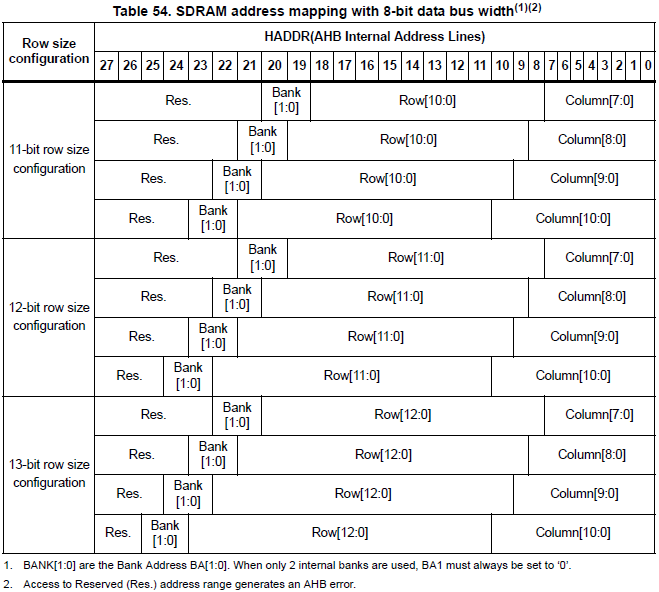


1. При взаимодействии с 16-битной памятью FMC использует HADDR[11:1] внутренних AHB-адресных линий для генерации внешнего адреса. Независимо от ширины шины данных памяти, FMC\_A[0] должен быть подключен к линии A[0] внешней шины адреса.
2. AutoPrecharge не поддерживается. FMC\_A[10] должен быть подключен к линии A[10] внешней шины адреса, но на этой линии всегда будет выставлен низкий уровень.

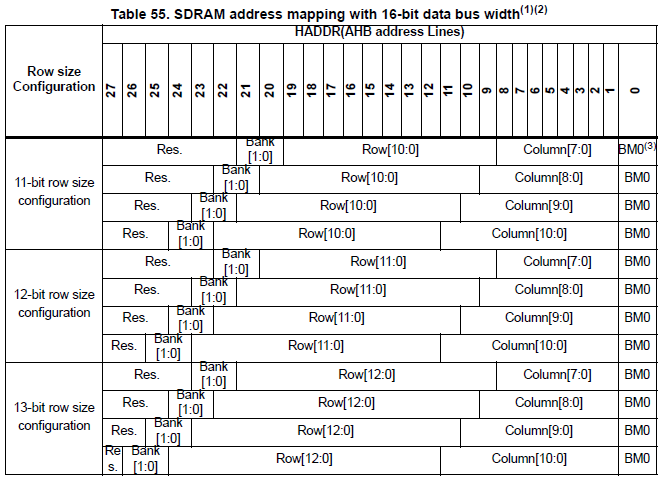
Биты HADDR[27:0] транслируются на внешний SDRAM адрес в зависимости от конфигурации контроллера SDRAM:

* Размер данных: 8, 16 или 32 бита
* Размер строки: 11, 12 или 13 бит
* Размер столбца: 8, 9, 10 или 11 бит
* Количество внутренних банков: 2 или 4

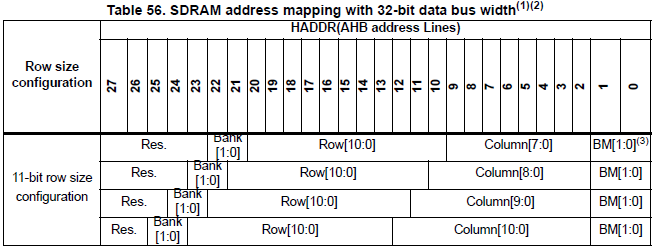
Следующая таблица показывает маппинг SDRAM-адреса в зависимости от конфигурации SDRAM-контроллера.

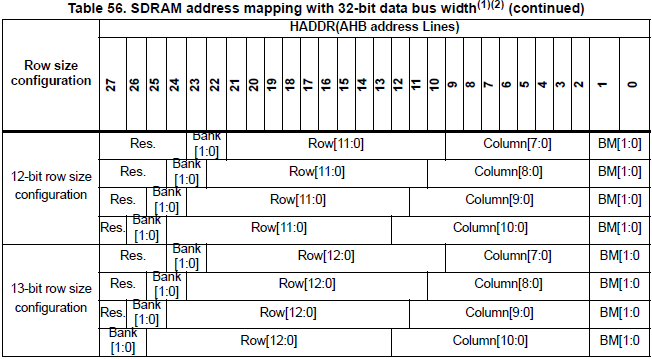


1. BANK[1:0] – это биты адреса банка BA[1:0]. Если используется только 2 внутренних банка, BA1 всегда должен быть установлен в «0».
2. Доступ к резервному адресному диапазону генерирует AHB-ошибку.



1. BANK[1:0] – это биты адреса банка BA[1:0]. Если используется только 2 внутренних банка, BA1 всегда должен быть установлен в «0».
2. Доступ к резервному адресному диапазону генерирует AHB-ошибку.
3. BM0: это маска байта для 16-битного доступа.





1. BANK[1:0] – это биты адреса банка BA[1:0]. Если используется только 2 внутренних банка, BA1 всегда должен быть установлен в «0».
2. Доступ к резервному адресному диапазону генерирует AHB-ошибку.
3. BM[1:0]: это маска байта для 32-битного доступа.

**13.5 Контроллер NOR Flash/PSRAM.**

FMC генерирует сигналы в соответствии с таймингами для управления следующими типами микросхем памяти:

* Асинхронная SRAM или ROM
  + 8 бит
  + 16 бит
  + 32 бит
* PSRAM (CellularRAM)
  + Асинхронный режим
  + Burst режим для синхронных доступов
  + Мультиплексированный или не мультиплексированный
* NOR Flash память
  + Асинхронный режим
  + Burst режим для синхронных доступов
  + Мультиплексированный или не мультиплексированный

FMC выдает уникальный сигнал chip-select’а NE[4:1] на каждый банк. Все другие сигналы (адреса, данных и управления) являются общими.

FMC поддерживает широкий диапазон устройств посредством программируемых таймингов:

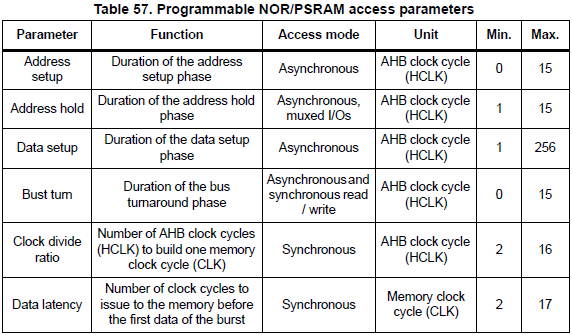
* Программируемые wait states (до 15)
* Программируемые циклы вращения шины (до 15)
* Программируемые задержки выдачи сигналов OE и WE (до 15)
* Независимые тайминги чтения и записи, и протоколы для поддержки широкого спектра микросхем памяти.
* Программируемый выход непрерывной тактовой частоты (FMC\_CLK).

Тактовый сигнал FMC (FMC\_CLK) является кратным тактовой частоте HCLK. Он может быть доставлен во внешнее выбранное устройство либо во время только синхронных доступов, либо во время асинхронных и синхронных доступов, в зависимости от CCLKEN бита в регистре FMC\_BCR1:

* Если CCLKEN бит сброшен, FMC генерирует тактовый сигнал (CLK) только во время синхронных доступов (транзакций чтения/записи).
* Если CCLKEN бит установлен, FMC генерирует непрерывный тактовый сигнал во время как асинхронных, так и синхронных доступов. Для генерации непрерывной частоты FMC\_CLK, Банк 1 должен быть сконфигурирован в синхронный режим (см. раздел 13.5.6 регистры NOR/PSRAM контроллера). Так как тот же самый тактовый сигнал используется для всех микросхем синхронной памяти, то когда генерируется непрерывный тактовый сигнал и выполняется синхронный доступ, размер данных AHB должен быть таким же как у шины данных памяти (MWID), иначе FMC\_CLK частота будет изменяться в зависимости от транзакции данных AHB (обратитесь к разделу 13.5.5: синхронные транзакции чтобы узнать формулу деления для FMC\_CLK).

Размер каждого банка фиксирован и равен 64Мб. Каждый банк конфигурируется посредством выделенных для каждого банка регистров.

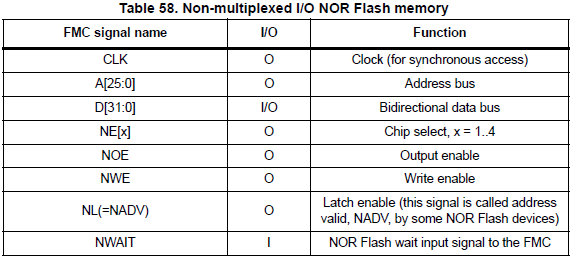
Программируемые параметры памяти включают времена доступа (см. таблицу 57) и поддержку управления ожиданиями (для PSRAM и NOR Flash доступов а режиме Burst).



**13.5.1 Сигналы интерфейса внешней памяти.**

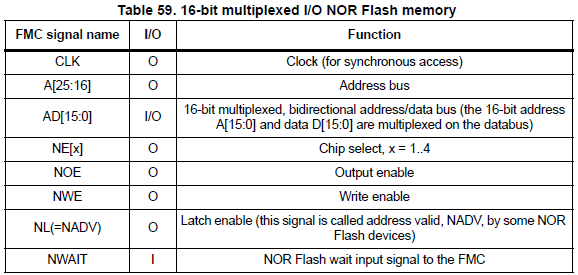
В Таблицах 58, 59 и 60 перечислены сигналы, которые обычно используются для взаимодействия с NOR Flash памятью, SRAM и PSRAM.

NOR Flash память, не мультиплексированный ввод/вывод:



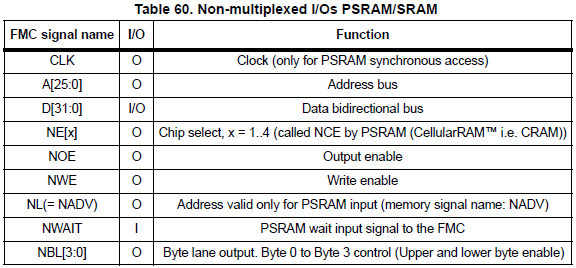
Максимальная емкость составляет 512Мбит (26 адресных линий).

NOR Flash память, 16-битный мультиплексированный ввод/вывод:



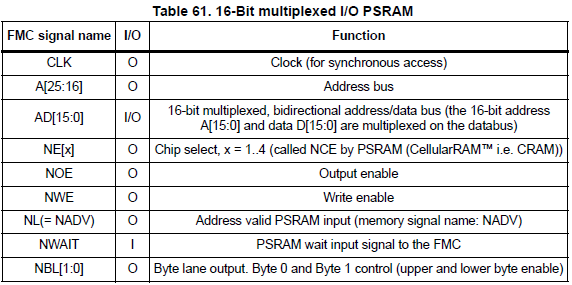
Максимальная емкость составляет 512Мбит.

PSRAM/SRAM, не мультиплексированный ввод/вывод:



Максимальная емкость составляет 512Мбит.

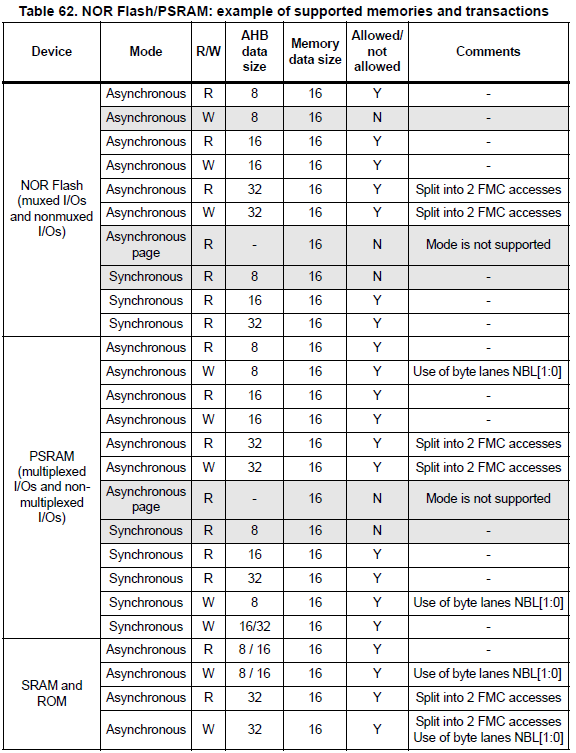
PSRAM, 16-битный мультиплексированный ввод/вывод:



Максимальная емкость составляет 512Мбит (26 адресных линий).

**13.5.2 Поддерживаемые типы памяти и транзакции.**

Таблица 62 ниже показывает примеры поддерживаемых устройств, режимов доступа и транзакций при 16-ти битной ширине шины данных NOR Flash памяти, PSRAM и SRAM. Не поддерживаемые транзакции выделены серым цветом.



**13.5.3 Общие правила таймингов.**

Синхронизация сигналов:

* Все выходные сигналы контроллера изменяются по нарастающему фронту внутренней частоты HCLK
* В синхронном режиме (чтения или записи), все выходные сигналы изменяются по нарастающему фронту HCLK. Независимо от значения CLKDIV, все выходы изменяются следующим образом:
  + NOEL/NWEL/NEL/NADVL/NADVH/NBLL/Валидные выходы адреса изменяются по спадающему фронту FMC\_CLK.
  + NOEH/NWEH/NEH/NBLH/Невалидные выходы адреса изменяются по нарастающему фронту FMC\_CLK.

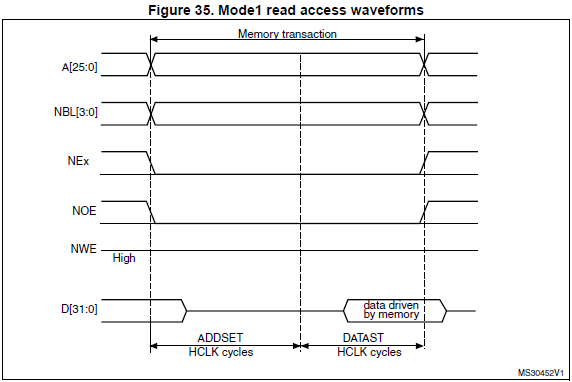
**13.5.4 асинхронные транзакции NOR Flash/PSRAM.**

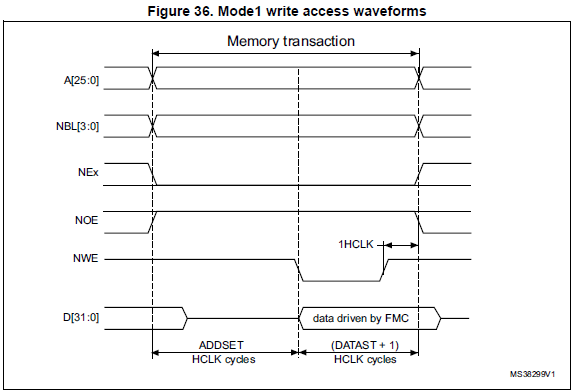
Асинхронная статическая память (NOR Flash, PSRAM, SRAM).

* Сигналы синхронизированы с внутренней частотой HCLK. Эта частота не выдается в память.
* FMC всегда захватывает данные перед снятием сигнала NOE. Это гарантирует что требование времени удержания данных будет выполнено (минимальное время между высоким уровнем сигнала chip enable и моментом изменения данных – обычно 0нс).
* Если разрешен расширенный режим (установлен бит EXTMOD в регистре FMC\_BCRx), доступны до 4ех расширенных режимов (A, B, C и D). Возможно смешивание режимов A, B, C и D для операций чтения и записи. Например, операция чтения может быть выполнена в режиме A, а записи в режиме B.
* Если расширенный режим запрещен (бит EXTMOD сброшен в регистре FMC\_BCRx), FMC может работать в режиме 1 или режиме 2 следующим образом:
  + Режим 1 – это режим по умолчанию, когда выбран тип памяти SRAM/PSRAM (MTYP = 0x0 или 0x1 в регистре FMC\_BCRx).
  + Режим 2 – это режим по умолчанию, когда выбран тип памяти NOR Flash (MTYP = 0x10 в регистре FMC\_BCRx).

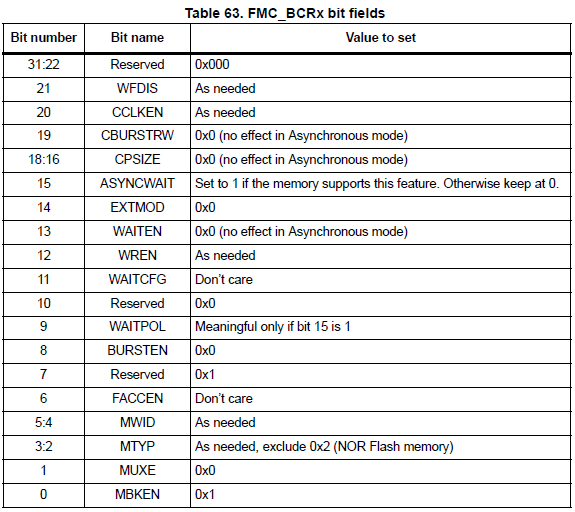
Режим 1 – SRAM/PSRAM (CRAM):

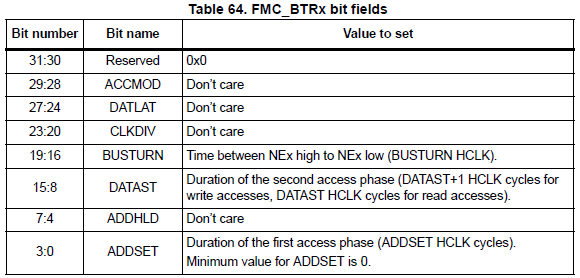
Следующие рисунки показывают транзакции чтения и записи для поддерживаемых режимов, за которыми приведены требуемые настройки регистров FMC\_BCRx, FMC\_BTRx/FMC\_BWREx.





1 HCLK цикл в конце транзакции записи помогает гарантированно выдерживать времена адресации и удержания данных после нарастающего фронта NWE. Из-за присутствия данного цикла, DATAST значение должно быть больше нуля (DATAST > 0).





NB: настройка контроллера для работы с микросхемой памяти IS61WV204816ALL/BLL с заявленным временем доступа 10нс.

Режимы работы микросхемы SRAM:

**Режим записи**.

Операция записи выполняется с сигналами CS# и WE# выставленными в низкий уровень. Выводы данных (I/O0-I/O15) находятся в режиме входа. Выходные буферы закрыты в это время, даже если OE# имеет низкий уровень. UB# и LB# дают возможность записи байтов. При низком уровне на LB# данные с выводов I/O0 – I/O7 будут записаны в локацию, заданную адресными пинами. При низком уровне на UB#, данные с выводов I/O8 – I/O15 будут записаны в локацию.

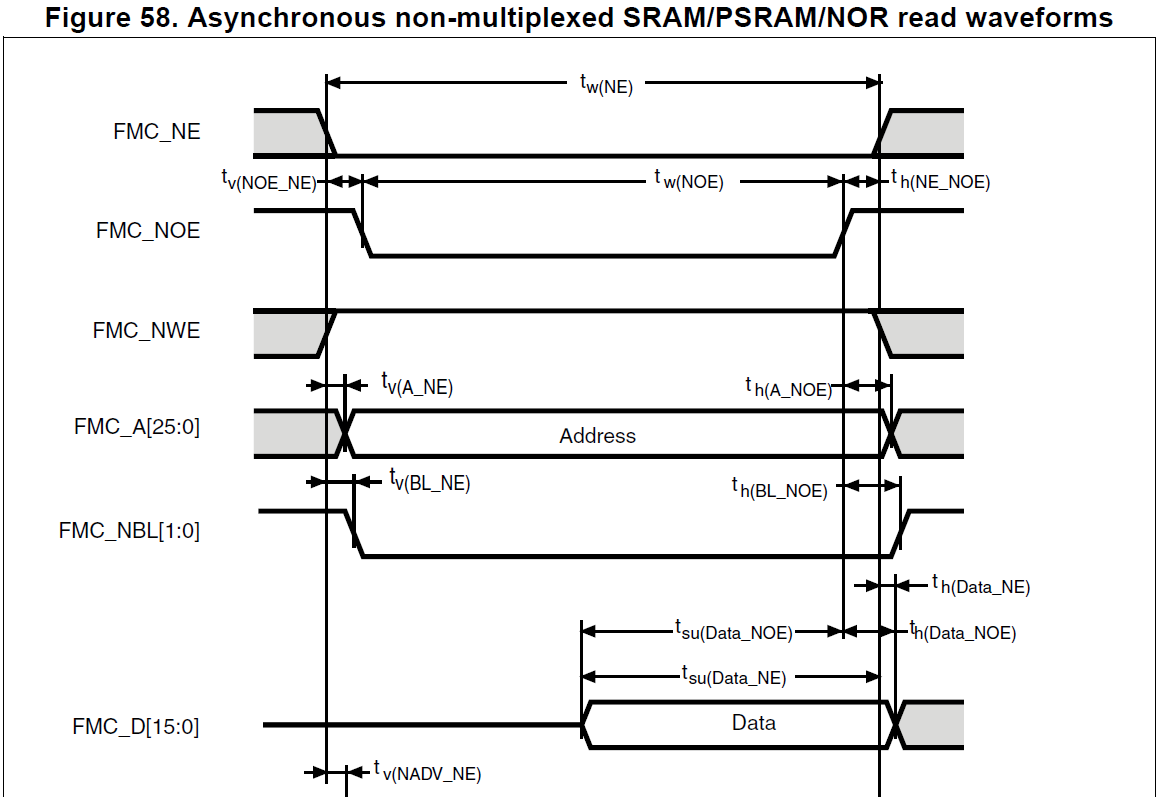
**Режим чтения**.

Операция чтения выполняется с сигналом CS# выставленным в низкий уровень и сигналом WE# выставленным в высокий уровень. Когда OE# имеет низкий уровень, выходные буферы включаются чтобы настроить шину данных на выход. Любой ввод на пины I/O во время режима чтения не допускается. UB# и LB# дают возможность читывать байт. При низком уровне на выводе LB# данные появляются на выводах I/O0 – I/O7. При низком уровне на выводе UB# данные появляются на выводах I/O8 – I/O15.

В режиме чтения выходные буферы могут быть выключены подтягиванием OE# к высокому уровню. В этом режиме устройство работает на чтение, но I/O выводы находятся в третьем состоянии. И так как устройство работает в режиме чтения, оно потребляет активный ток.

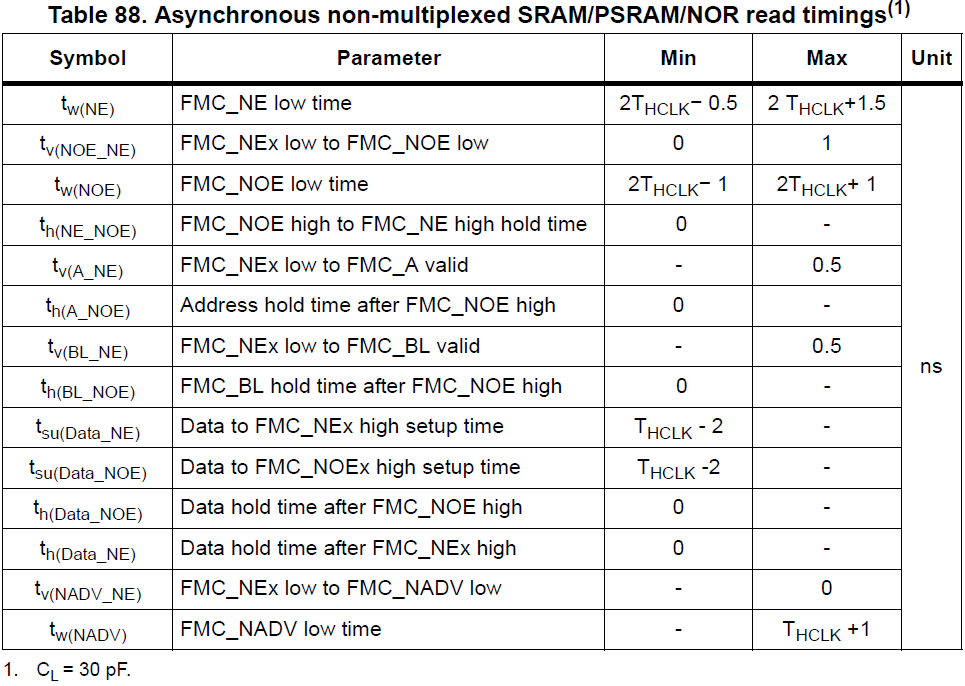
NB: таким образом, фактическое направление шины определяет сигнал разрешения записи WE#.

Рассмотрим диаграмму транзакции чтения из datasheet на микроконтроллер.



*,*

*.*



Выводы.

Режим чтения:

Данные защелкиваются в FMC перед съемом сигнала NOE, который гарантированно снимается раньше NE. Согласно datasheet на микроконтроллер этот интервал может быть 9.5нс (при тактовой частоте 200МГц). Согласно datasheet на микросхему памяти, данные появляются спустя не более 10нс с момента появления сигнала CS# aka NE. Теоретически, FMC может защелкнуть данные раньше, чем их выставит микросхема, поэтому данный режим чтения небезопасен.

Скорость обращения при чтении составит 100МГц.

Скорость обращения при записи составит 50МГц.

Если поднять частоту HCLK до 216МГц, и увеличить фазу данных на 1 цикл, получим интервал NE равный 13.9нс, при этом данные будут защелкиваться надежно.

Скорость обращения при чтении составит 72МГц.

Скорость обращения при записи составит 54МГц.

Основываясь на соображениях надежности в ущерб производительности, выбираем второй режим, для которого ADDSET = 1, DATAST=2 как для записи, так и для чтения.