



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

**ОТЧЕТ**

по лабораторной работе № 2

**Тема:** Исследование дешифраторов

**Дисциплина:** Архитектура ЭВМ

Студент

ИУ7-43Б

(Группа)

28.02.2021

(Подпись, дата)

И.А. Цветков

(И.О. Фамилия)

Преподаватель

А.Ю. Попов

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

**Цель работы:** изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов

**Дешифратор** - комбинационный узел с  $n$  входами и  $N$  выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору

Количество выходов дешифратора равно числу разрешенных наборов входных сигналов. В дешифраторе с  $n$  входами и  $N$  выходами  $n \leq N \leq 2^n$ . Дешифратор, имеющий  $2^n$  выходов, называется полным, при меньшем числе выходов - неполным. Наборам двоичных входных сигналов дешифратора можно поставить в соответствие  $n$ -разрядные двоичные числа.

## 1) Исследование линейного двухвходового дешифратора с инверсными выходами:

а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов  $A(0)$ ,  $A(1)$ , задать в выходов  $Q(0)$ ,  $Q(1)$ , четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

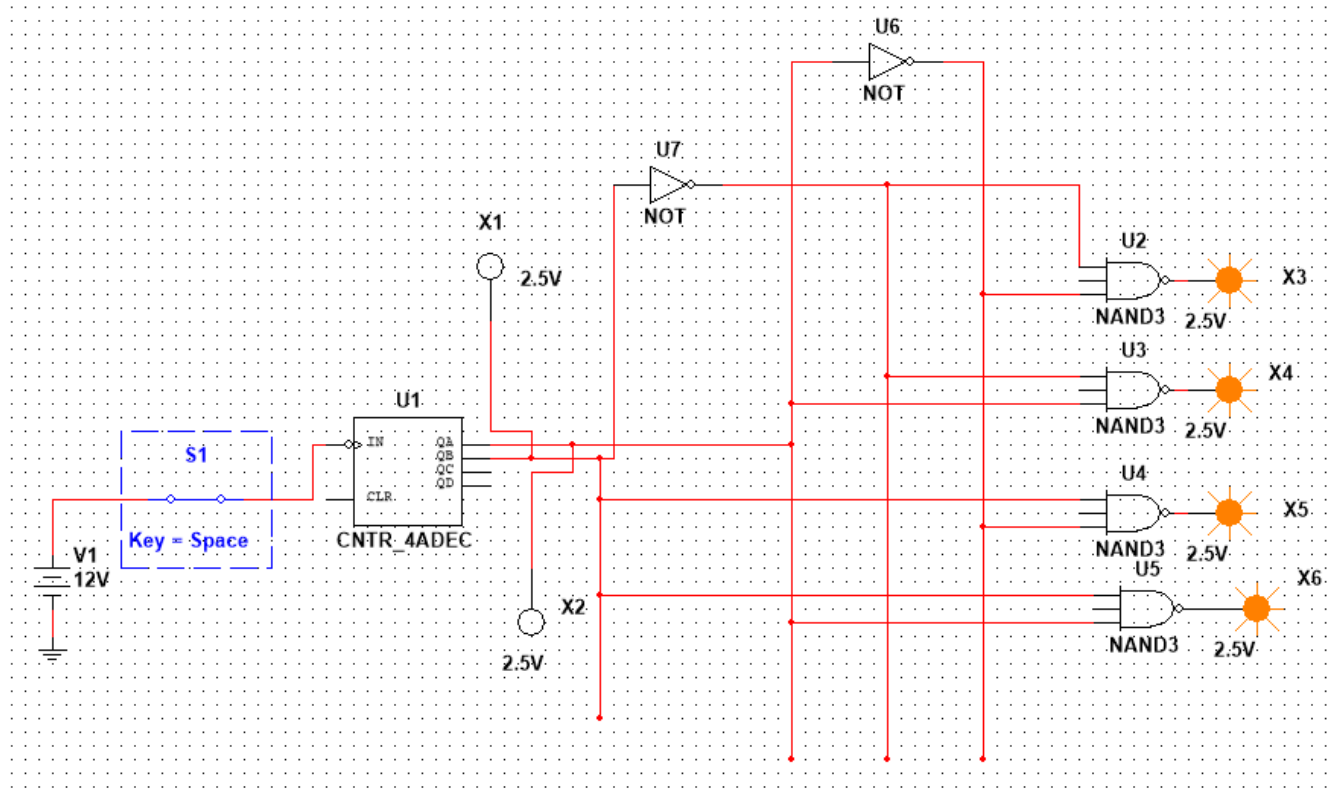



рис 1. Схема линейного стробирующего дешифратора на элементах ЗИ-НЕ

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при  $EN=1$ );

E	A1	A2	F1	F2	F3	F4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Таблица 1. Таблица истинности для стробирующего дешифратора

в) подать на вход счетчика сигнала генератора  и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

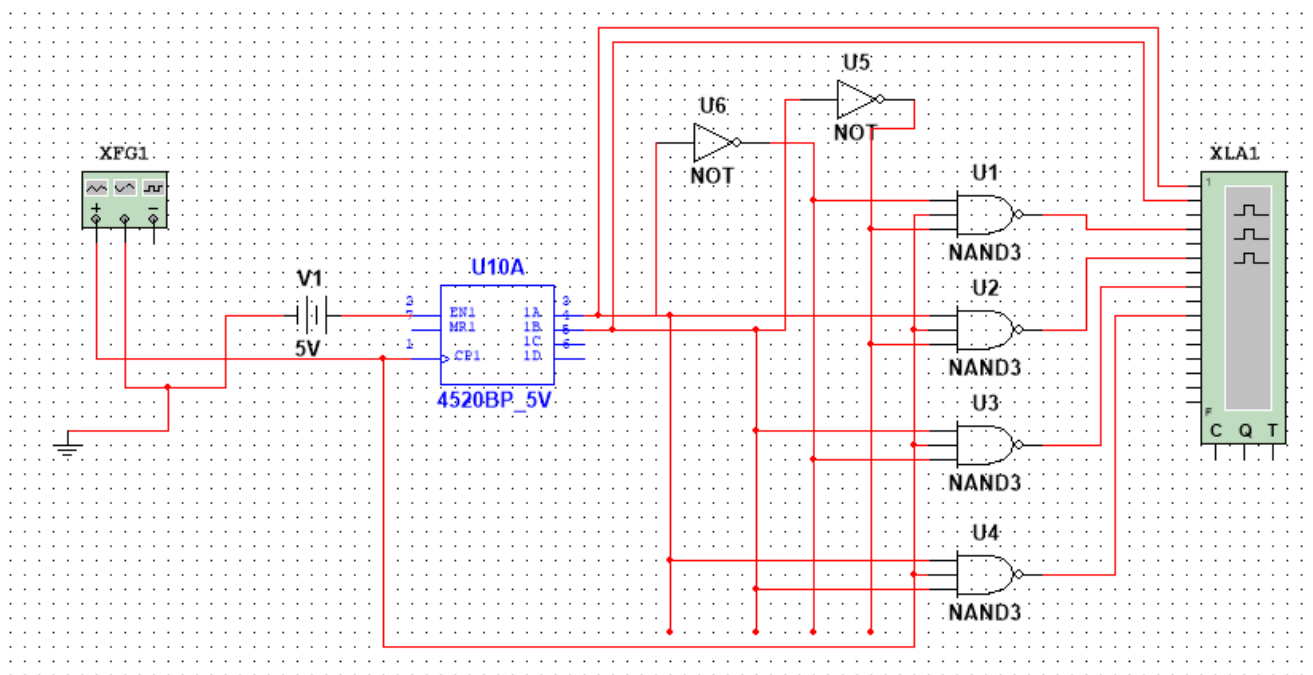


рис 2. Схема линейного стробирующего дешифратора на элементах 3И-НЕ  
(на вход подаются сигналы с генераторов)

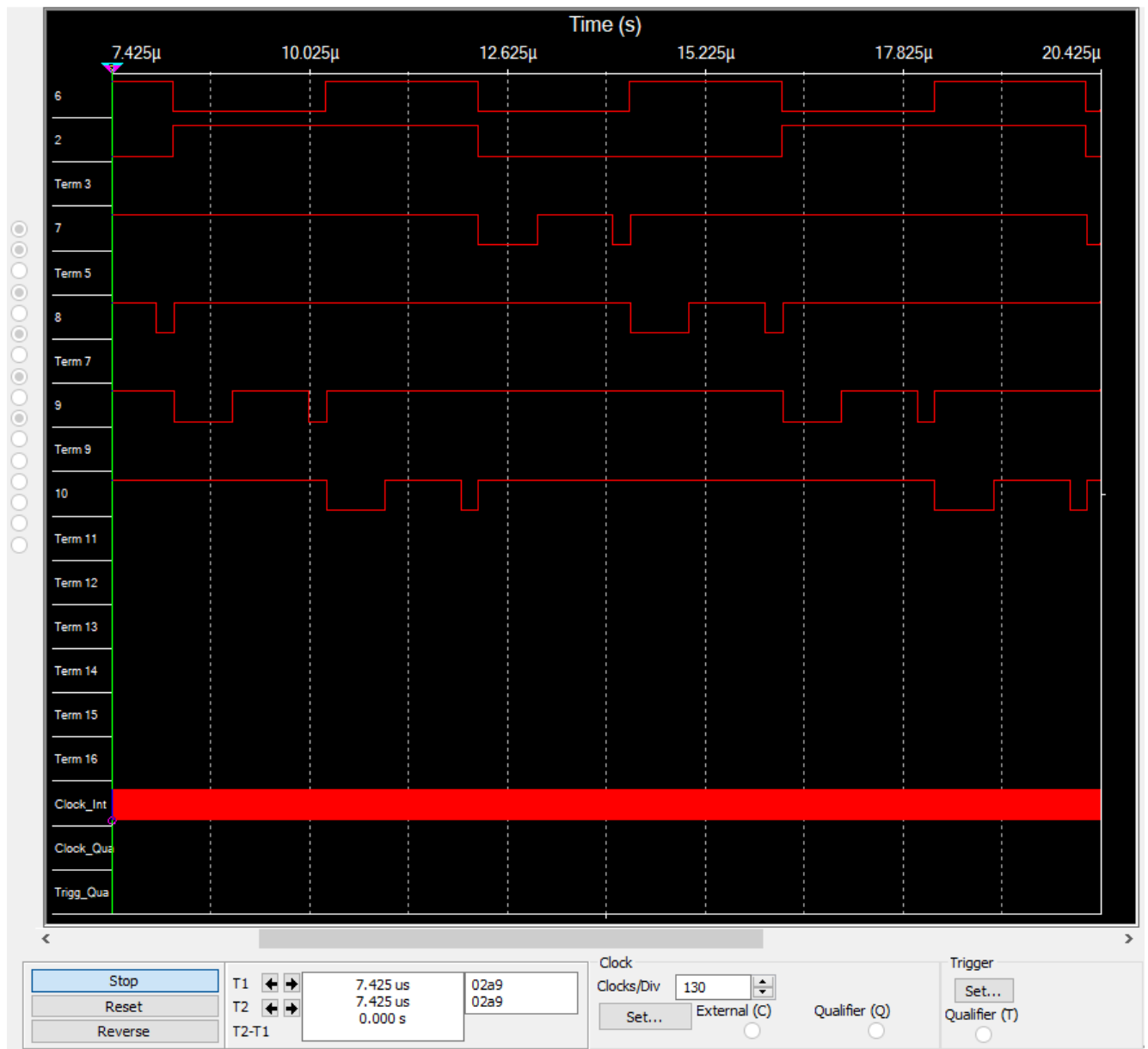



рис 3. Временная диаграмма дешифратора с гонкой сигналов

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;



рис 4. Длительность помех дешифратора при гонке сигналов

Как видно, длительность равна 220 наносекундам

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора , задержанный линией задержки логических элементов (повторителей и инверторов);

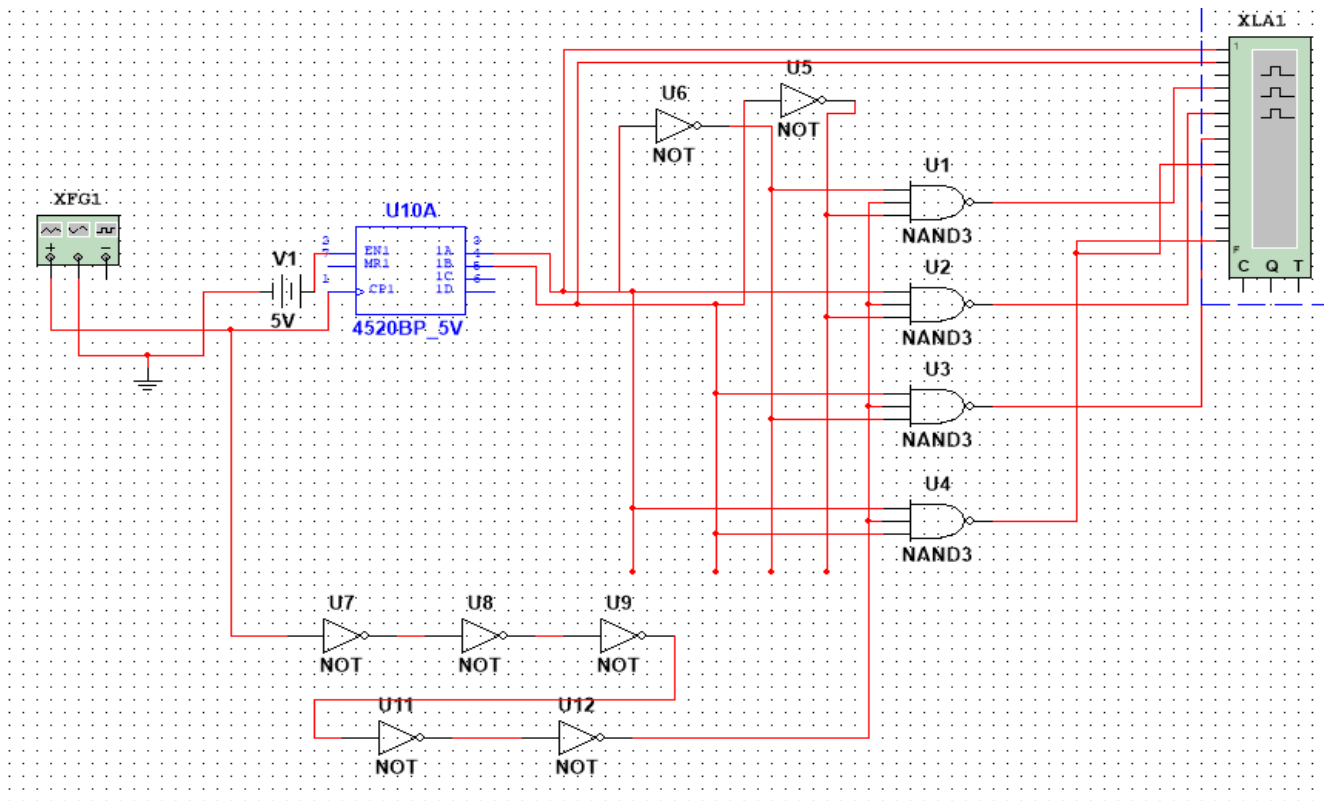


рис 5. Схема дешифратора с исправлением гонок сигналов

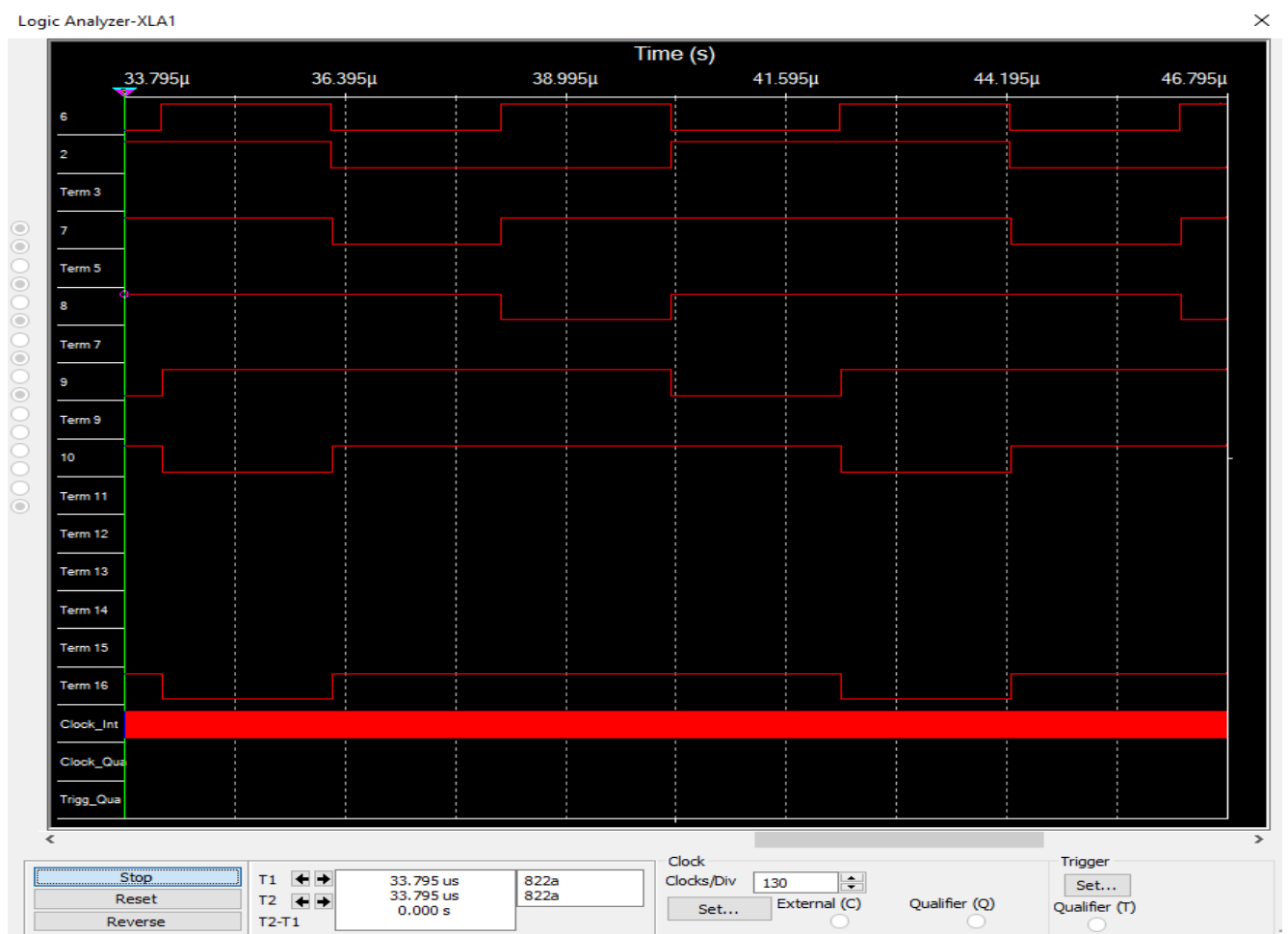


рис 6. Временная диаграмма с исправленной гонкой сигналов

е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками

Поскольку время задержки логического элемента НЕ равно около 2 наносекундам, то нужно не менее 4 наносекунд

## 2) Исследование дешифратора ИС К155ИД4 (74LS155):

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q(0) и Q(1) выходов счетчика, а на стробирующие входы  $\overline{E}_3$  и  $\overline{E}_4$  – импульсы генератора, задержанные линией задержки

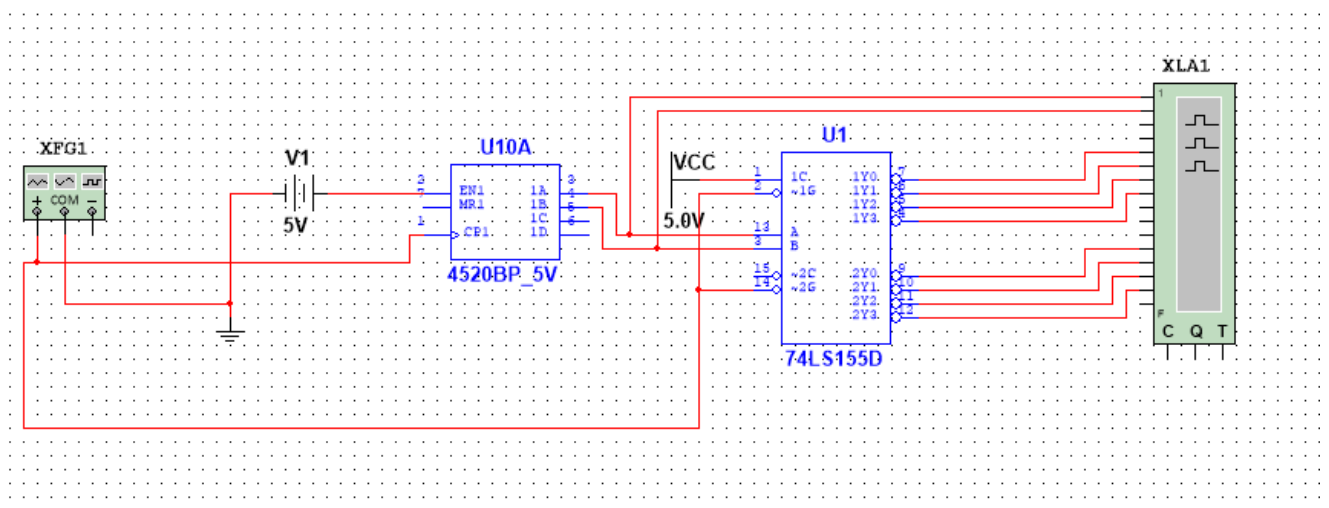


рис 7. Схема дешифратора 74LS155



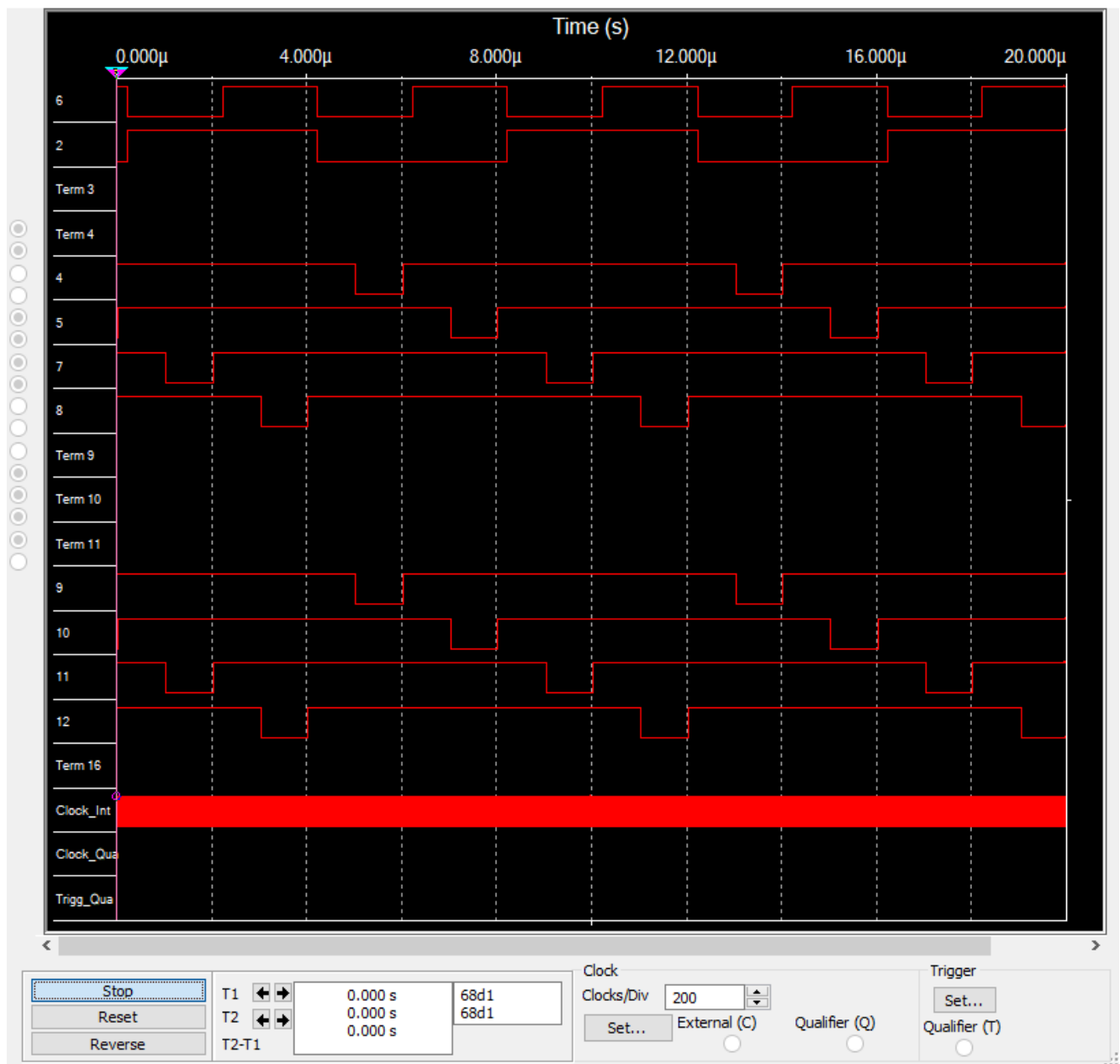


рис 8. Временная диаграмма дешифратора 74LS155

Добавим линию задержки сигнала, тогда получится схема

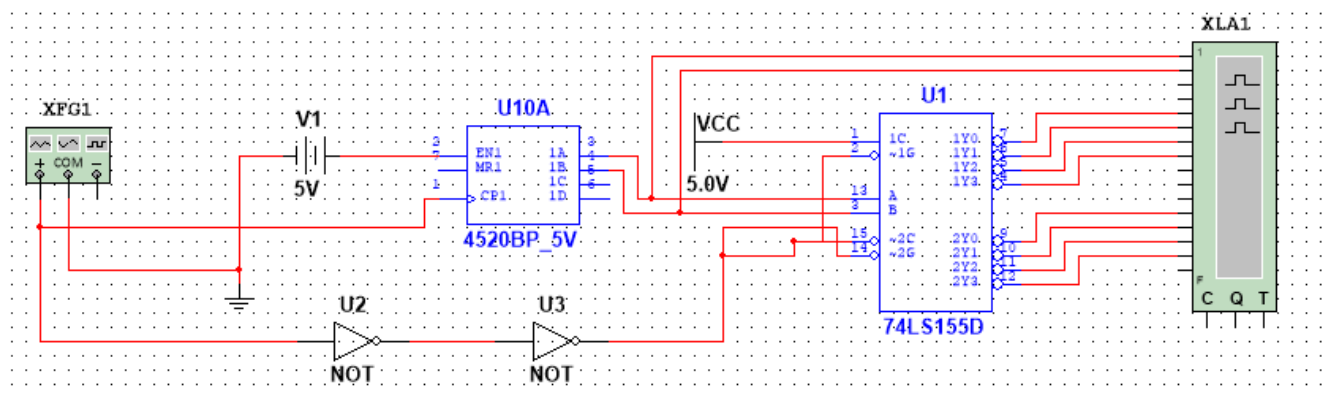


рис 9. Схема дешифратора с линией задержки сигнала

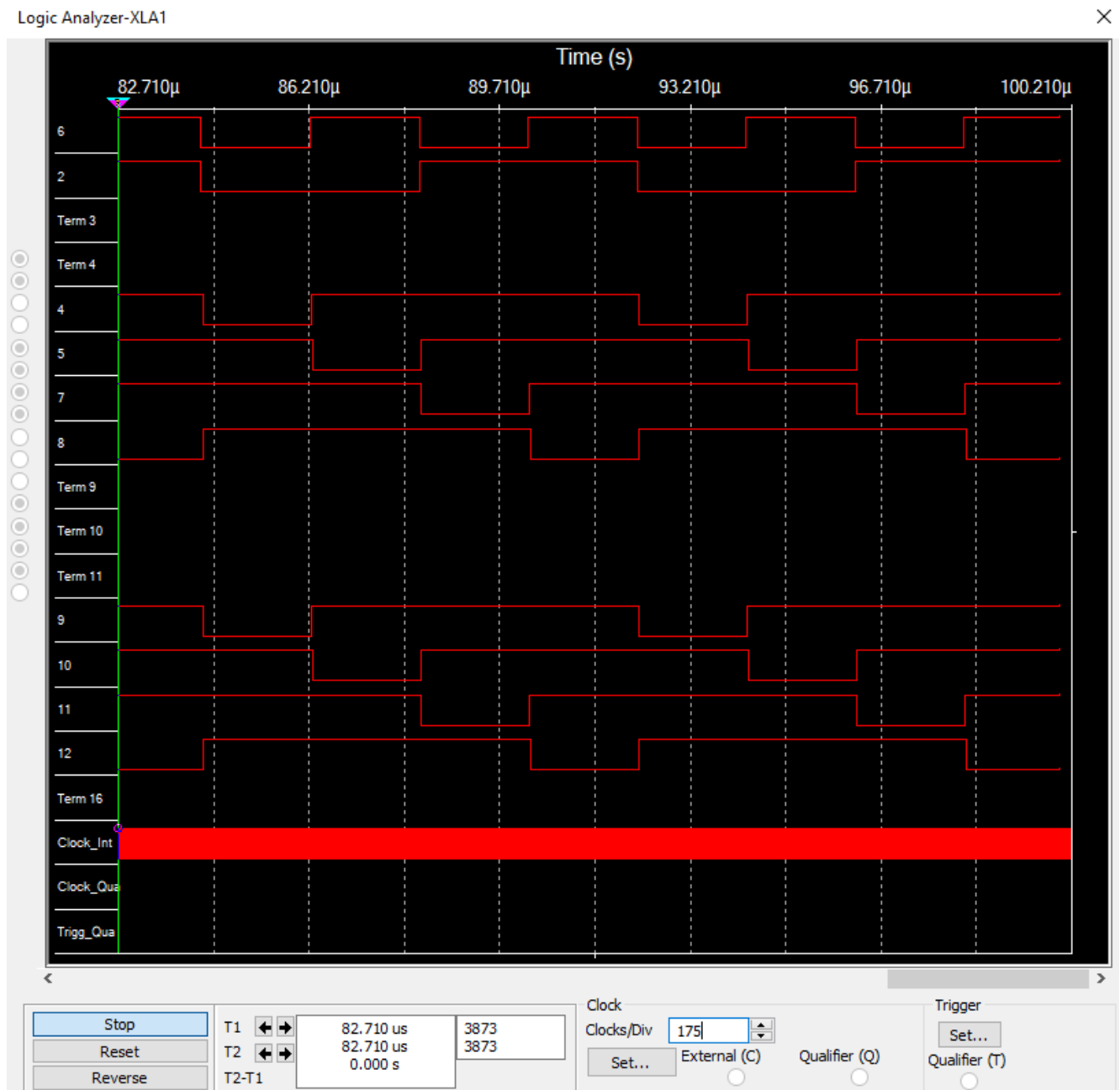


рис 10. Временная диаграмма дешифратора с линией задержки сигнала

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора

Для задержки нужно примерно 4 наносекунды, для этого нужно 2 логических элемента НЕ

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы  $A_0, A_1, A_2$ , с выходов  $Q_0, Q_1, Q_2$ , счетчика;

снять временные диаграммы сигналов дешифратора и составить по ней таблицу ИСТИННОСТИ

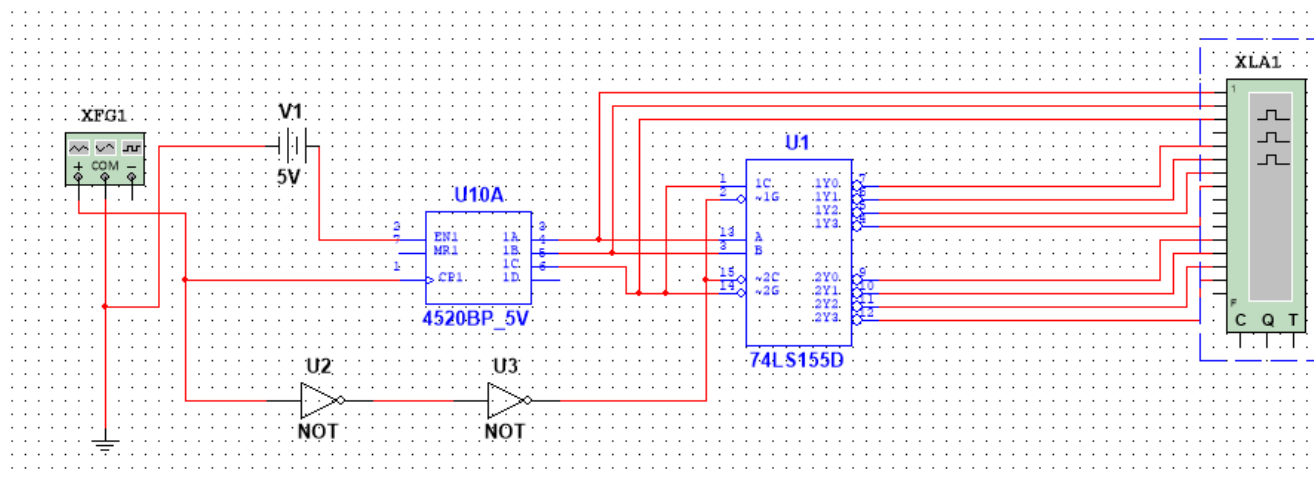


рис 11. Схема трехвходного дешифратора

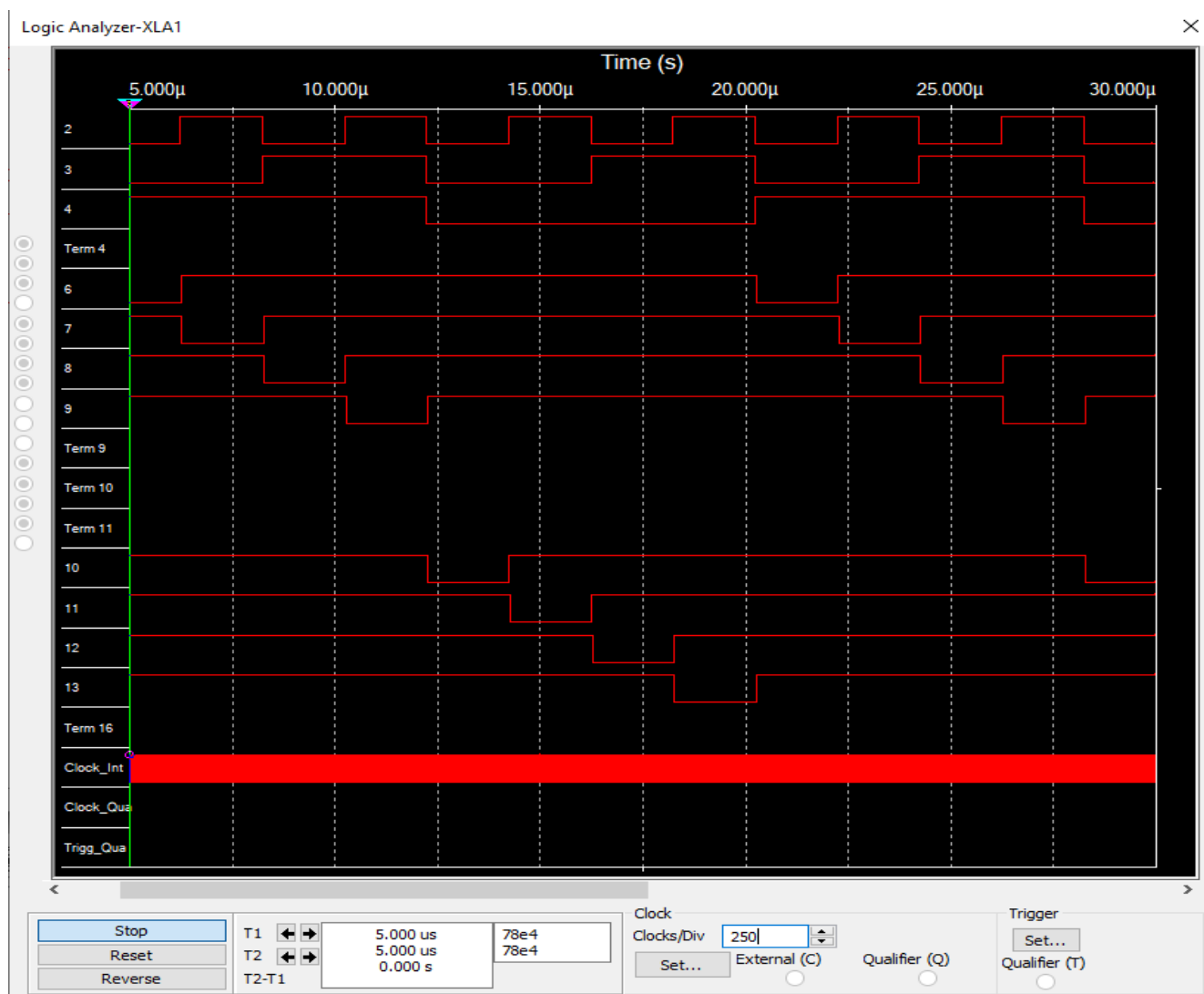


рис 12. Временная диаграмма трехвходного дешифратора

Тогда получим таблицу истинности:

A(0)	A(1)	A(2)	F(0)	F(1)	F(2)	F(3)	F(4)	F(5)	F(6)	F(7)
0	0	0	1	1	1	1	0	1	1	1
0	0	1	1	1	1	1	1	0	1	1
0	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1
1	1	0	1	1	0	1	1	1	1	1
1	1	1	1	1	1	0	1	1	1	1

Таблица 2. Таблица истинности трехвходного дешифратора

### 3) Исследование дешифраторов ИС КР531ИД14 (74LS139) (как в п.2)

ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции  $\overline{EN}_1 \cdot \overline{EN}_2$ , ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

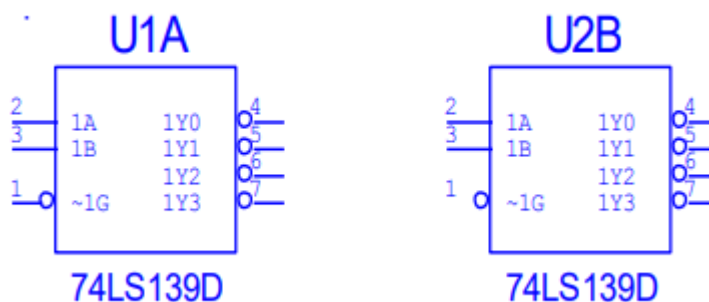


рис 13. Дешифраторы, входящие в ИС 74LS139

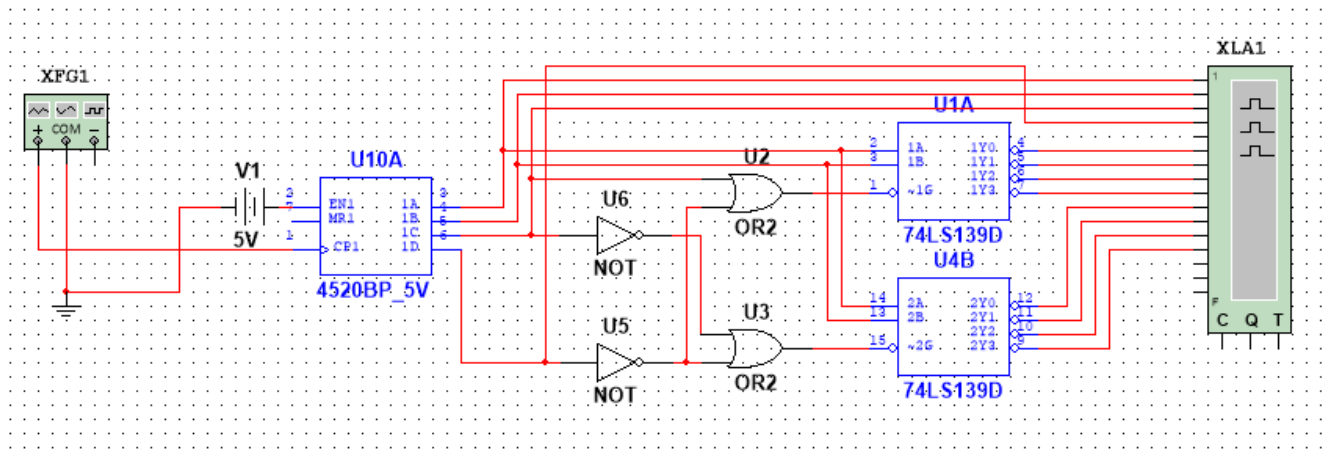


рис 14. Схема дешифратора 74LS139

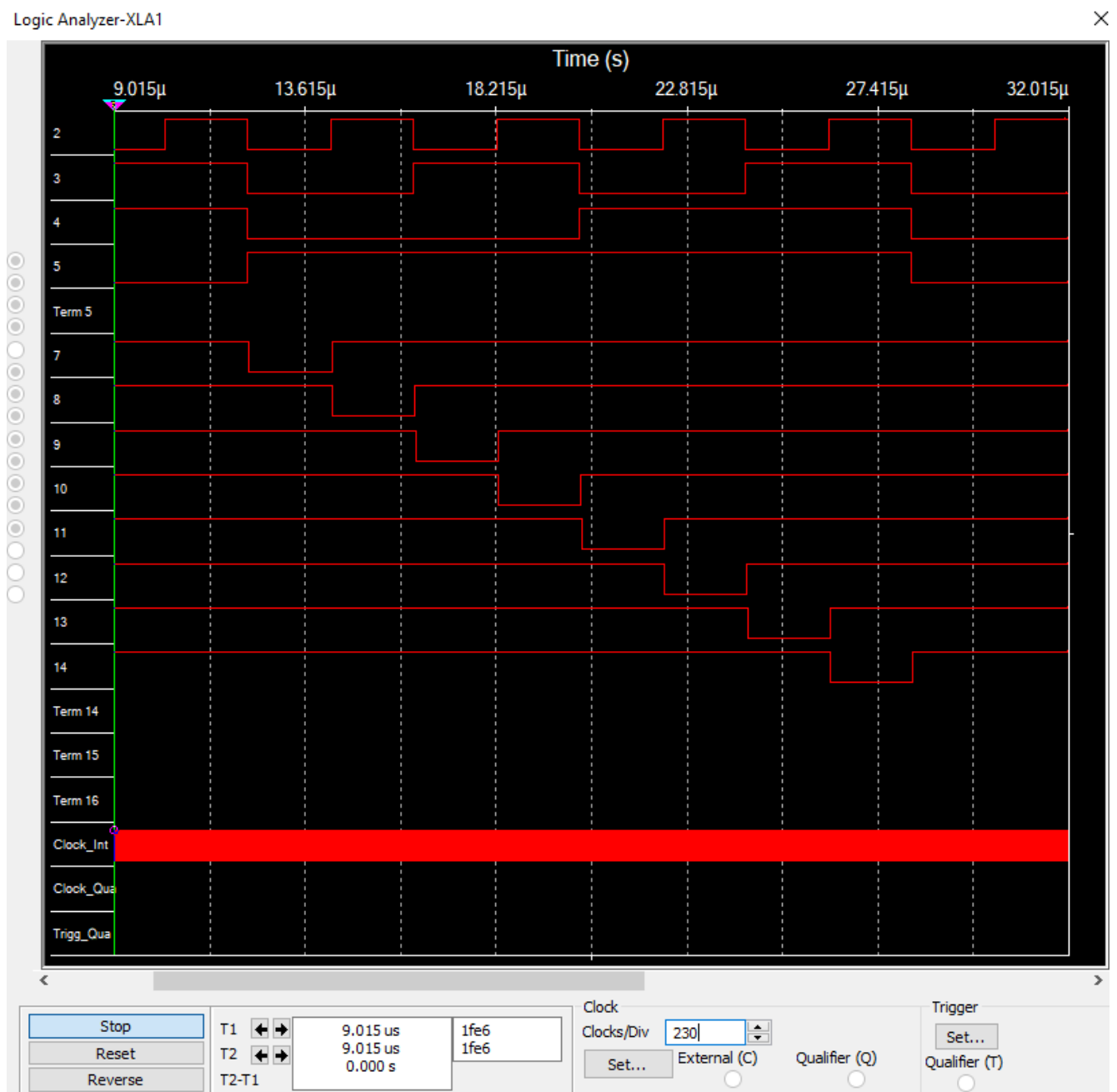


рис 15. Временная диаграмма дешифратора 74LS139

EN	A(0)	A(1)	A(2)	F(0)	F(1)	F(2)	F(3)	F(4)	F(5)	F(6)	F(7)
0	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1
1	0	1	0	1	1	0	1	1	1	1	1
1	0	1	1	1	1	1	0	1	1	1	1
1	1	0	0	1	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	0

Таблица 3. Таблица истинности дешифратора 74LS139

**4) Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138 – см. U3 на рис. ниже)**

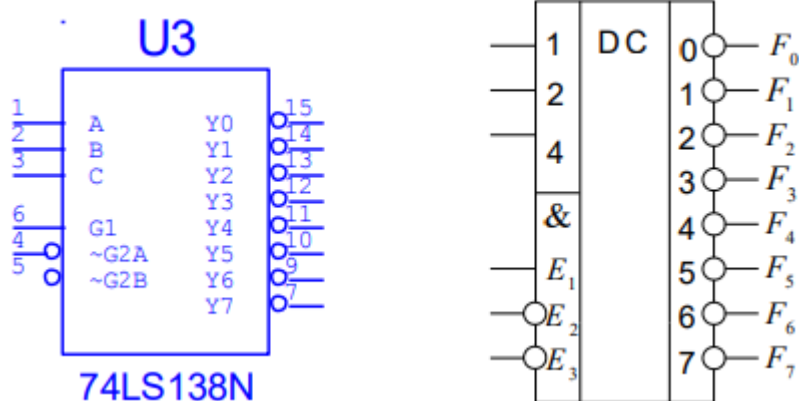


рис 16. Дешифратор 74LS138

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы  $Q_0, Q_1, Q_2$ , с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно

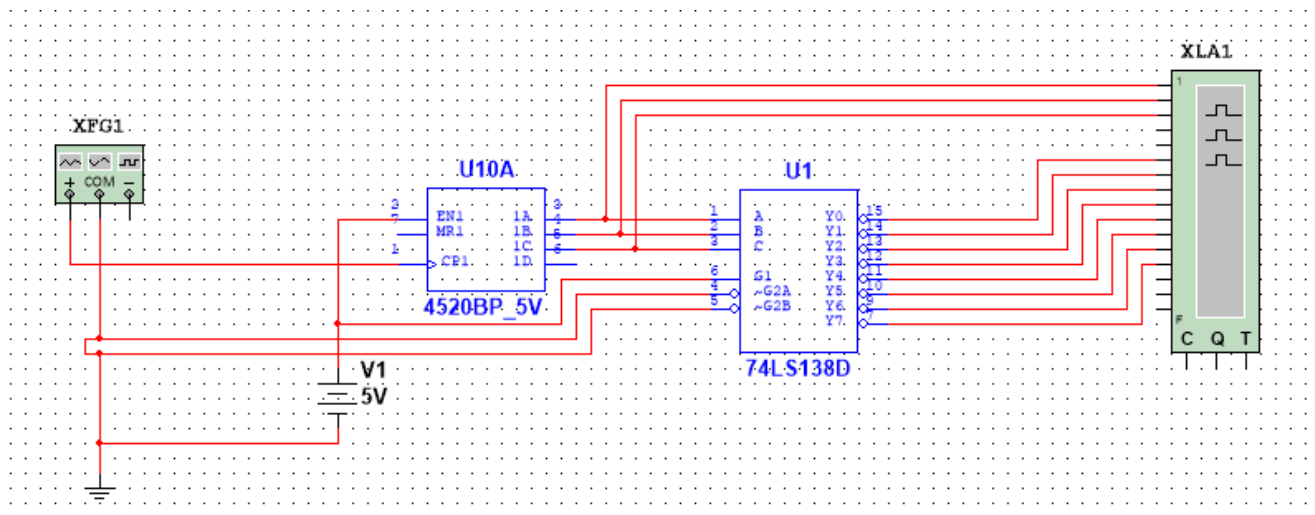


рис 17. Схема дешифратора DC 3-8 ИС 533ИД7

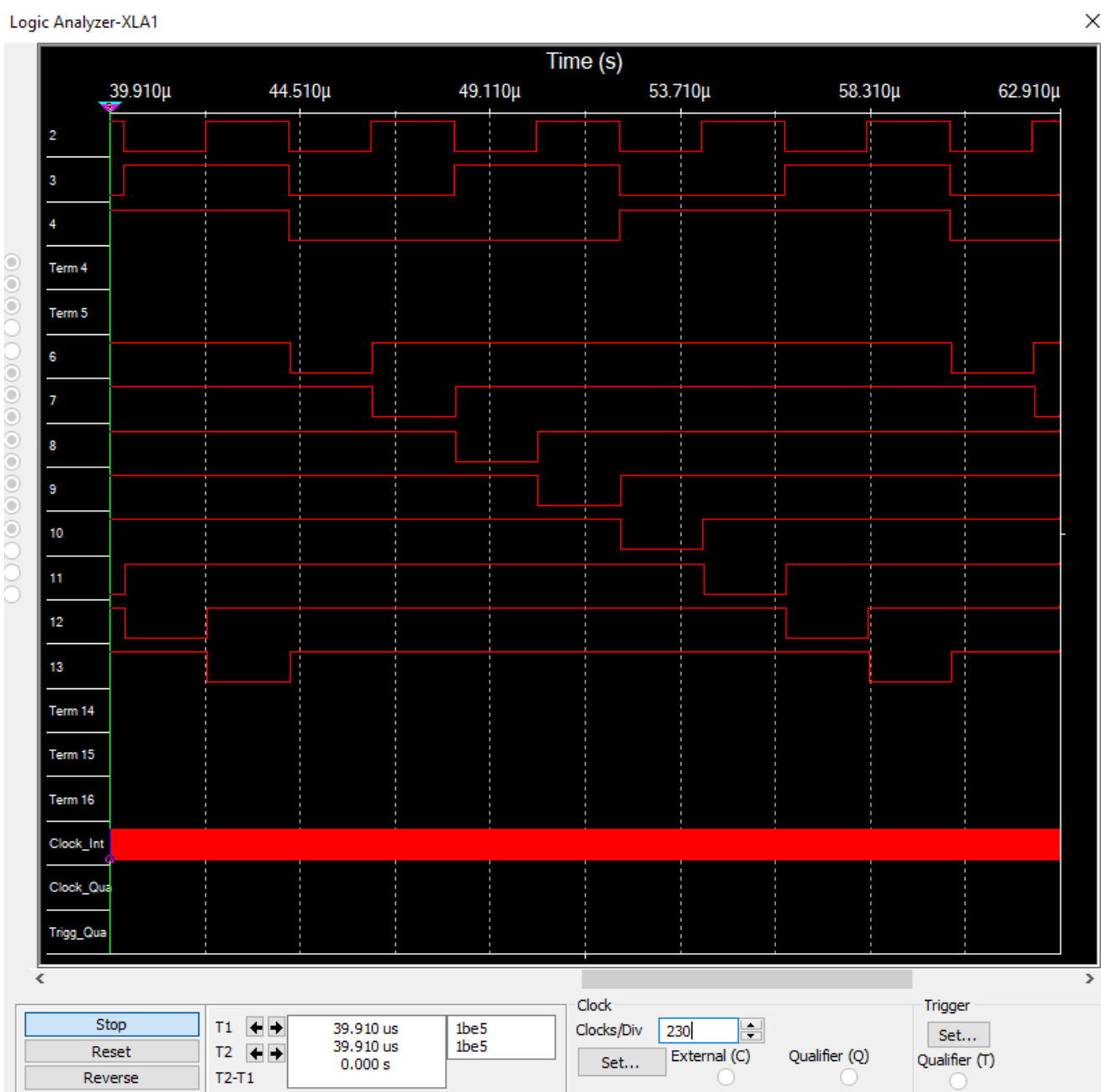



рис 18. Временная диаграмма дешифратора DC 3-8 ИС 533ИД7

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы  $Q(0), Q(1), Q(2), Q(3), Q(4)$  с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета

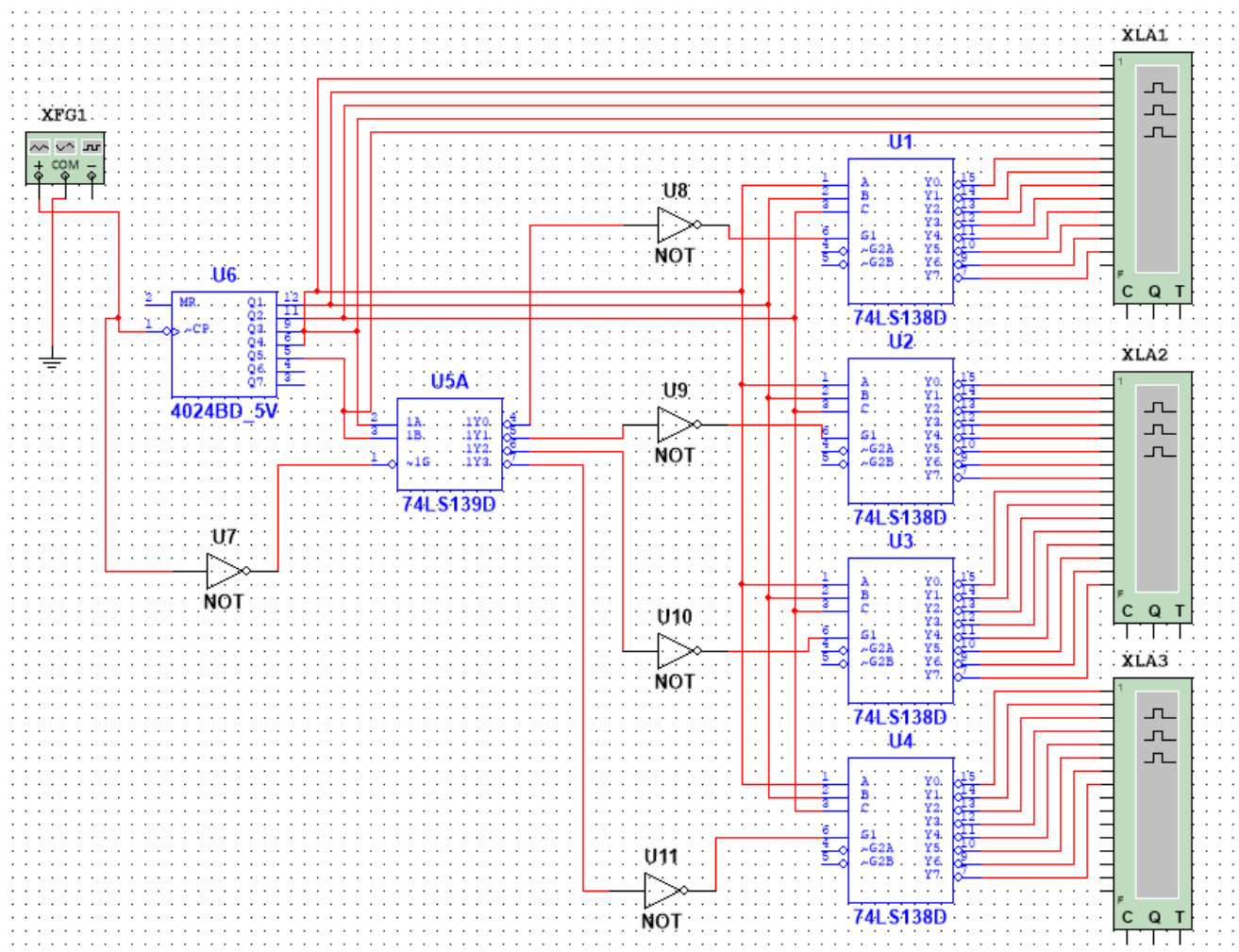


рис 19. Схема дешифратора DC 5-32



Тогда имеем такие временные диаграммы

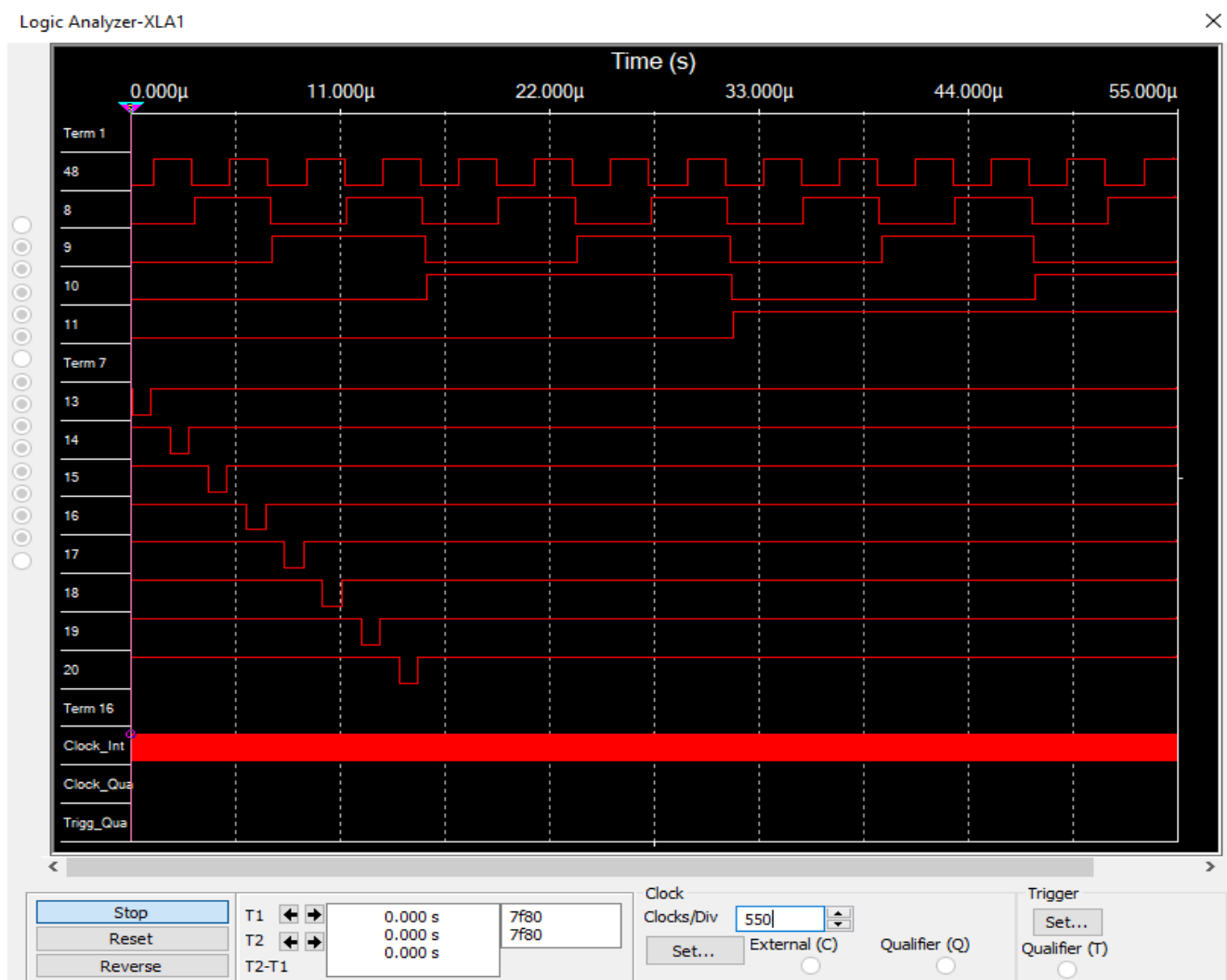


рис 20. Временная диаграмма дешифратора DC 5-32 (первые 8 сигналов)

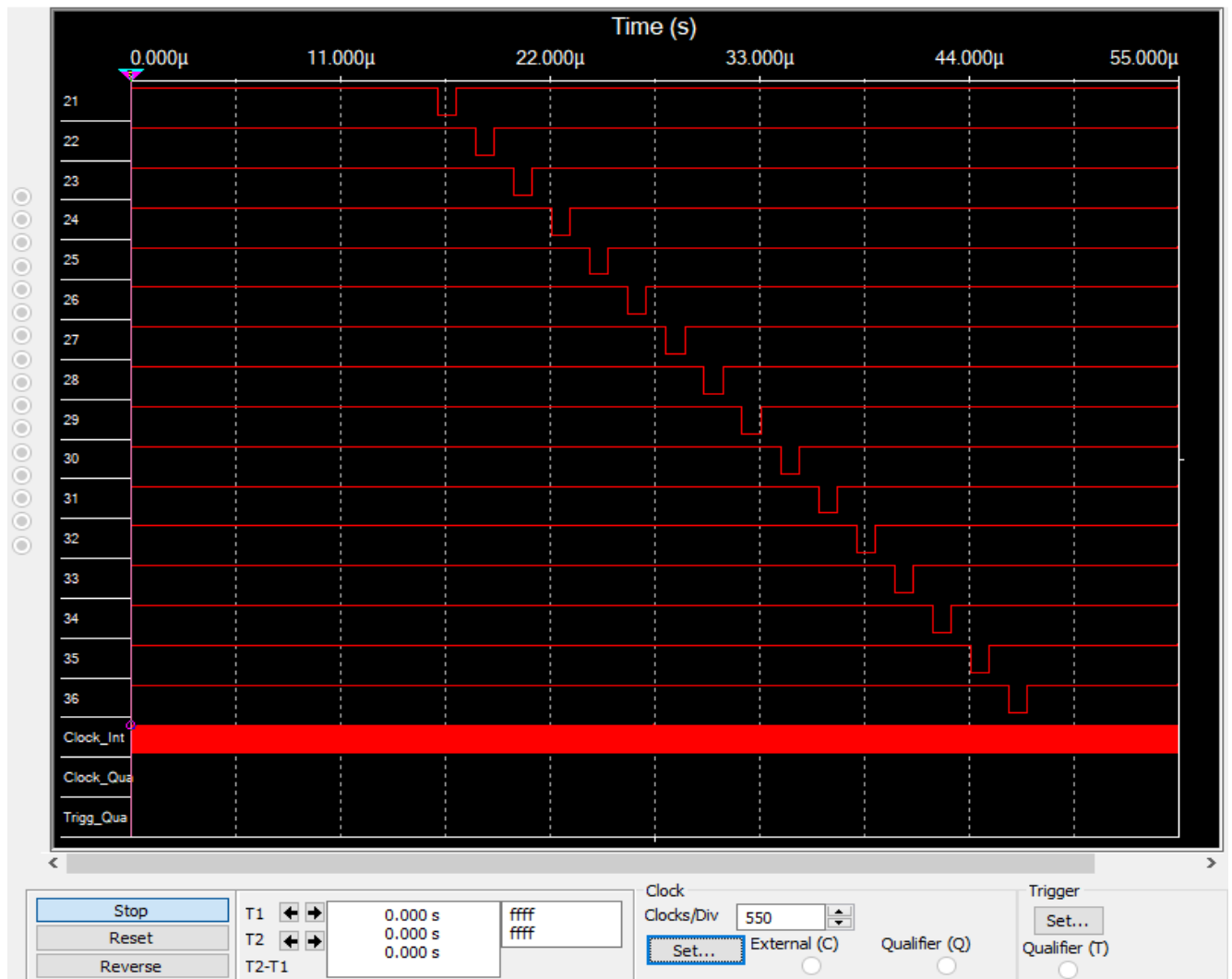


рис 21. Временная диаграмма дешифратора DC 5-32 (сигналы 9-24)

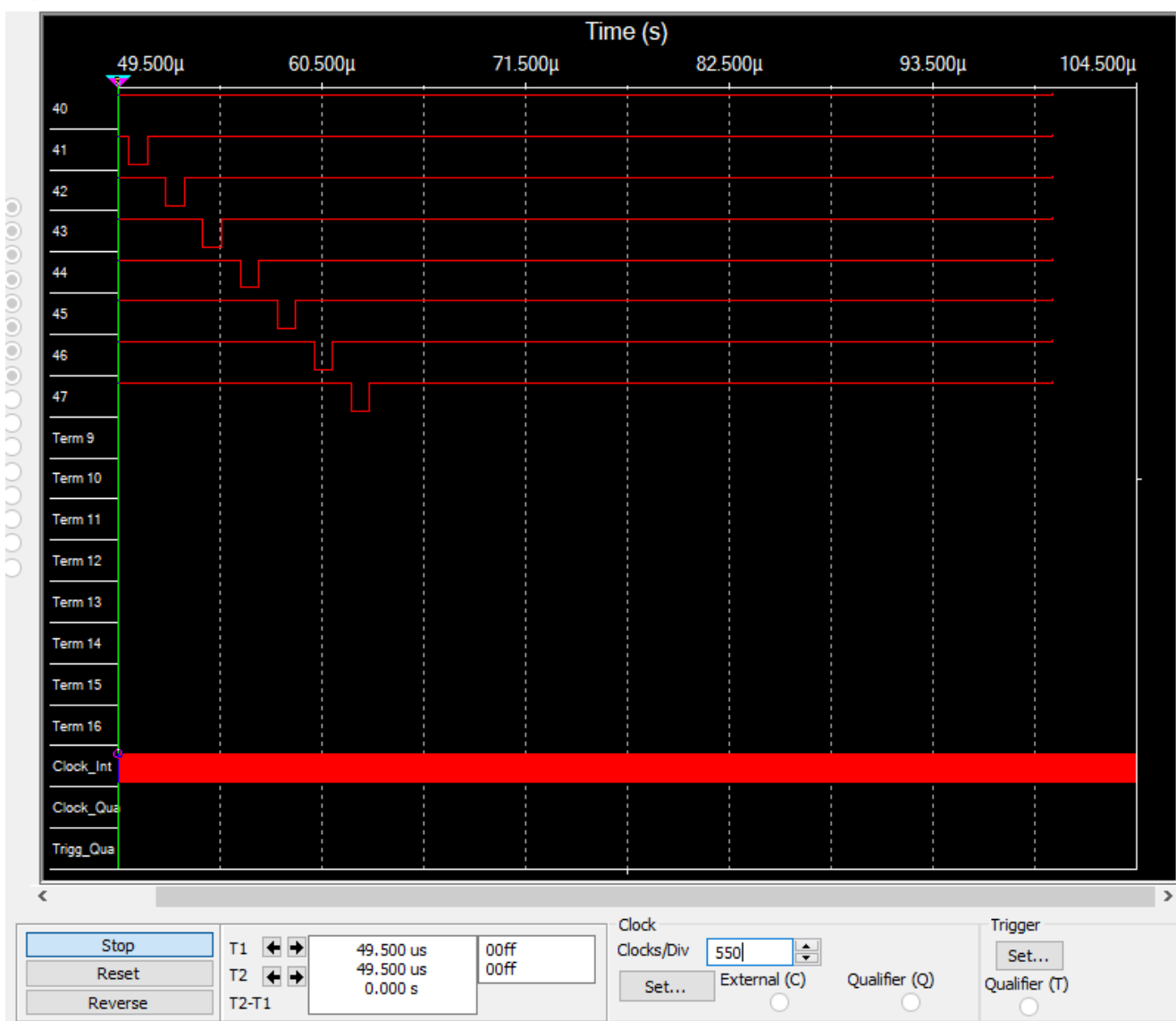


рис 22. Временная диаграмма дешифратора DC 5-32 (сигналы 25-32)

## Вывод

В ходе выполнения лабораторной работы были изучены принципы построения и методы исследования различных дешифраторов, проведено их экспериментальное исследование