



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ  
КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ  
ТЕХНОЛОГИИ (ИУ7)  
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

## ОТЧЕТ

По лабораторной работе № 4

Название: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-43Б

(Группа)

\_\_\_\_\_  
(Подпись, дата)

И.А. Цветков

(И.О. Фамилия)

Преподаватель

\_\_\_\_\_  
(Подпись, дата)

А. Ю. Попов

(И.О. Фамилия)

Москва, 2021

## Цель работы

Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

### 1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения  $U=5$  В и 0 В (общая);

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Составим схему по варианту 21 (рисунок 1). Вариант 21: 1100 1110

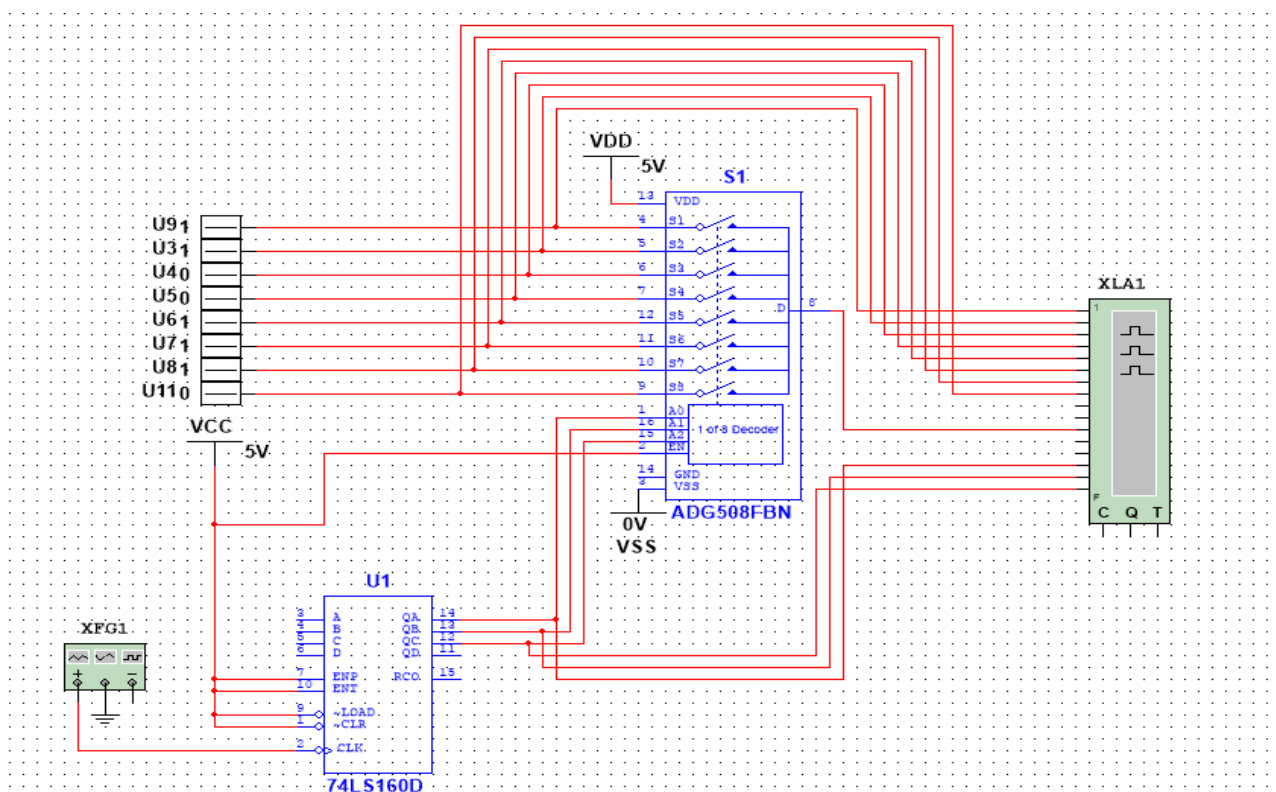


Рисунок 1 - Схема по варианту

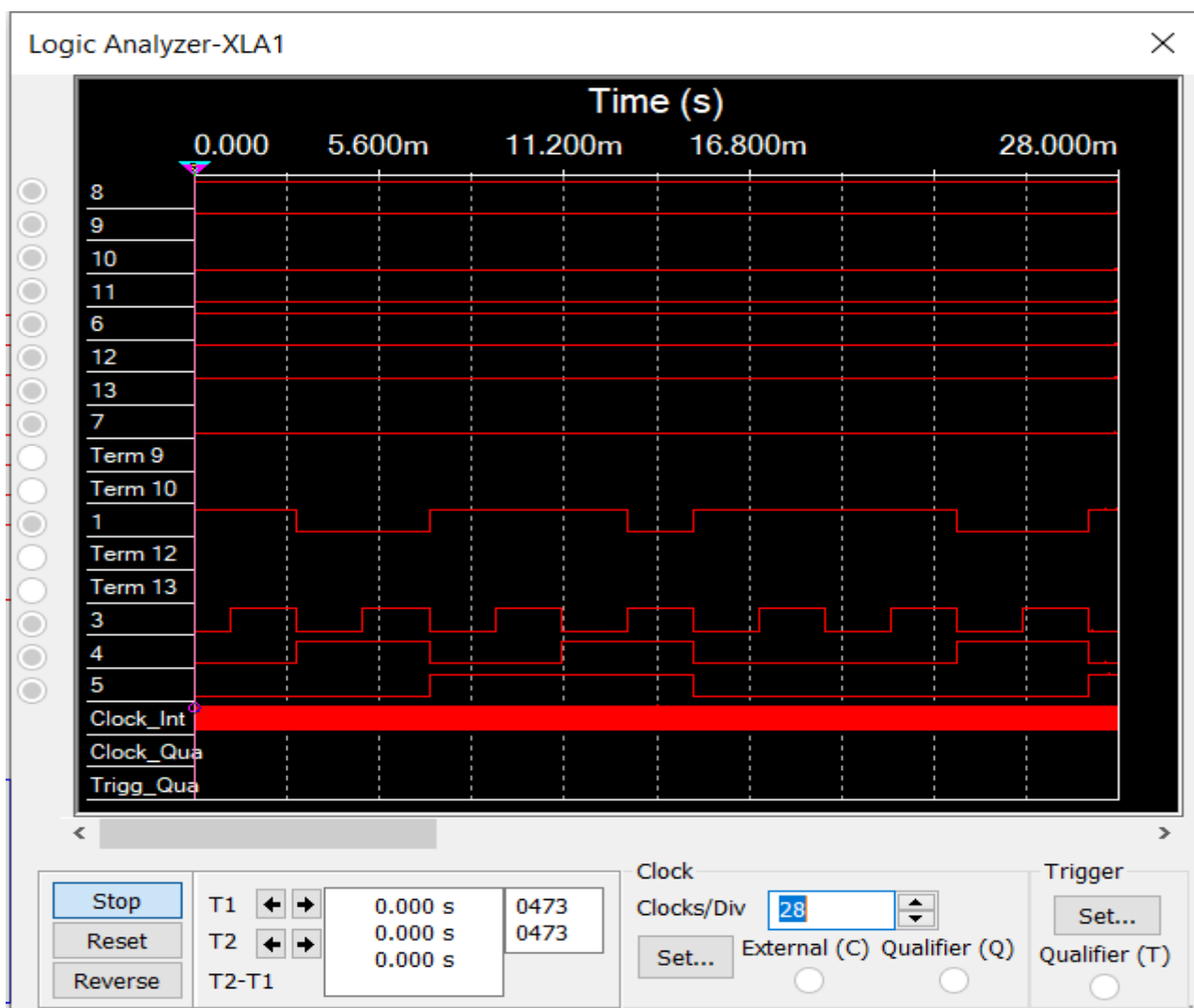


Рисунок 2 - Временная диаграмма для схемы на рисунке 1

Проводя анализ полученных данных, можно заметить, что на самом деле мультиплексор выполняет функцию адресного коммутатора, т.е. выполняет передачу на выход того информационного сигнала, адрес которого установлен на адресных входах.

## 2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D0...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

Составим схему (рисунок 3).

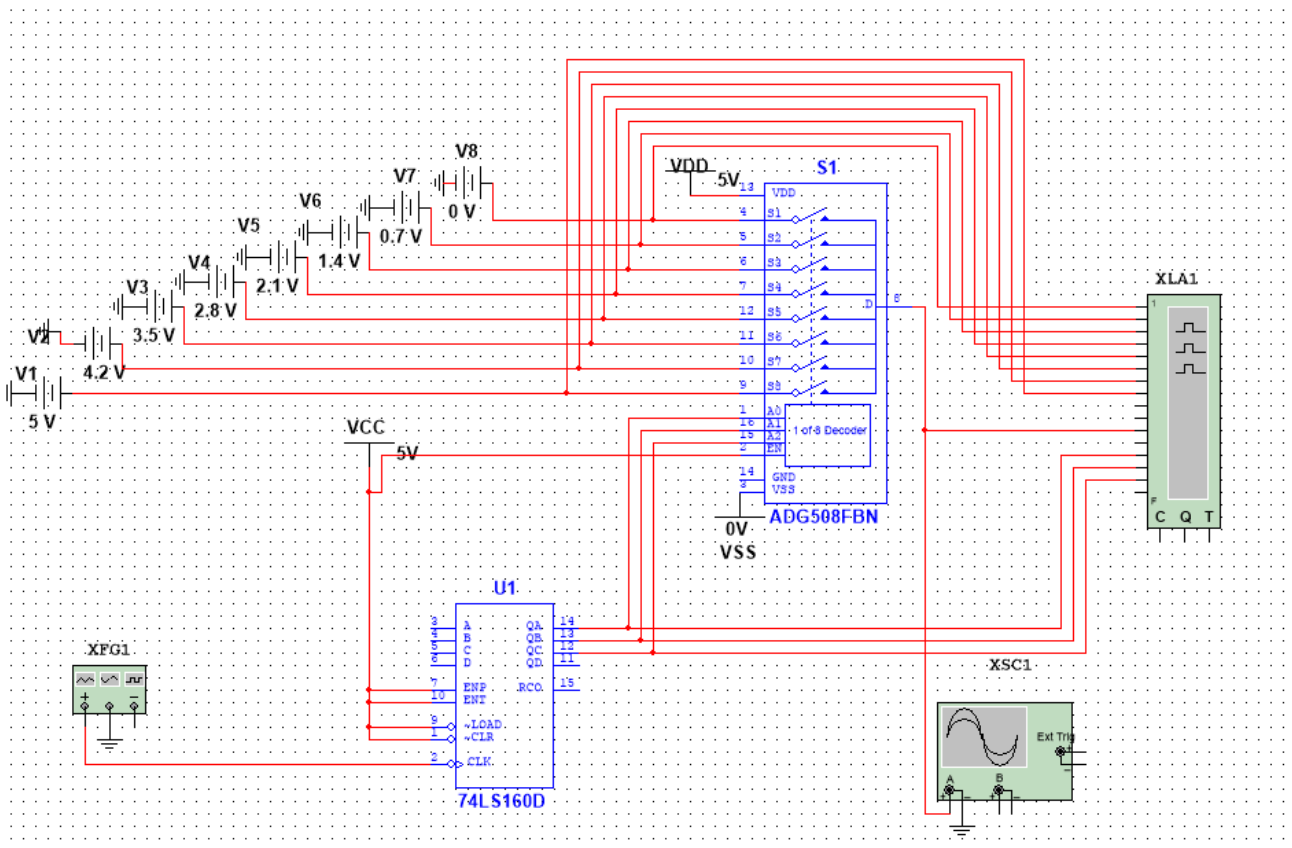


Рисунок 3 - Схема с ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов

Проведем анализ и получим следующую диаграмму

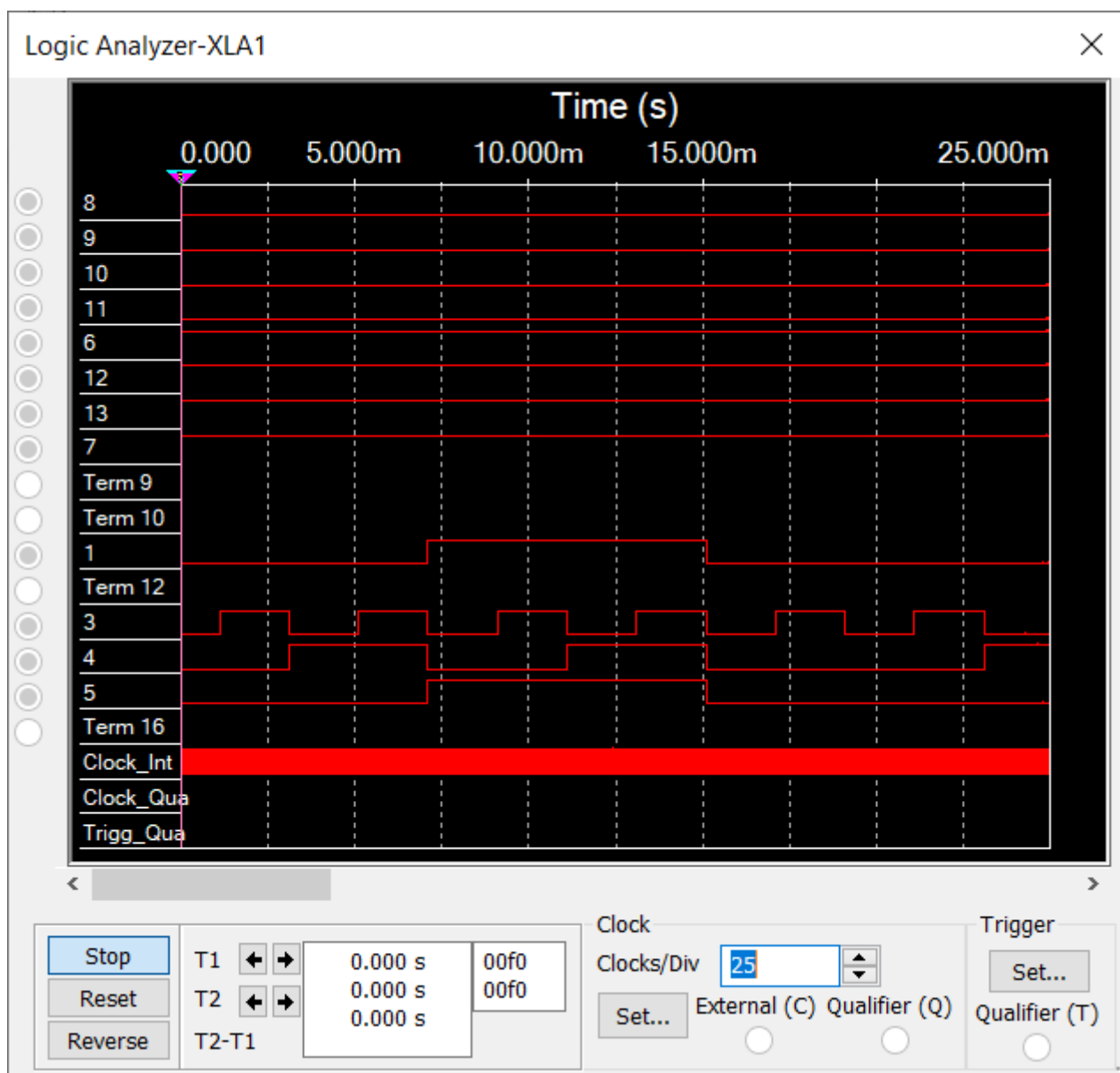


Рисунок 4 - Временная диаграмма для схемы на рисунке 3

## Анализ с осциллографа

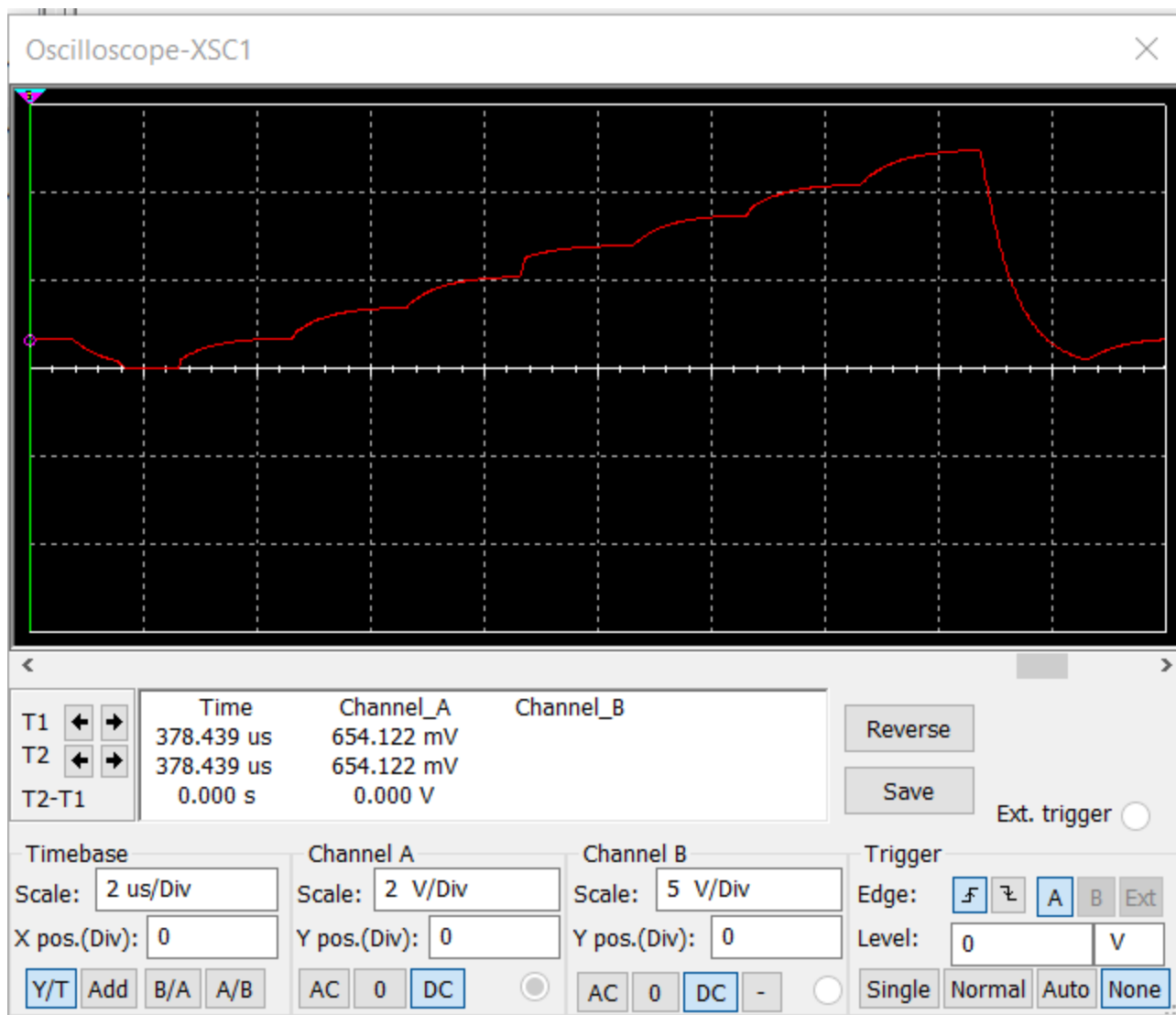


Рисунок 5 - Результаты осциллографа для схемы на рисунке 3

Исходя из приведенных выше данных можно сделать вывод о том, что выходной сигнал представляет собой некую функциональную зависимость. Также немаловажно, что выходной сигнал имеет задержку из-за процессов внутри самого мультиплексора

Теперь добавим катушку индуктивности в схему (рисунок 6)

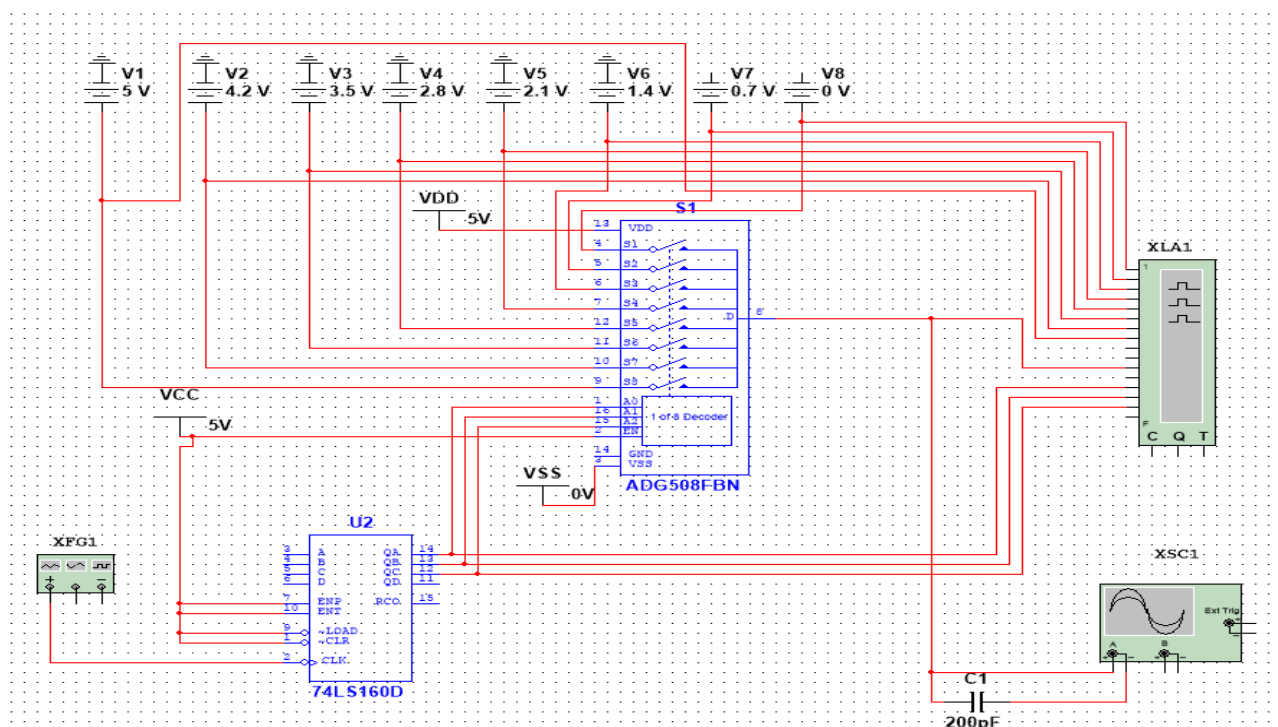


Рисунок 6 - Схема из Рисунка 3 с добавленной катушкой индуктивности

Информация с осциллографа (рисунок 7)

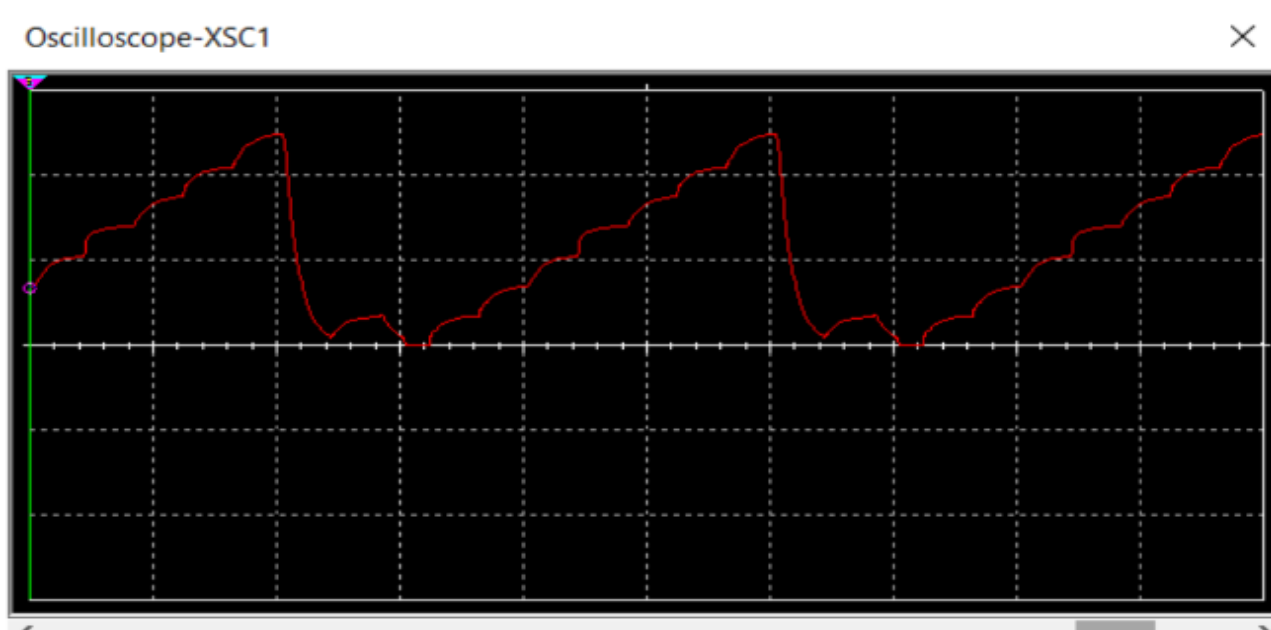


Рисунок 7 - Результаты осциллографа для схемы из рисунка 6

**3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем.**

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вариант 21: (0110 0011 0001 1110)

Таблица 1 - Нахождение  $x_1$  через ФАЛ

$x_4$	$x_3$	$x_2$	$x_1$	$f$	Примечание
0	0	0	0	0	$D0 = x_1$
0	0	0	1	1	
0	0	1	0	1	$D1 = \sim x_1$
0	0	1	1	0	
0	1	0	0	0	$D2 = 0$
0	1	0	1	0	
0	1	1	0	1	$D3 = 1$
0	1	1	1	1	
1	0	0	0	0	$D4 = 0$
1	0	0	1	0	
1	0	1	0	0	$D5 = x_1$
1	0	1	1	1	
1	1	0	0	1	$D6 = 1$
1	1	0	1	1	
1	1	1	0	1	$D7 = \sim x_1$
1	1	1	1	0	



The circuit diagram illustrates a 4-to-1 multiplexer implementation. It features a 74ALS163BM counter (U1) and an ADG508FBN multiplexer (S1). The counter's clock (CLK) is connected to a square wave source (XFG1). The counter's outputs (QA, QB, QC, QD) are connected to the select inputs (A, B, C, D) of the multiplexer. The multiplexer's data inputs (S1, S2, S3, S4, S5, S6, S7, S8) are connected to various logic levels (VDD, VSS, and the output of a NOT gate). The multiplexer's output (F) is connected to a 7-segment display (XLA1). The display shows the hexadecimal digit 'F'.

9

Тогда временная диаграмма

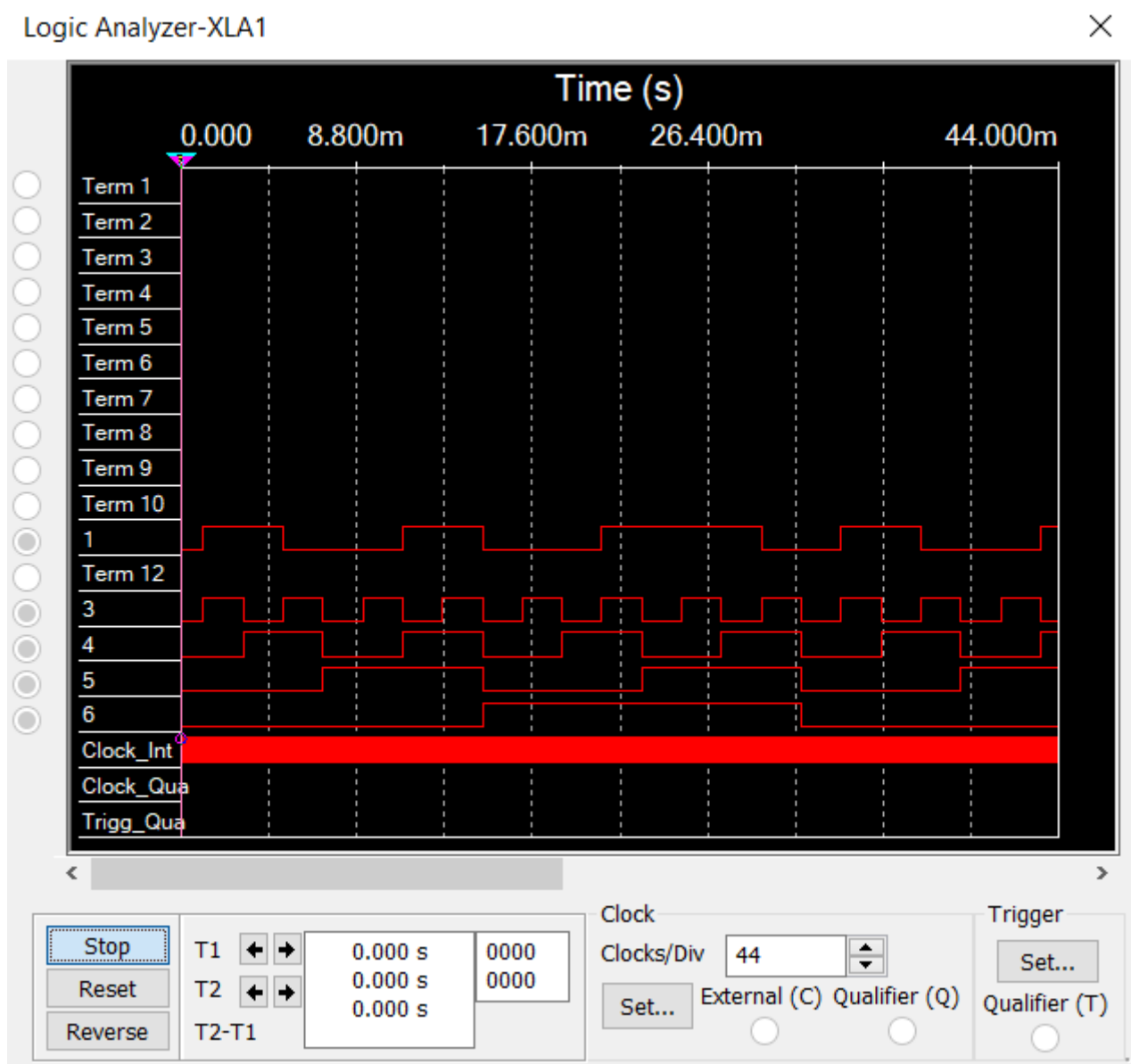


Рисунок 9 - Временная диаграмма для схемы на рисунке 8

Исходя из данных полученных с логического анализатора, построенная схема работает верно.

#### 4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4.

Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1. мультиплексора MUX 16 – 1.

Вариант 21: (0110 0011 0001 1110)

Построим схему

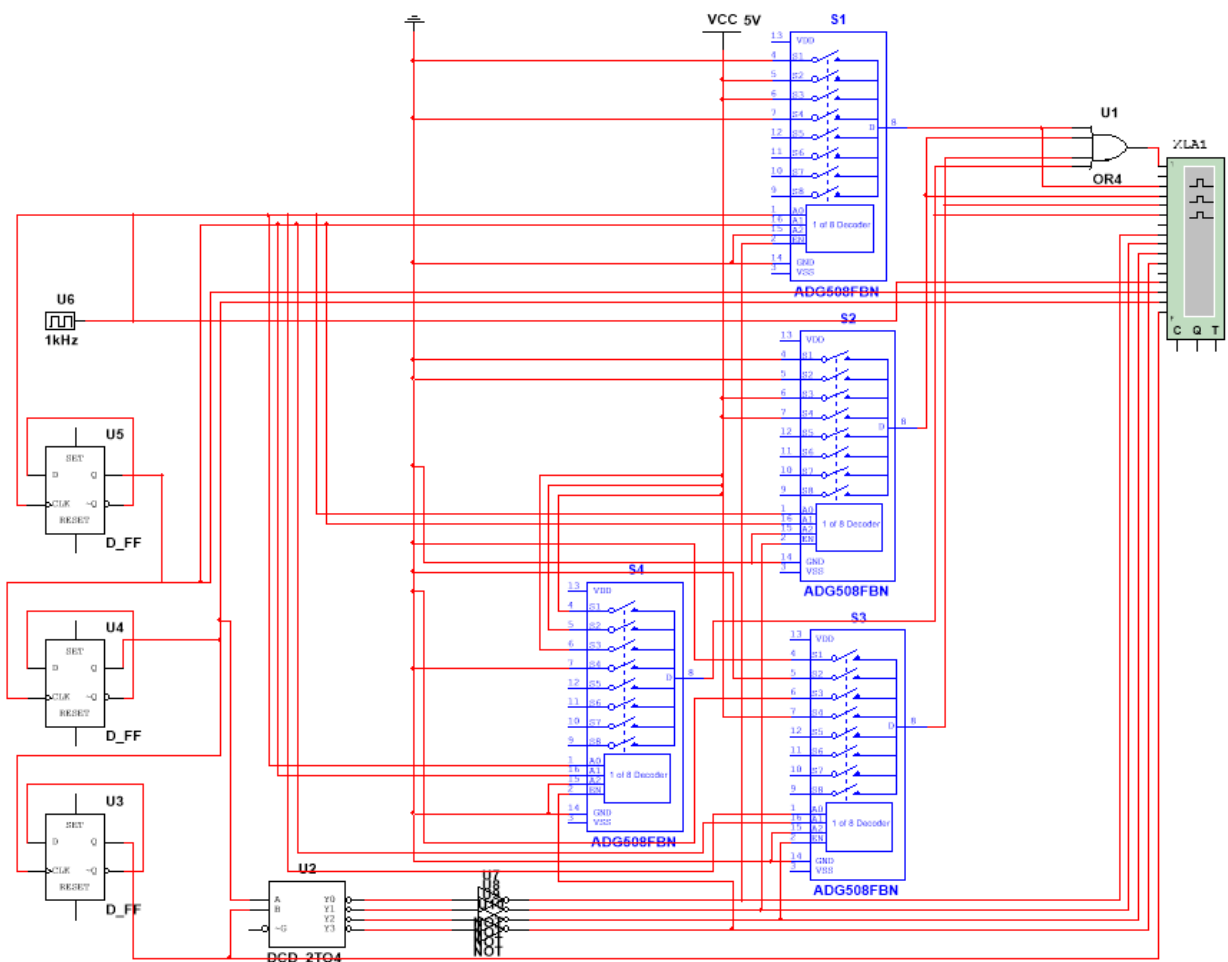


Рисунок 10 - Схема MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4

Тогда логический анализатор будет выглядеть таким образом

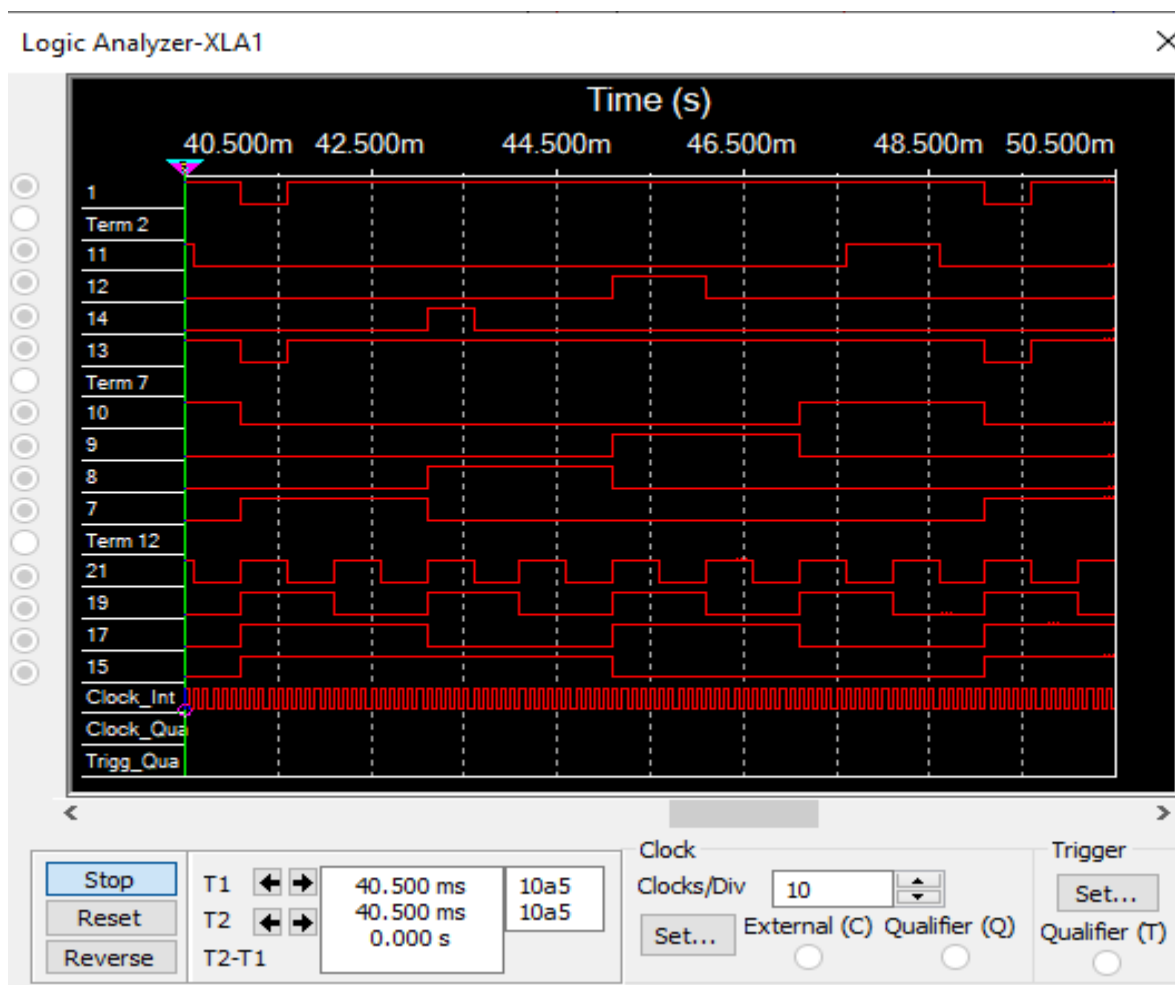


Рисунок 11 - Результаты логического анализатора для схемы на рисунке 10

Результаты в логическом анализаторе совпадают с исходными, значит схема построена верно

### Вывод

В ходе выполнения лабораторной работы были изучены мультиплексоры - принцип их работы, построения и применимость