



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический университет имени Н.
Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н. Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

Отчет по лабораторной работе №4 по курсу "Архитектура ЭВМ"

Тема Разработка ускорителей вычислений на платформе Xilinx Alveo

Студент Цветков И.А.

Группа ИУ7-53Б

Оценка (баллы) _____

Преподаватель Дубровин Е.Н.

Москва — 2021 г.

Содержание

1	Теоритические основы	4
1.1	Технология разработки ускорителей вычислений на Xilinx Alveo	4
1.2	Описание архитектуры разрабатываемого ускорителя	5
2	Выполнение лабораторной работы	7
2.1	Моделирование исходного проекта VINC	7
2.2	Моделирование проекта VINC, измененного по индивидуаль- ному варианту	9
2.3	Линковка проекта	11
2.4	Тестирование	11
	Заключение	13
	Приложение	14

Введение

Основной целью данной работы является изучение архитектуры гетерогенных вычислительных систем и технологии разработки ускорителей вычислений на базе ПЛИС фирмы Xilinx.

В ходе лабораторной работы предлагается изучить основные сведения о платформе Xilinx Alveo U200, разработать RTL (Register Transfer Language, язык регистровых передач)) описание ускорителя вычислений по индивидуальному варианту, выполнить генерацию ядра ускорителя, выполнить синтез и сборку бинарного модуля ускорителя, разработать и отладить тестирующее программное обеспечение на серверной хост-платформе, провести тесты работы ускорителя вычислений.

1 Теоритические основы

При выполнении лабораторной работы будет использоваться ускоритель вычислений на **Xilinx Alveo**.

1.1 Технология разработки ускорителей вычислений на Xilinx Alveo

Ускорителями вычислений принято называть специальные аппаратные устройства, способные выполнять ограниченный ряд задач с большей параллельностью и за меньшее время в сравнении с универсальными микропроцессорными ЭВМ. Как правило, ускоритель представляет собой структуру, включающую большое количество примитивных микропроцессорных устройств, объединенных шинами связей.

Создание ускорителей вычислений является трудоемким процессом, так как охватывает не только аппаратную разработку самого устройства, но и предполагает оптимизацию архитектуры ЭВМ для обеспечения наибольшей пропускной способности каналов передачи операндов и результатов, а также минимизации задержек и вычислительных затрат при ожидании работы ускорителей. Можно условно разделить ускорители на два класса: ускорители на основе СБИС и на основе ПЛИС.

В данной лабораторной работе мы изучим технологию создания ускорителей вычислений на основе ПЛИС. Основной плат ускорителя **Xilinx Alveo U200** является ПЛИС **xcu200-fsgd2104-2-e** архитектуры Xilinx UltraScale, выполненная по 16-нанометровой технологии. Плата обеспечивает взаимодействие с хост-системой через интерфейс PCIe gen3 x16, и помимо ПЛИС содержит 4 планки памяти DIMM DDR4 по 16 ГБ, и два QSFP разъема для подключения 100ГБ Ethernet сети.

Для работы с ускорительной платой разработано специальное окружение **XRT** (Xilinx Runtime), включающее компоненты пользовательского пространства и драйвера ядра. XRT поддерживает как карты ускорителей на основе PCIe, так и встроенную архитектуру на основе MPSoC (для встраиваемых плат с ПЛИС Xilinx), обеспечивающую стандартизованный программ-

ный интерфейс для **Xilinx FPGA**.

1.2 Описание архитектуры разрабатываемого ускорителя

В ходе лабораторной работы будет использован базовый шаблон так называемого RTL проекта **VINC**, который может быть создан в **IDE Xilinx Vitis** и **САПР Xilinx Vivado**. Шаблон **VINC** выполняет попарное сложение чисел исходного массива и сохраняет результаты во втором массиве. Проект **VINC** включает:

- проект ПО хоста, выполняющий инициализацию аппаратного ядра и его тестирование через OpenCL вызовы;
- синтезируемый RTL проект ядра ускорителя на языках Verilog и SystemVerilog;
- функциональный тест ускорителя **VINC** на языке SystemVerilog.

Проект **VINC** представляет собой аппаратное устройство, связанное шиной AXI4 MM (Memory mapped) с DDR[i] памятью, и получающее настроечные параметры по интерфейсу AXI4 Lite от программного обеспечения хоста (на рисунке 1.1). В рамках всей системы используется единое 64-х разрядное адресное пространство, в котором формируются адреса на всех AXI4 шинах.

В каждой карте U200 имеется возможность подключить ускоритель к любому DDR[i] контроллеру в том регионе, где будет размещен проект. Всего для пользователя доступны 3 динамических региона: SLR0,1,2, для которых выделены каналы локальной памяти DDR[0], DDR[2], DDR[3] соответственно. Вся подключенная память DDR[0..3] доступна со стороны статического региона, в котором размещена аппаратная часть XRT.

Выбор одного из регионов для размещения проектов осуществляется на этапе так называемой линковки конфигурационного файла при помощи компилятора `v++` (фактически: компоновки, размещение и трассировки нескольких проектов в единый конфигурационный файл).

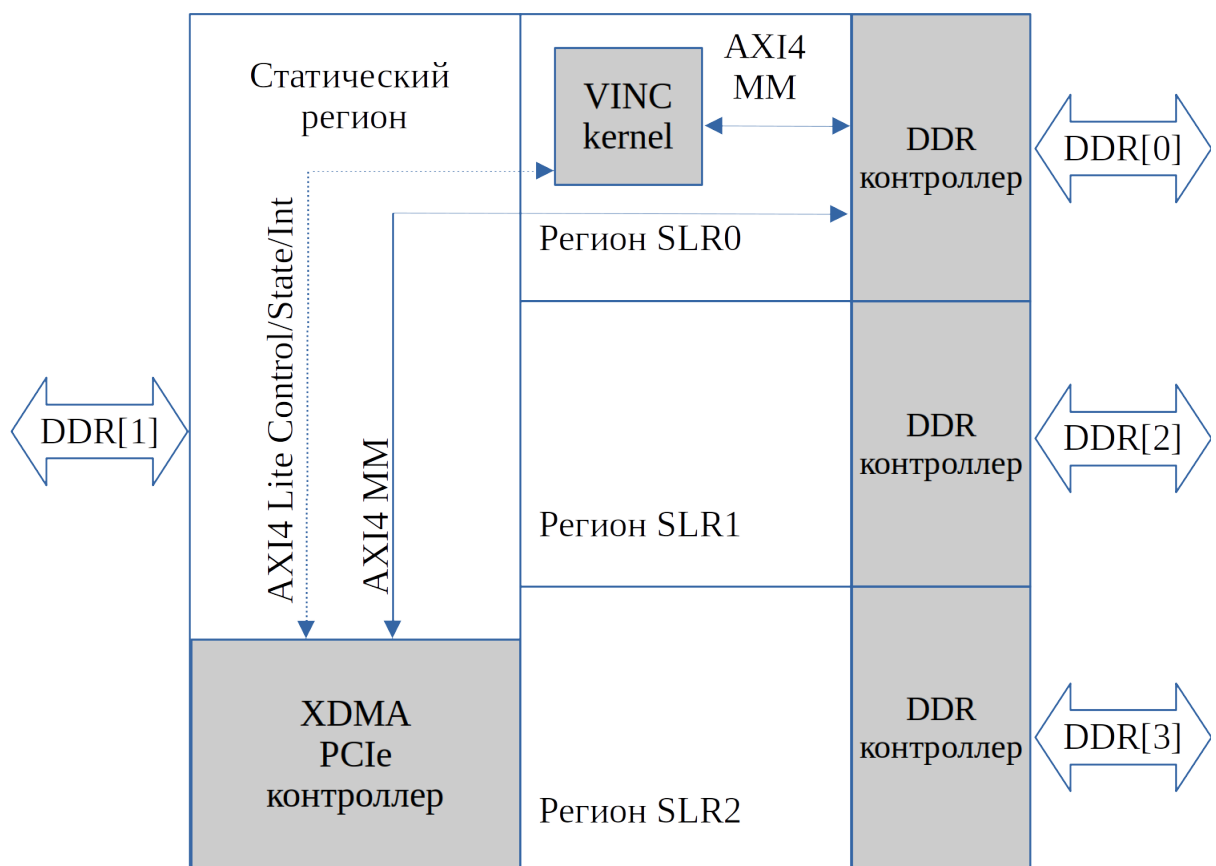


Рисунок 1.1 – Размещение проекта на ПЛИС xcu200-fsgd2104-2-е карты Alveo U200

2 Выполнение лабораторной работы

Для изучения технологии будут выполнены следующие задания.

2.1 Моделирование исходного проекта VINC

На рисунке 2.1 представлена транзакция чтения данных вектора на шине AXI4 MM из DDR памяти. Также на рисунке 2.2 – транзакция записи результата инкремента данных на шине AXI4 MM, а на рисунке 2.3 инкремент данных в модуле.

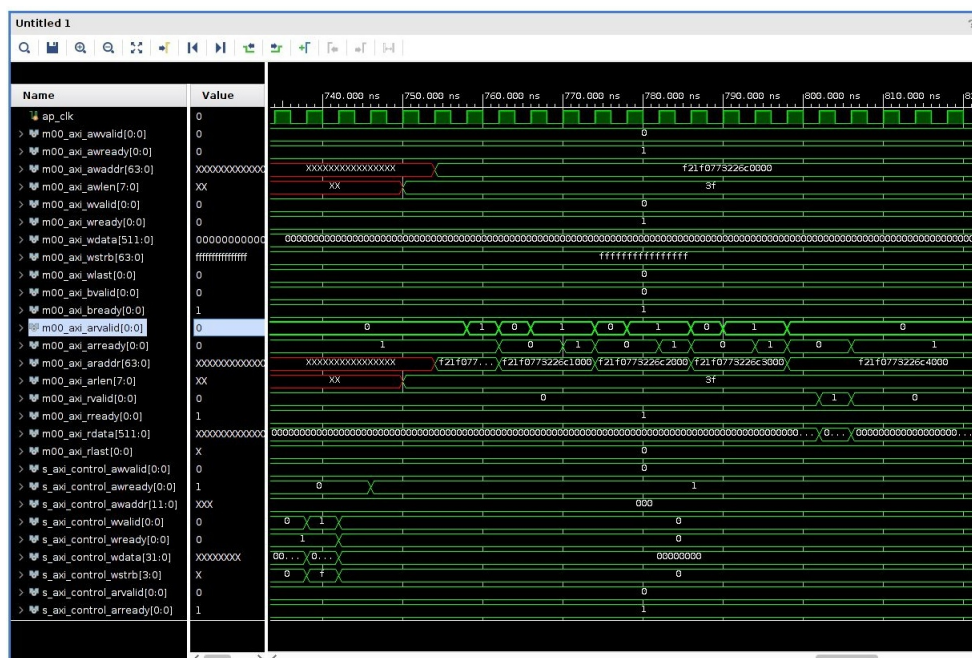


Рисунок 2.1 – Транзакция чтения данных вектора на шине AXI4 ММ из
DDR памяти

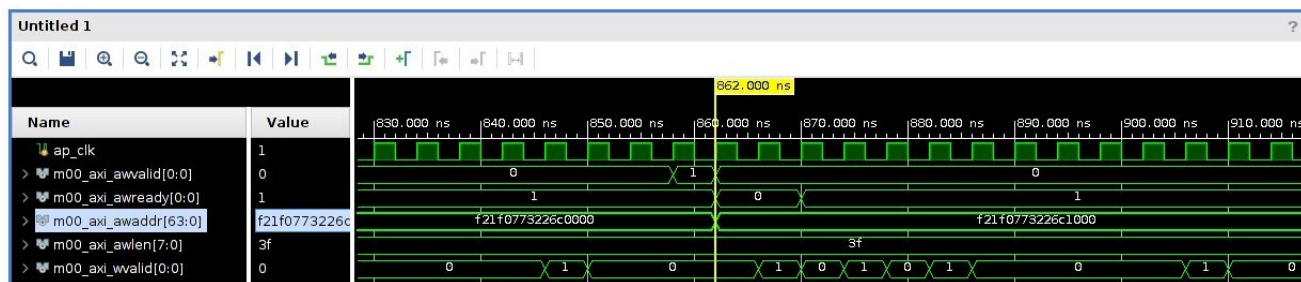


Рисунок 2.2 – Транзакция записи результата инкремента данных на шине AXI4 MM

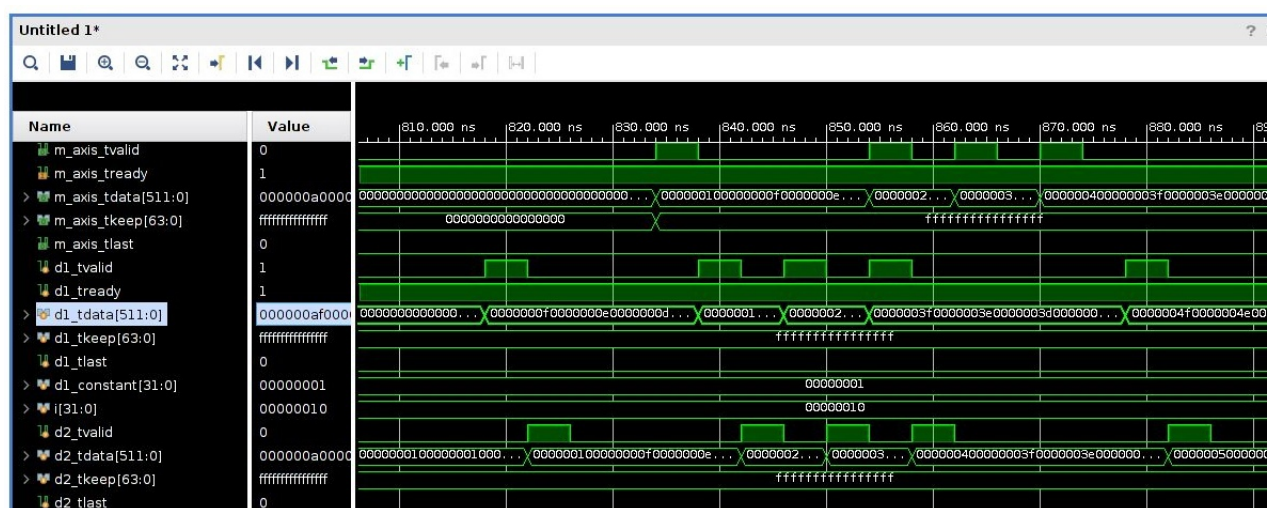


Рисунок 2.3 – Инкремент данных в модуле

2.2 Моделирование проекта VINC, измененного по индивидуальному варианту

В соответствии с индивидуальным вариантом (Вариант 19) нужно было реализовать в коде следующую функцию:

$$R[i] = \max(A[i], 3000) \quad (2.1)$$

На рисунке 2.4 представлена реализация функции на языке Verilog, которая была вставлена в код проект. При этом использовалась константа $CONST = 3000$.

```
// Adder function
always @(posedge s_axis_aclk) begin
  for (i = 0; i < LP_NUM_LOOPS; i = i + 1) begin
    if (d1_tdata[C_ADDER_BIT_WIDTH*i+:C_ADDER_BIT_WIDTH] > CONST)
      d2_tdata[i*C_ADDER_BIT_WIDTH+:C_ADDER_BIT_WIDTH] <= d1_tdata[C_ADDER_BIT_WIDTH*i+:C_ADDER_BIT_WIDTH];
    else
      d2_tdata[i*C_ADDER_BIT_WIDTH+:C_ADDER_BIT_WIDTH] <= CONST;
  end
end
```

Рисунок 2.4 – Функция индивидуального варианта

При этом на рисунке 2.5 представлена транзакция чтения данных вектора на шине AXI4 MM из DDR памяти. Также на рисунке 2.6 – транзакция записи результата инкремента данных на шине AXI4 MM, а на рисунке 2.7 инкремент данных в модуле.

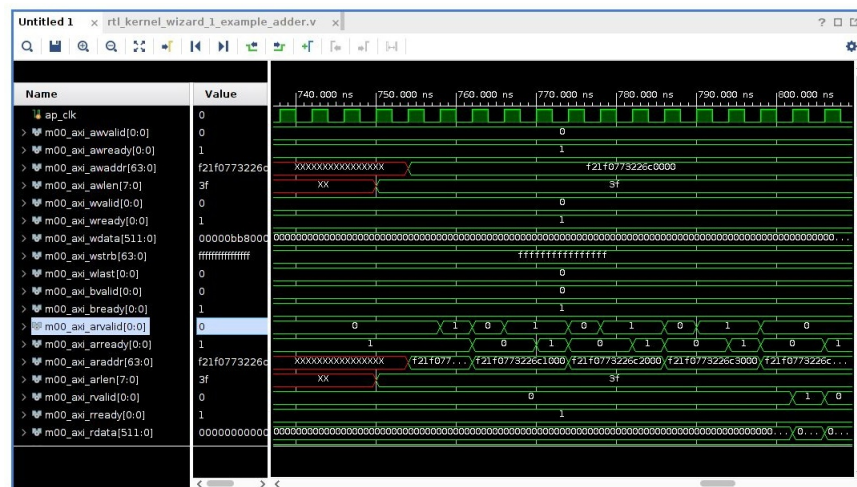


Рисунок 2.5 – Транзакция чтения данных вектора на шине AXI4 MM из DDR памяти

2.3 Линковка проекта

Для линковки проекта компилятором `v++` используется конфигурационный файл `config.cfg`, который содержит основную информацию для работы компилятора, такую, как:

- количество и условные имена экземпляров ядер;
- тактовая частота работы ядра;
- для каждого ядра: выбор области SLR (SLR[0..2]), выбор DDR (DDR[0..3]) памяти, выбор высокопроизводительной памяти PLRAM(PLRAM[0,1,2]).
- параметры синтеза и оптимизации проекта.

На рисунке 2.8 представлен конфигурационный файл для данного проекта, в котором **SLR1** и **DDR[2]**, что соответствует индивидуальному варианту.

```
1 [connectivity]
2 nk=rtl_kernel_wizard_1:1:vinc0
3 slr=vinc0:SLR1
4 sp=vinc0.m00_axi:DDR[2]
5
6 [vivado]
7 prop=run.impl_1.STEPS.OPT_DESIGN.ARGs.DIRECTIVE=Explore
8 prop=run.impl_1.STEPS.PLACE_DESIGN.ARGs.DIRECTIVE=Explore
9 prop=run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true
10 prop=run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGs.DIRECTIVE=AggressiveExplore
11 prop=run.impl_1.STEPS.ROUTE_DESIGN.ARGs.DIRECTIVE=Explore
```

Рисунок 2.8 – Конфигурационный файл

Примечание: листинги файлов `v++*.log` и `*.xclbin.info` приведены в приложении.

2.4 Тестирование

После успешной линковки проекта получается файл `*.xclbin`. Также нужно получить `exe` файл `host_example.cpp`, который будет использован при тестировании.

Но прежде в `host_example.cpp` необходимо изменить условие проверки. На рисунке 2.9 представлена измененная проверка, которая соответствует функции для индивидуального варианта.

```
// Check Results

for (cl_uint i = 0; i < number_of_words; i++) {
    if (h_data[i] < 3000)
        h_data[i] = 3000;

    if ((h_data[i]) != h_axi00_ptr0_output[i]) {
        printf("ERROR in rtl_kernel_wizard_1::m00_axi - array index %d (host addr 0x%03x) - input=%d (0x%x),"
               " output=%d (0x%x)\n", i, i*4, h_data[i], h_data[i],
               h_axi00_ptr0_output[i], h_axi00_ptr0_output[i]);
        check_status = 1;
    }
    // printf("i=%d, input=%d, output=%d\n", i, h_axi00_ptr0_input[i], h_axi00_ptr0_output[i]);
}
}
```

Рисунок 2.9 – Измененная проверка при тестировании

В итоге, на рисунке 2.10 приведены результаты тестирования утилитой **xgdb**. Все тесты пройдены успешно.

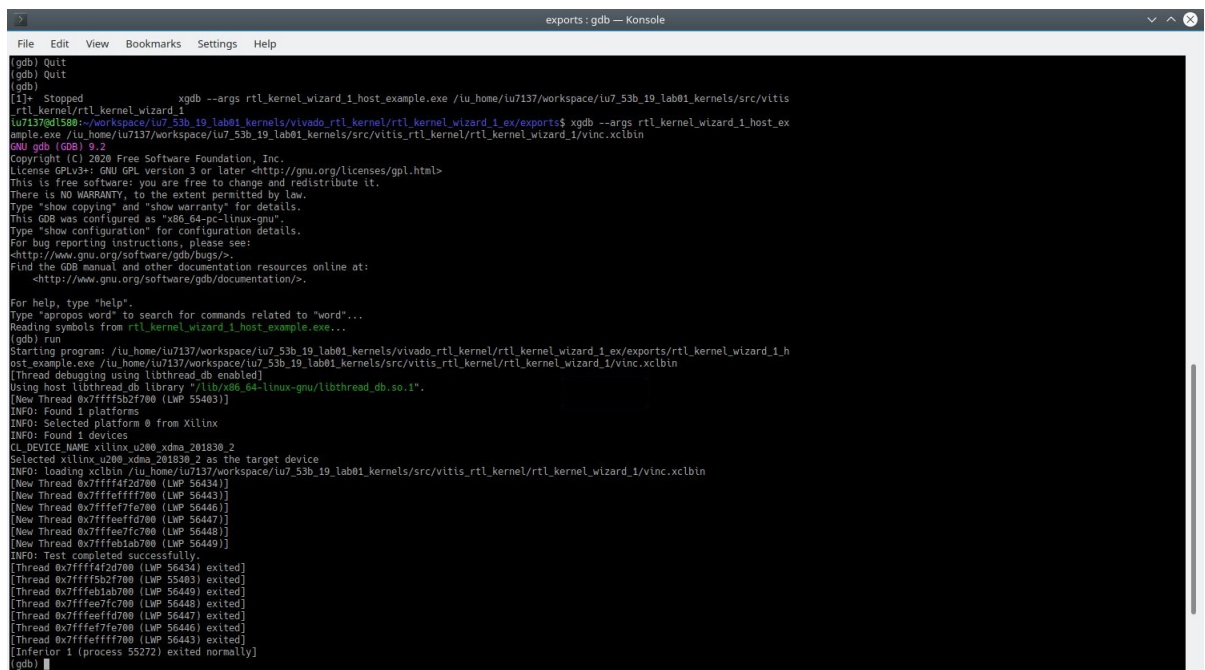


Рисунок 2.10 – Результаты тестирования

Заключение

В данной лабораторной работе были рассмотрены и изучены ускорители вычислений на примере Alveo от фирмы Xilinx.

Приложение

Листинг 2.1 – Файл vinc.xclbin.info

```
1
2 XRT Build Version: 2.8.743 (2020.2)
3   Build Date: 2020-11-16 00:19:11
4   Hash ID: 77d5484b5c4daa691a7f78235053fb036829b1e9
5
6 xclbin Information
7
8   Generated by:      v++ (2020.2) on 2020-11-18-05:13:29
9   Version:          2.8.743
10  Kernels:           rtl_kernel_wizard_1
11  Signature:
12  Content:           Bitstream
13  UUID (xclbin):     15443201-0014-4f8a-aa94-7c5505566b0c
14  Sections:          DEBUG_IP_LAYOUT, BITSTREAM, MEM_TOPOLOGY, IP_LAYOUT,
15                    CONNECTIVITY, CLOCK_FREQ_TOPOLOGY, BUILD_METADATA,
16                    EMBEDDED_METADATA, SYSTEM_METADATA,
17                    GROUP_CONNECTIVITY, GROUP_TOPOLOGY
18
19 Hardware Platform (Shell) Information
20
21   Vendor:           xilinx
22   Board:            u200
23   Name:             xdma
24   Version:          201830.2
25   Generated Version: Vivado 2018.3 (SW Build: 2568420)
26   Created:          Tue Jun 25 06:55:20 2019
27   FPGA Device:      xcu200
28   Board Vendor:      xilinx.com
29   Board Name:        xilinx.com:au200:1.0
30   Board Part:        xilinx.com:au200:part0:1.0
31   Platform VBNV:     xilinx_u200_xdma_201830_2
32   Static UUID:       c102e7af-b2b8-4381-992b-9a00cc3863eb
33   Feature ROM TimeStamp: 1561465320
34
35 Clocks
36
37   Name:             DATA_CLK
38   Index:            0
39   Type:             DATA
40   Frequency:        300 MHz
41
42   Name:             KERNEL_CLK
43   Index:            1
44   Type:             KERNEL
45   Frequency:        500 MHz
46
47 Memory Configuration
48
49   Name:             bank0
50   Index:            0
51   Type:             MEM_DDR4
52   Base Address:     0x4000000000
53   Address Size:     0x4000000000
54   Bank Used:        No
55
56   Name:             bank1
57   Index:            1
58   Type:             MEM_DDR4
59   Base Address:     0x5000000000
60   Address Size:     0x4000000000
61   Bank Used:        No
62
63   Name:             bank2
64   Index:            2
65   Type:             MEM_DDR4
66   Base Address:     0x6000000000
67   Address Size:     0x4000000000
68   Bank Used:        Yes
69
70   Name:             bank3
71   Index:            3
72   Type:             MEM_DDR4
73   Base Address:     0x7000000000
74   Address Size:     0x4000000000
75   Bank Used:        No
```

```

76
77     Name:          PLRAM[0]
78     Index:         4
79     Type:          MEM_DRAM
80     Base Address:  0x3000000000
81     Address Size:  0x20000
82     Bank Used:     No
83
84     Name:          PLRAM[1]
85     Index:         5
86     Type:          MEM_DRAM
87     Base Address:  0x3000200000
88     Address Size:  0x20000
89     Bank Used:     No
90
91     Name:          PLRAM[2]
92     Index:         6
93     Type:          MEM_DRAM
94     Base Address:  0x3000400000
95     Address Size:  0x20000
96     Bank Used:     No
97
98 Kernel: rtl_kernel_wizard_1
99
100 Definition
101
102     Signature: rtl_kernel_wizard_1 (uint num, int* axi00_ptr0)
103
104 Ports
105
106     Port:          s_axi_control
107     Mode:          slave
108     Range (bytes): 0x1000
109     Data Width:    32 bits
110     Port Type:     addressable
111
112     Port:          m00_axi
113     Mode:          master
114     Range (bytes): 0xFFFFFFFFFFFFFFF
115     Data Width:    512 bits
116     Port Type:     addressable
117
118
119 Instance:          vinc0
120     Base Address:  0x1800000
121
122     Argument:      num
123     Register Offset: 0x010
124     Port:          s_axi_control
125     Memory:        <not applicable>
126
127     Argument:      axi00_ptr0
128     Register Offset: 0x018
129     Port:          m00_axi
130     Memory:        bank2 (MEM_DDR4)
131
132 Generated By
133
134     Command:        v++
135     Version:        2020.2 - 2020-11-18-05:13:29 (SW BUILD: 0)
136     Command Line:  v++ --config config.cfg --connectivity.nk rtl_kernel_wizard_1:1:vinc0 --connectivity.slr
137                   vinc0:SLR1 --connectivity.sp vinc0.m00_axi:DDR[2] --input_files rtl_kernel_wizard_1.xo --link --
138                   optimize 0 --output vinc.xclbin --platform xilinx_u200_xdma_201830_2 --report_level 0 --target hw --
139                   vivado.prop run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=Explore --vivado.prop run.impl_1.STEPS.
140                   PLACE_DESIGN.ARGS.DIRECTIVE=Explore --vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true --
141                   vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore --vivado.prop run.
142                   impl_1.STEPS.ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
143     Options:        --config config.cfg
144                   --connectivity.nk rtl_kernel_wizard_1:1:vinc0
145                   --connectivity.slr vinc0:SLR1
146                   --connectivity.sp vinc0.m00_axi:DDR[2]
147                   --input_files rtl_kernel_wizard_1.xo
148                   --link
149                   --optimize 0
150                   --output vinc.xclbin
151                   --platform xilinx_u200_xdma_201830_2
152                   --report_level 0
153                   --target hw
154                   --vivado.prop run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=Explore
155                   --vivado.prop run.impl_1.STEPS.PLACE_DESIGN.ARGS.DIRECTIVE=Explore
156                   --vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true
157                   --vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore

```

```
152 |          —vivado .prop run .impl_1.STEPS.ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
153 | =====
154 | User Added Key Value Pairs
155 | -----
156 |      <empty>
157 | =====
```


Листинг 2.2 – Файл v++_vinc.log

```
1 INFO: [v++ 60-1306] Additional information associated with this v++ link can be found at :
2 Reports: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/
  reports/link
3 Log files: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/
  logs/link
4 INFO: [v++ 60-1548] Creating build summary session with primary output /iu_home/iu7137/workspace/
  iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/vinc.xclbin.link_summary, at Mon Dec 20
  02:49:34 2021
5 INFO: [v++ 60-1316] Initiating connection to rulecheck server, at Mon Dec 20 02:49:35 2021
6 INFO: [v++ 60-1315] Creating rulecheck session with output '/iu_home/iu7137/workspace/
  iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/reports/link/v++_link_vinc_guidance.
  html', at Mon Dec 20 02:49:51 2021
7 INFO: [v++ 60-895] Target platform: /opt/xilinx/platforms/xilinx_u200_xdma_201830_2/
  xilinx_u200_xdma_201830_2.xpfm
8 INFO: [v++ 60-1578] This platform contains Device Support Archive '/opt/xilinx/platforms/
  xilinx_u200_xdma_201830_2/hw/xilinx_u200_xdma_201830_2.dsa'
9 INFO: [v++ 74-74] Compiler Version string: 2020.2
10 INFO: [v++ 60-1302] Platform 'xilinx_u200_xdma_201830_2.xpfm' has been explicitly enabled for this release.
11 INFO: [v++ 60-629] Linking for hardware target
12 INFO: [v++ 60-423] Target device: xilinx_u200_xdma_201830_2
13 INFO: [v++ 60-1332] Run 'run_link' status: Not started
14 INFO: [v++ 60-1443] [02:50:42] Run run_link: Step system_link: Started
15 INFO: [v++ 60-1453] Command Line: system_link --xo /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
  vitis_rtl_kernel/rtl_kernel_wizard_1/rtl_kernel_wizard_1.xo --config /iu_home/iu7137/workspace/
  iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/syslinkConfig.ini --xpfm /
  opt/xilinx/platforms/xilinx_u200_xdma_201830_2/xilinx_u200_xdma_201830_2.xpfm --target hw --output_dir /
  iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int --
  temp_dir /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/
  link/sys_link
16 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
  rtl_kernel_wizard_1/_x/link/run_link
17 INFO: [SYSTEM_LINK 60-1316] Initiating connection to rulecheck server, at Mon Dec 20 02:50:54 2021
18 INFO: [SYSTEM_LINK 82-70] Extracting xo v3 file /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
  vitis_rtl_kernel/rtl_kernel_wizard_1/rtl_kernel_wizard_1.xo
19 INFO: [SYSTEM_LINK 82-53] Creating IP database /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
  vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link/_sysl/.cdb/xd_ip_db.xml
20 INFO: [SYSTEM_LINK 82-38] [02:50:56] build_xd_ip_db started: /data/Xilinx/Vitis/2020.2/bin/build_xd_ip_db -
  ip_search 0 --sds-pf /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
  rtl_kernel_wizard_1/_x/link/sys_link/xilinx_u200_xdma_201830_2.hpfm --clkid 0 --ip /iu_home/iu7137/
  workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link/iprepo/
  mycompany_com_kernel_rtl_kernel_wizard_1_1_0,rtl_kernel_wizard_1 --o /iu_home/iu7137/workspace/
  iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link/_sysl/.cdb/xd_ip_db.
  xml
21 INFO: [SYSTEM_LINK 82-37] [02:51:25] build_xd_ip_db finished successfully
22 Time (s): cpu = 00:00:29 ; elapsed = 00:00:29 . Memory (MB): peak = 1557.898 ; gain = 0.000 ; free physical =
  29121 ; free virtual = 164808
23 INFO: [SYSTEM_LINK 82-51] Create system connectivity graph
24 INFO: [SYSTEM_LINK 82-102] Applying explicit connections to the system connectivity graph: /iu_home/iu7137/
  workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link/cfgraph/
  cfgen_cfgraph.xml
25 INFO: [SYSTEM_LINK 82-38] [02:51:26] cfgen started: /data/Xilinx/Vitis/2020.2/bin/cfgen -nk
  rtl_kernel_wizard_1:1:vinc0 --slr vinc0:SLR1 --sp vinc0.m00_axi:DDR[2] --dmclkid 0 --r /iu_home/iu7137/
  workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link/_sysl/.cdb/
  xd_ip_db.xml --o /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
  rtl_kernel_wizard_1/_x/link/sys_link/cfgraph/cfgen_cfgraph.xml
26 INFO: [CFGEN 83-0] Kernel Specs:
27 INFO: [CFGEN 83-0] kernel: rtl_kernel_wizard_1, num: 1 {vinc0}
28 INFO: [CFGEN 83-0] Port Specs:
29 INFO: [CFGEN 83-0] kernel: vinc0, k_port: m00_axi, sptag: DDR[2]
30 INFO: [CFGEN 83-0] SLR Specs:
31 INFO: [CFGEN 83-0] instance: vinc0, SLR: SLR1
32 INFO: [CFGEN 83-2228] Creating mapping for argument vinc0.axi00_ptr0 to DDR[2] for directive vinc0.m00_axi:
  DDR[2]
33 INFO: [SYSTEM_LINK 82-37] [02:51:51] cfgen finished successfully
34 Time (s): cpu = 00:00:25 ; elapsed = 00:00:26 . Memory (MB): peak = 1557.898 ; gain = 0.000 ; free physical =
  29117 ; free virtual = 164994
35 INFO: [SYSTEM_LINK 82-52] Create top-level block diagram
36 INFO: [SYSTEM_LINK 82-38] [02:51:51] cf2bd started: /data/Xilinx/Vitis/2020.2/bin/cf2bd --linux --
  trace_buffer 1024 --input_file /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
  rtl_kernel_wizard_1/_x/link/sys_link/cfgraph/cfgen_cfgraph.xml --ip_db /iu_home/iu7137/workspace/
  iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link/_sysl/.cdb/xd_ip_db.
  xml --cf_name dr --working_dir /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
  rtl_kernel_wizard_1/_x/link/sys_link/_sysl/.xsd --temp_dir /iu_home/iu7137/workspace/
  iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link --output_dir /iu_home/
  iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int --
  target_bd pfm_dynamic.bd
37 INFO: [CF2BD 82-31] Launching cf2xd: cf2xd --linux --trace-buffer 1024 -i /iu_home/iu7137/workspace/
  iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link/cfgraph/cfgen_cfgraph.
  xml --r /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/
  link/sys_link/_sysl/.cdb/xd_ip_db.xml --o dr.xml
38 INFO: [CF2BD 82-28] cf2xd finished successfully
```

```

39 INFO: [CF2BD 82-31] Launching cf_xsd: cf_xsd -disable-address-gen -bd pfm_dynamic.bd -dn dr -dp /iu_home/
iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/sys_link/_sysl
/.xsd
40 INFO: [CF2BD 82-28] cf_xsd finished successfully
41 INFO: [SYSTEM_LINK 82-37] [02:52:05] cf2bd finished successfully
42 Time (s): cpu = 00:00:11 ; elapsed = 00:00:14 . Memory (MB): peak = 1557.898 ; gain = 0.000 ; free physical =
28823 ; free virtual = 164727
43 INFO: [v++ 60-1441] [02:52:05] Run run_link: Step system_link: Completed
44 Time (s): cpu = 00:01:19 ; elapsed = 00:01:24 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical =
28819 ; free virtual = 164719
45 INFO: [v++ 60-1443] [02:52:05] Run run_link: Step cf2sw: Started
46 INFO: [v++ 60-1453] Command Line: cf2sw -sdsl /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/sdsl.dat -rtd /iu_home/iu7137/workspace/
iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/cf2sw.rtd -nofilter /
iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/
cf2sw_full.rtd -xclbin /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/int/xclbin_orig.xml -o /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src
/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/xclbin_orig.1.xml
47 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/run_link
48 INFO: [v++ 60-1441] [02:52:23] Run run_link: Step cf2sw: Completed
49 Time (s): cpu = 00:00:15 ; elapsed = 00:00:18 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical =
29759 ; free virtual = 165687
50 INFO: [v++ 60-1443] [02:52:23] Run run_link: Step rtd2_system_diagram: Started
51 INFO: [v++ 60-1453] Command Line: rtd2SystemDiagram
52 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/run_link
53 INFO: [v++ 60-1441] [02:52:34] Run run_link: Step rtd2_system_diagram: Completed
54 Time (s): cpu = 00:00:00.02 ; elapsed = 00:00:11 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
physical = 29152 ; free virtual = 165109
55 INFO: [v++ 60-1443] [02:52:34] Run run_link: Step vpl: Started
56 INFO: [v++ 60-1453] Command Line: vpl -t hw -f xilinx_u200_xdma_201830_2 --remote_ip_cache /iu_home/iu7137/
workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/.ipcache --output_dir /
iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int --
log_dir /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/
logs/link --report_dir /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/reports/link --config /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/vplConfig.ini -k /iu_home/iu7137/workspace/
iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/kernel_info.dat --
webtalk_flag Vitis --temp_dir /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link --no-info --iprepo /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/so/ip_repo/mycompany_com_kernel_rtl_kernel_wizard_1_1_0
--messageDb /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/
_x/link/run_link/vpl.pb /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/int/dr.bd.tcl
57 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/run_link
58
59 ***** vpl v2020.2 (64-bit)
60 **** SW Build (by xbuild) on 2020-11-18-05:13:29
61 ** Copyright 1986-2020 Xilinx, Inc. All Rights Reserved.
62
63 INFO: [VPL 60-839] Read in kernel information from file '/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/
src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/kernel_info.dat'.
64 INFO: [VPL 74-74] Compiler Version string: 2020.2
65 INFO: [VPL 60-423] Target device: xilinx_u200_xdma_201830_2
66 INFO: [VPL 60-1032] Extracting hardware platform to /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/vivado/vpl/.local/hw_platform
67 WARNING: /data/Xilinx/Vitis/2020.2/tps/linux64/jre9.0.4 does not exist.
68 [02:58:00] Run vpl: Step create_project: Started
69 Creating Vivado project.
70 [02:58:17] Run vpl: Step create_project: RUNNING...
71 [02:58:29] Run vpl: Step create_project: Completed
72 [02:58:29] Run vpl: Step create_bd: Started
73 [03:00:20] Run vpl: Step create_bd: RUNNING...
74 [03:01:55] Run vpl: Step create_bd: RUNNING...
75 [03:03:49] Run vpl: Step create_bd: RUNNING...
76 [03:06:00] Run vpl: Step create_bd: RUNNING...
77 [03:07:40] Run vpl: Step create_bd: RUNNING...
78 [03:09:36] Run vpl: Step create_bd: RUNNING...
79 [03:09:55] Run vpl: Step create_bd: Completed
80 [03:09:55] Run vpl: Step update_bd: Started
81 [03:09:58] Run vpl: Step update_bd: Completed
82 [03:09:58] Run vpl: Step generate_target: Started
83 [03:11:39] Run vpl: Step generate_target: RUNNING...
84 [03:13:24] Run vpl: Step generate_target: RUNNING...
85 [03:14:55] Run vpl: Step generate_target: RUNNING...
86 [03:16:26] Run vpl: Step generate_target: RUNNING...
87 [03:17:48] Run vpl: Step generate_target: RUNNING...
88 [03:19:20] Run vpl: Step generate_target: RUNNING...
89 [03:20:12] Run vpl: Step generate_target: Completed
90 [03:20:12] Run vpl: Step config_hw_runs: Started

```

[illegible]

[illegible]

```

255 [05:06:24] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
256 [05:07:06] Block-level synthesis in progress, 66 of 66 jobs complete, 0 jobs running.
257 [05:07:46] Block-level synthesis in progress, 66 of 66 jobs complete, 0 jobs running.
258 [05:08:30] Block-level synthesis in progress, 66 of 66 jobs complete, 0 jobs running.
259 [05:09:09] Top-level synthesis in progress.
260 [05:09:46] Top-level synthesis in progress.
261 [05:10:27] Top-level synthesis in progress.
262 [05:11:03] Top-level synthesis in progress.
263 [05:11:44] Top-level synthesis in progress.
264 [05:12:19] Top-level synthesis in progress.
265 [05:12:54] Top-level synthesis in progress.
266 [05:13:29] Top-level synthesis in progress.
267 [05:14:04] Top-level synthesis in progress.
268 [05:14:40] Top-level synthesis in progress.
269 [05:15:15] Top-level synthesis in progress.
270 [05:16:02] Top-level synthesis in progress.
271 [05:16:39] Top-level synthesis in progress.
272 [05:17:25] Top-level synthesis in progress.
273 [05:18:04] Top-level synthesis in progress.
274 [05:18:51] Top-level synthesis in progress.
275 [05:19:25] Run vpl: Step synth: Completed
276 [05:19:25] Run vpl: Step impl: Started
277 [06:19:32] Finished 2nd of 6 tasks (FPGA linking synthesized kernels to platform). Elapsed time: 03h 26m 45s
278
279 [06:19:32] Starting logic optimization..
280 [06:25:38] Phase 1 Generate And Synthesize MIG Cores
281 [07:02:12] Phase 2 Generate And Synthesize Debug Cores
282 [07:27:13] Phase 3 Retarget
283 [07:29:12] Phase 4 Constant propagation
284 [07:31:04] Phase 5 Sweep
285 [07:36:54] Phase 6 BUFG optimization
286 [07:38:11] Phase 7 Shift Register Optimization
287 [07:39:27] Phase 8 Post Processing Netlist
288 [07:53:16] Finished 3rd of 6 tasks (FPGA logic optimization). Elapsed time: 01h 33m 43s
289
290 [07:53:16] Starting logic placement..
291 [07:57:53] Phase 1 Placer Initialization
292 [07:57:53] Phase 1.1 Placer Initialization Netlist Sorting
293 [08:11:35] Phase 1.2 IO Placement/ Clock Placement/ Build Placer Device
294 [08:20:38] Phase 1.3 Build Placer Netlist Model
295 [08:33:48] Phase 1.4 Constrain Clocks/Macros
296 [08:35:15] Phase 2 Global Placement
297 [08:35:15] Phase 2.1 Floorplanning
298 [08:39:01] Phase 2.1.1 Partition Driven Placement
299 [08:39:01] Phase 2.1.1.1 PBP: Partition Driven Placement
300 [08:40:31] Phase 2.1.1.2 PBP: Clock Region Placement
301 [08:46:00] Phase 2.1.1.3 PBP: Compute Congestion
302 [08:46:40] Phase 2.1.1.4 PBP: UpdateTiming
303 [08:48:42] Phase 2.1.1.5 PBP: Add part constraints
304 [08:49:19] Phase 2.2 Update Timing before SLR Path Opt
305 [08:49:56] Phase 2.3 Global Placement Core
306 [09:22:04] Phase 2.3.1 Physical Synthesis In Placer
307 [09:33:28] Phase 3 Detail Placement
308 [09:33:28] Phase 3.1 Commit Multi Column Macros
309 [09:34:10] Phase 3.2 Commit Most Macros & LUTRAMs
310 [09:41:22] Phase 3.3 Small Shape DP
311 [09:41:22] Phase 3.3.1 Small Shape Clustering
312 [09:44:07] Phase 3.3.2 Flow Legalize Slice Clusters
313 [09:44:07] Phase 3.3.3 Slice Area Swap
314 [09:49:18] Phase 3.4 Place Remaining
315 [09:49:59] Phase 3.5 Re-assign LUT pins
316 [09:50:36] Phase 3.6 Pipeline Register Optimization
317 [09:50:36] Phase 3.7 Fast Optimization
318 [09:54:36] Phase 4 Post Placement Optimization and Clean-Up
319 [09:54:36] Phase 4.1 Post Commit Optimization
320 [10:03:12] Phase 4.1.1 Post Placement Optimization
321 [10:03:49] Phase 4.1.1.1 BUFG Insertion
322 [10:03:49] Phase 1 Physical Synthesis Initialization
323 [10:05:49] Phase 4.1.1.2 BUFG Replication
324 [10:08:59] Phase 4.1.1.3 Replication
325 [10:15:02] Phase 4.2 Post Placement Cleanup
326 [10:15:39] Phase 4.3 Placer Reporting
327 [10:15:39] Phase 4.3.1 Print Estimated Congestion
328 [10:17:36] Phase 4.4 Final Placement Cleanup
329 [11:26:43] Finished 4th of 6 tasks (FPGA logic placement). Elapsed time: 03h 33m 27s
330
331 [11:26:43] Starting logic routing..
332 [11:32:54] Phase 1 Build RT Design
333 [11:44:44] Phase 2 Router Initialization
334 [11:44:44] Phase 2.1 Fix Topology Constraints
335 [11:45:27] Phase 2.2 Pre Route Cleanup
336 [11:46:11] Phase 2.3 Global Clock Net Routing

```

```

337 [11:49:00] Phase 2.4 Update Timing
338 [12:01:20] Phase 2.5 Update Timing for Bus Skew
339 [12:01:20] Phase 2.5.1 Update Timing
340 [12:06:17] Phase 3 Initial Routing
341 [12:06:17] Phase 3.1 Global Routing
342 [12:12:32] Phase 4 Rip-up And Reroute
343 [12:12:33] Phase 4.1 Global Iteration 0
344 [12:43:12] Phase 4.2 Global Iteration 1
345 [12:49:22] Phase 4.3 Global Iteration 2
346 [12:54:56] Phase 5 Delay and Skew Optimization
347 [12:54:56] Phase 5.1 Delay CleanUp
348 [12:54:56] Phase 5.1.1 Update Timing
349 [13:00:30] Phase 5.2 Clock Skew Optimization
350 [13:01:14] Phase 6 Post Hold Fix
351 [13:01:14] Phase 6.1 Hold Fix Iter
352 [13:01:14] Phase 6.1.1 Update Timing
353 [13:06:11] Phase 7 Route finalize
354 [13:06:57] Phase 8 Verifying routed nets
355 [13:07:36] Phase 9 Depositing Routes
356 [13:11:57] Phase 10 Route finalize
357 [13:12:40] Phase 11 Post Router Timing
358 [13:18:48] Finished 5th of 6 tasks (FPGA routing). Elapsed time: 01h 52m 04s
359
360 [13:18:48] Starting bitstream generation..
361 [15:15:42] Creating bitmap...
362 [16:06:35] Writing bitstream ./pfm_top_i_dynamic_region_my_rm_partial.bit...
363 [16:06:35] Finished 6th of 6 tasks (FPGA bitstream generation). Elapsed time: 02h 47m 47s
364 [16:11:28] Run vpl: Step impl: Completed
365 [16:11:39] Run vpl: FINISHED. Run Status: impl Complete!
366 INFO: [v++ 60-1441] [16:12:21] Run run_link: Step vpl: Completed
367 Time (s): cpu = 00:53:21 ; elapsed = 13:19:47 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical =
144970 ; free virtual = 185051
368 INFO: [v++ 60-1443] [16:12:21] Run run_link: Step rtdgen: Started
369 INFO: [v++ 60-1453] Command Line: rtdgen
370 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/run_link
371 INFO: [v++ 60-991] clock name 'clkwiz_kernel_clk_out1' (clock ID '0') is being mapped to clock name 'DATA_CLK
' in the xclbin
372 INFO: [v++ 60-991] clock name 'clkwiz_kernel2_clk_out1' (clock ID '1') is being mapped to clock name '
KERNEL_CLK' in the xclbin
373 INFO: [v++ 60-1230] The compiler selected the following frequencies for the runtime controllable kernel clock
(s) and scalable system clock(s): Kernel (DATA) clock: clkwiz_kernel_clk_out1 = 300, Kernel (KERNEL)
clock: clkwiz_kernel2_clk_out1 = 500
374 INFO: [v++ 60-1453] Command Line: cf2sw -a /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/address_map.xml -sdsl /iu_home/iu7137/workspace/
iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/sdsl.dat -xclbin /iu_home/
iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/
xclbin_orig.xml -rtd /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/int/vinc.rtd -o /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/vinc.xml
375 INFO: [v++ 60-1652] Cf2sw returned exit code: 0
376 INFO: [v++ 60-2311] HPISystemDiagram::writeSystemDiagramAfterRunningVivado, rtdInputFilePath: /iu_home/iu7137
/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/vinc.rtd
377 INFO: [v++ 60-2312] HPISystemDiagram::writeSystemDiagramAfterRunningVivado, systemDiagramOutputFilePath: /
iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/
systemDiagramModelSlrBaseAddress.json
378 INFO: [v++ 60-1618] Launching
379 INFO: [v++ 60-1441] [16:12:36] Run run_link: Step rtdgen: Completed
380 Time (s): cpu = 00:00:13 ; elapsed = 00:00:15 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical =
146042 ; free virtual = 186172
381 INFO: [v++ 60-1443] [16:12:36] Run run_link: Step xclbinutil: Started
382 INFO: [v++ 60-1453] Command Line: xclbinutil --add-section DEBUG_IP_LAYOUT:JSON:/iu_home/iu7137/workspace/
iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/debug_ip_layout.rtd --add-
section BITSTREAM:RAW:/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/int/partial.bit --force --target hw --key-value SYS:dfx_enable:true --add-
section :JSON:/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1
/_x/link/int/vinc.rtd --append-section :JSON:/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/appendSection.rtd --add-section CLOCK_FREQ_TOPOLOGY:JSON
:/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/
vinc.xml.rtd --add-section BUILD_METADATA:JSON:/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/vinc_build.rtd --add-section EMBEDDED_METADATA:RAW:/
iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/
vinc.xml --add-section SYSTEM_METADATA:RAW:/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link/int/systemDiagramModelSlrBaseAddress.json --output /iu_home/
iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/vinc.xclbin
383 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/run_link
384 XRT Build Version: 2.8.743 (2020.2)
385 Build Date: 2020-11-16 00:19:11
386 Hash ID: 77d5484b5c4daa691a7f78235053fb036829b1e9
387 Creating a default 'in-memory' xclbin image.
388

```

```

389 Section: 'DEBUG_IP_LAYOUT'(9) was successfully added.
390 Size : 440 bytes
391 Format : JSON
392 File : '/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link
/int/debug_ip_layout.rtd'
393
394 Section: 'BITSTREAM'(0) was successfully added.
395 Size : 41042586 bytes
396 Format : RAW
397 File : '/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link
/int/partial.bit'
398
399 Section: 'MEM_TOPOLOGY'(6) was successfully added.
400 Format : JSON
401 File : 'mem_topology'
402
403 Section: 'IP_LAYOUT'(8) was successfully added.
404 Format : JSON
405 File : 'ip_layout'
406
407 Section: 'CONNECTIVITY'(7) was successfully added.
408 Format : JSON
409 File : 'connectivity'
410
411 Section: 'CLOCK_FREQ_TOPOLOGY'(11) was successfully added.
412 Size : 274 bytes
413 Format : JSON
414 File : '/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link
/int/vinc.xml.rtd'
415
416 Section: 'BUILD_METADATA'(14) was successfully added.
417 Size : 2887 bytes
418 Format : JSON
419 File : '/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link
/int/vinc_build.rtd'
420
421 Section: 'EMBEDDED_METADATA'(2) was successfully added.
422 Size : 2754 bytes
423 Format : RAW
424 File : '/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link
/int/vinc.xml'
425
426 Section: 'SYSTEM_METADATA'(22) was successfully added.
427 Size : 5608 bytes
428 Format : RAW
429 File : '/iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/link
/int/systemDiagramModelSlrBaseAddress.json'
430
431 Section: 'IP_LAYOUT'(8) was successfully appended to.
432 Format : JSON
433 File : 'ip_layout'
434 Successfully wrote (41064440 bytes) to the output file: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/
src/vitis_rtl_kernel/rtl_kernel_wizard_1/vinc.xclbin
435 Leaving xclbinutil.
436 INFO: [v++ 60-1441] [16:12:38] Run run_link: Step xclbinutil: Completed
437 Time (s): cpu = 00:00:00.52 ; elapsed = 00:00:02 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
physical = 145980 ; free virtual = 186201
438 INFO: [v++ 60-1443] [16:12:38] Run run_link: Step xclbinutilinfo: Started
439 INFO: [v++ 60-1453] Command Line: xclbinutil --quiet --force --info /iu_home/iu7137/workspace/
iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/vinc.xclbin.info --input /iu_home/
iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/vinc.xclbin
440 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/run_link
441 INFO: [v++ 60-1441] [16:12:42] Run run_link: Step xclbinutilinfo: Completed
442 Time (s): cpu = 00:00:03 ; elapsed = 00:00:04 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical =
145975 ; free virtual = 186205
443 INFO: [v++ 60-1443] [16:12:42] Run run_link: Step generate_sc_driver: Started
444 INFO: [v++ 60-1453] Command Line:
445 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/_x/link/run_link
446 INFO: [v++ 60-1441] [16:12:42] Run run_link: Step generate_sc_driver: Completed
447 Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.05 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
physical = 146033 ; free virtual = 186264
448 INFO: [v++ 60-244] Generating system estimate report...
449 INFO: [v++ 60-1092] Generated system estimate report: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_1/_x/reports/link/system_estimate_vinc.txt
450 INFO: [v++ 60-586] Created /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_1/vinc.ltx
451 INFO: [v++ 60-586] Created vinc.xclbin
452 INFO: [v++ 60-1307] Run completed. Additional information can be found in:
453 Guidance: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/
reports/link/v++_link_vinc_guidance.html

```

```

454 Timing Report: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x
    /reports/link/imp/impl_1_xilinx_u200_xdma_201830_2_bb_locked_timing_summary_routed.rpt
455 Vivado Log: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/_x/
    logs/link/vivado.log
456 Steps Log File: /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/
    _x/logs/link/link.steps.log
457
458 INFO: [v++ 60-2343] Use the vitis_analyzer tool to visualize and navigate the relevant reports. Run the
    following command.
459 vitis_analyzer /iu_home/iu7137/workspace/iu7_53b_19_lab01_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_1/
    vinc.xclbin.link_summary
460 INFO: [v++ 60-791] Total elapsed time: 13h 23m 40s
461 INFO: [v++ 60-1653] Closing dispatch client.

```