



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

по лабораторной работе № 1 _____

Тема: Синхронные одноступенчатые триггеры со статическим и динамическим управлением записью
Дисциплина: Архитектура ЭВМ

Студент

ИУ7-43Б
(Группа)

28.02.2021
(Подпись, дата)

И.А. Цветков
(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов
(И.О. Фамилия)

Москва, 2021

Цель работы: изучить схемы асинхронного RS - триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS - и D - триггеров со статическим управлением записью и DV - триггера с динамическим управлением записью

Триггер - запоминающее устройство с двумя устойчивыми состояниями, которые кодируются цифрами 0 и 1

Внутренние состояния триггера определяются по его выходному сигналу. Триггер имеет два выхода: прямой и инверсный.

Триггер имеет в общем случае несколько физических входов, на которые могут подаваться сигналы, закодированные цифрами 0 и 1. В результате действия входных сигналов триггер переключается из одного устойчивого состояния в другое. При этом изменяется уровень напряжения его выходного сигнала.

Асинхронный RS триггер

Асинхронный RS-триггер - это простейший триггер, который используется как запоминающая ячейка.

Он сохраняет одно из устойчивых состояний независимо от многократного изменения информационного сигнала на одном входе при нулевом значении информационного сигнала на другом входе

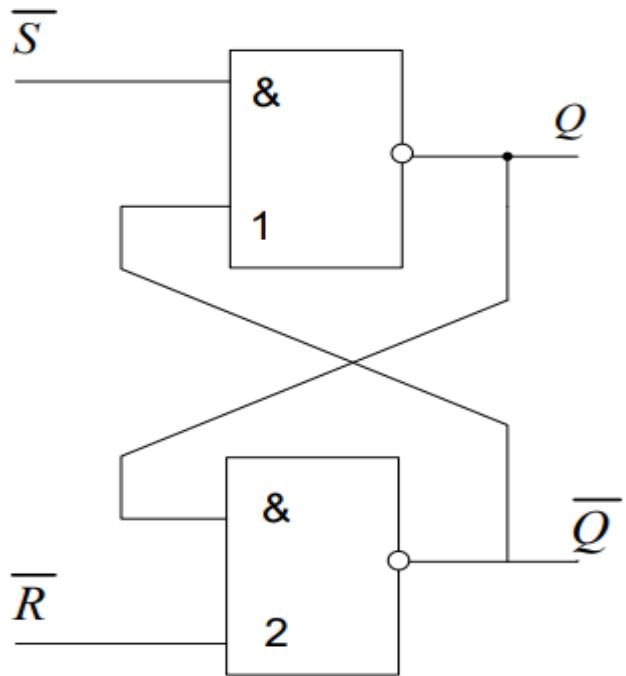
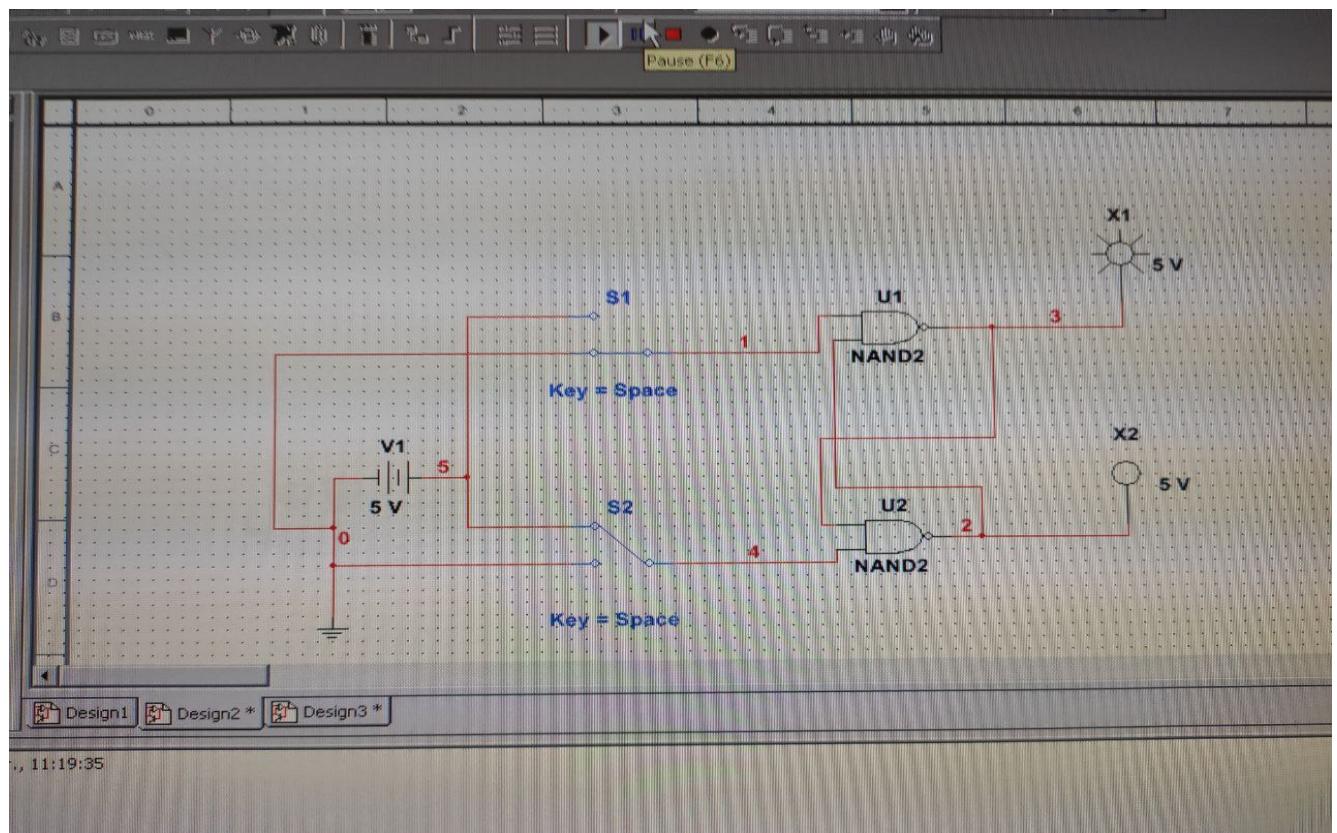


рис 1. Структурная схема асинхронного RS-триггера

Построим схему в программе Multisim



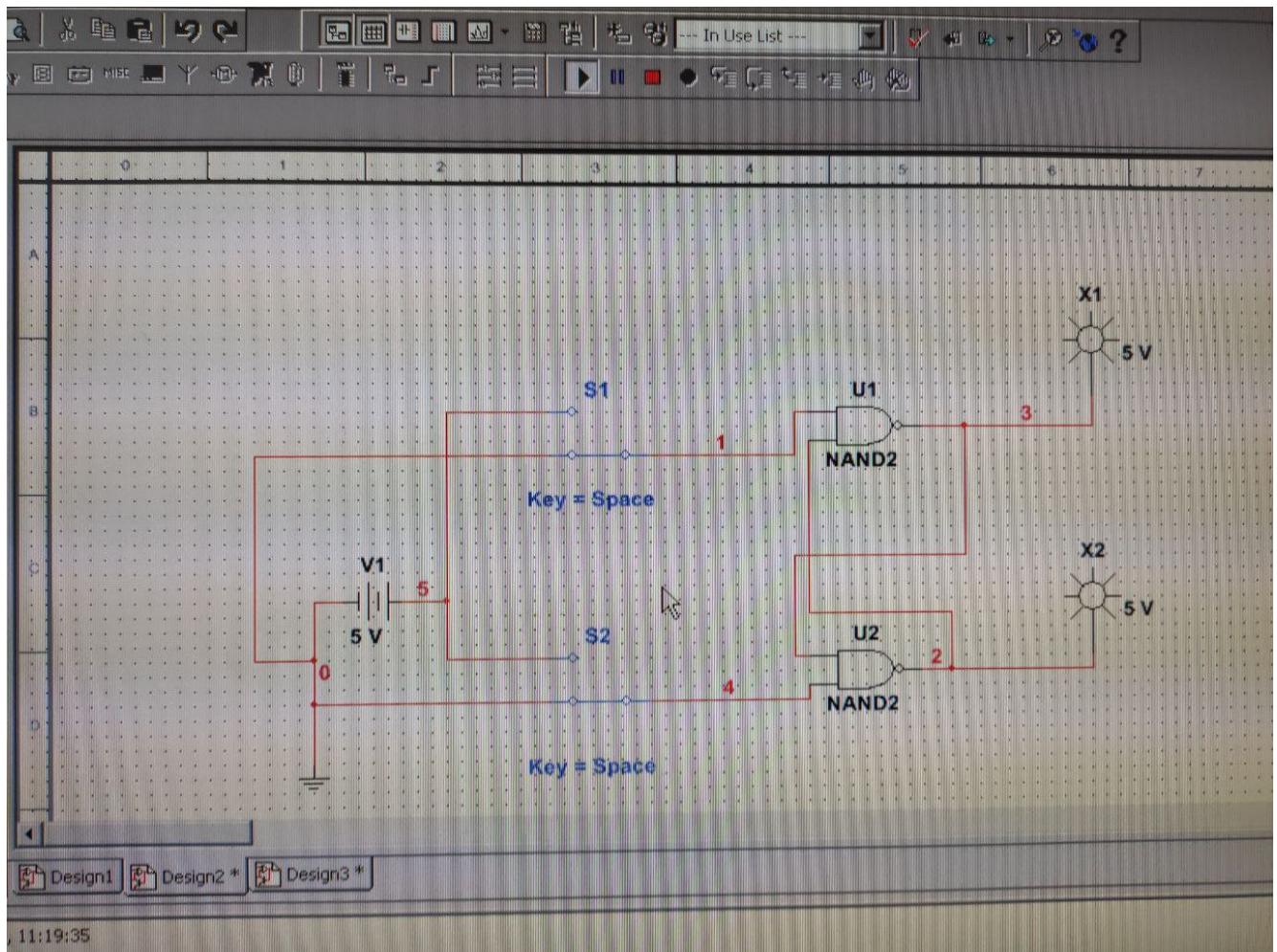


рис 2-3. Схема асинхронного RS-триггера в программе Multisim

Тогда имеем такую таблицу переходов:

$\neg S$	$\neg R$	Q_n	Q_{n+1}
0	0	0	-
0	0	1	-
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0

1	1	0	0
1	1	1	1

Таблица 1. Таблица переходов асинхронного RS-триггера

Переходная диаграмма

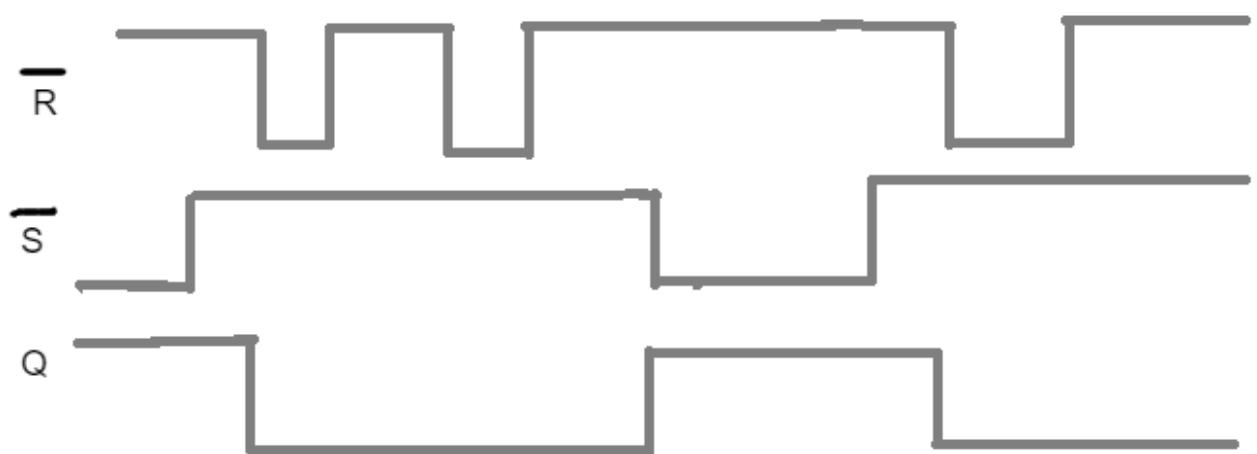


рис 4. Переходная диаграмма асинхронного RS-триггера

Синхронный одноступенчатый RS триггер

Синхронный RS-триггер - триггер, который имеет два информационных входа R и S и вход синхронизации C. ЛЭ 1 и 2 образуют схему управления, ЛЭ3 и 4 – асинхронный RS - триггер (запоминающую ячейку).

Как и все синхронные триггеры, синхронный RS - триггер при $C = 0$ сохраняет предыдущее внутреннее состояние. Сигналы по входам S и R переключают синхронный RS - триггер только с поступлением импульса на вход синхронизации C. При $C=1$ синхронный триггер переключается как асинхронный. Одновременная подача сигналов $C = S = R = 1$ запрещена. При $S = R = 0$ триггер не изменяет своего состояния.

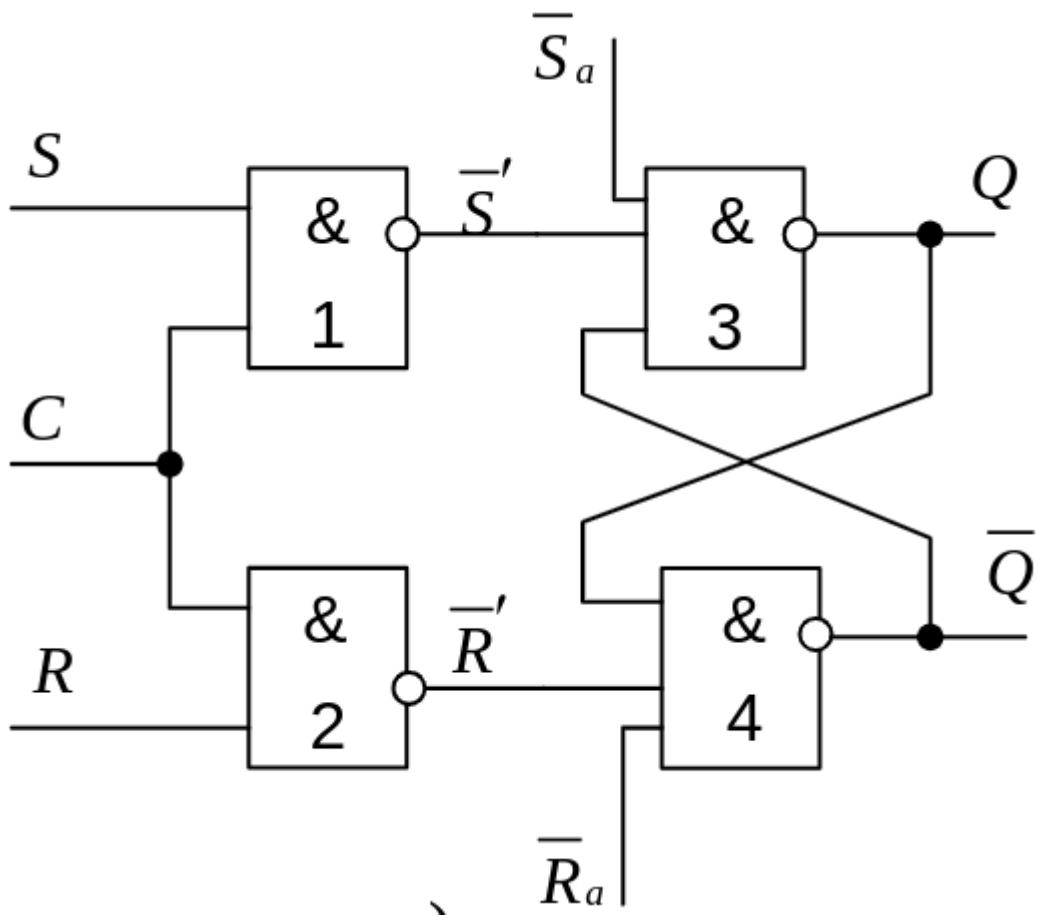


рис 5. Структурная схема синхронного RS-триггера

Построим схему в программе Multisim

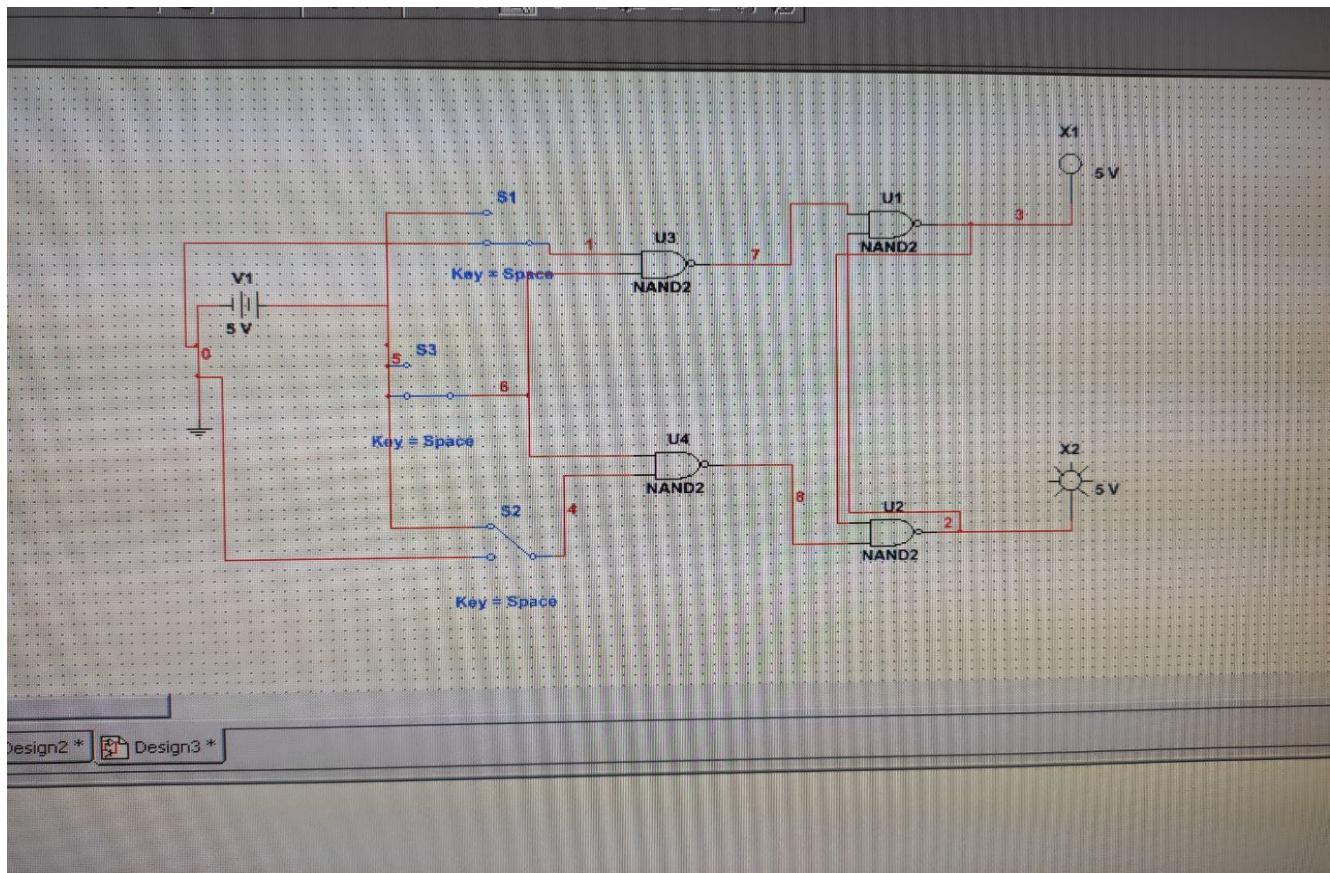
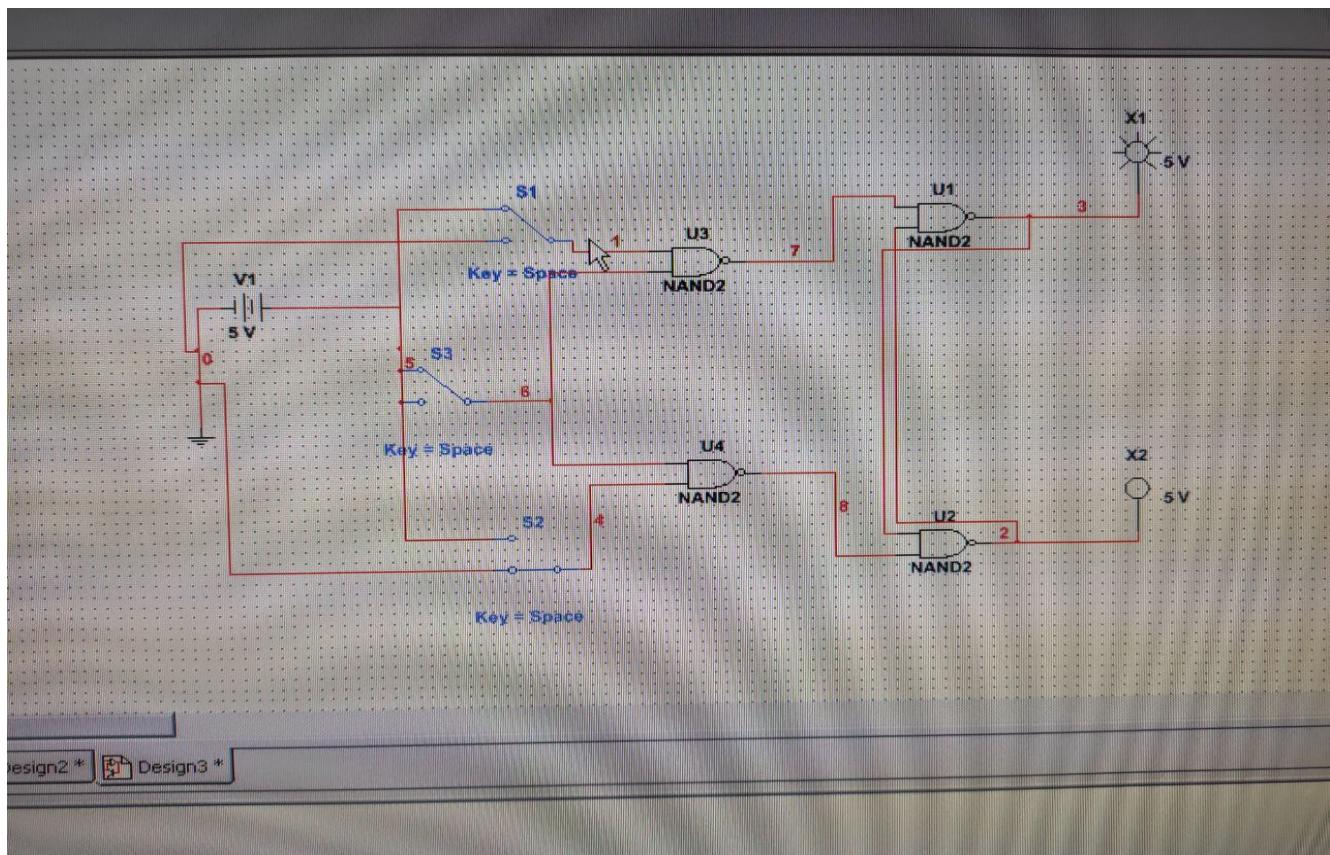


рис 6-7. Схема синхронного RS-триггера в программе Multisim

Для синхронного RS триггера таблица переходов аналогична таблице переходов асинхронного при сигнале синхронизации $C = 1$ (при 0 он сохраняет предыдущее состояние), то есть

C	$\neg S$	$\neg R$	Q_n	Q_{n+1}
0	*	*	0	0
0	*	*	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	X
1	1	1	1	X

Таблица 2. Таблица переходов синхронного RS-триггера

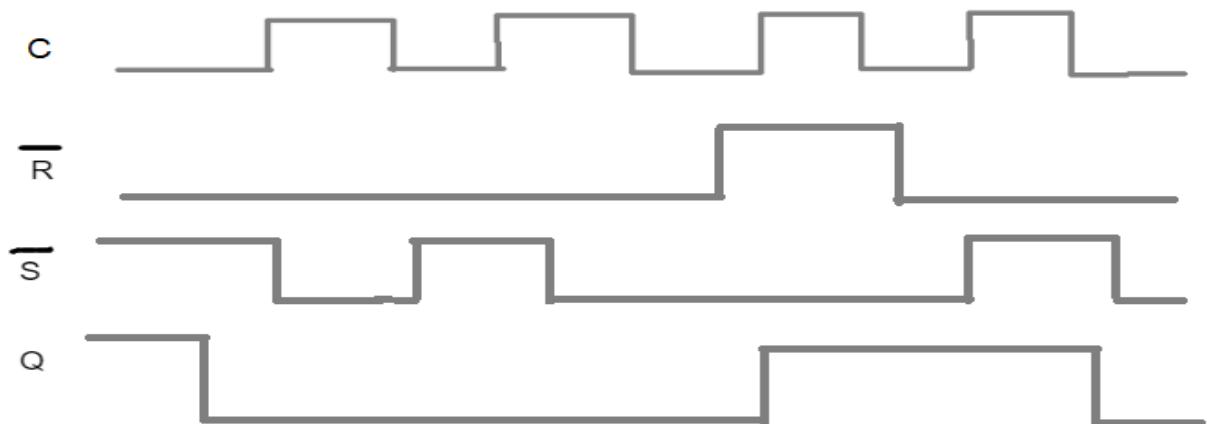


рис 8. Переходная диаграмма синхронного RS-триггера

Синхронный D триггер (со статическим управлением)

Синхронный D-триггер - элемент задержки (хранения) входных сигналов на один такт.

Данный триггер имеет один информационный вход D, состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы.

Схему синхронного D - триггера можно получить из схемы синхронного RS – триггера, подавая сигнал D на вход S, а инверсный сигнал D, на вход R. В результате на входа RS - триггера возможны только наборы сигналов SR =01 при D =0 или SR =10 при D = 1, что соответствует записи в триггер логического 0 или 1. Путем логических преобразований инвертор можно исключить и получить схему синхронного D – триггера

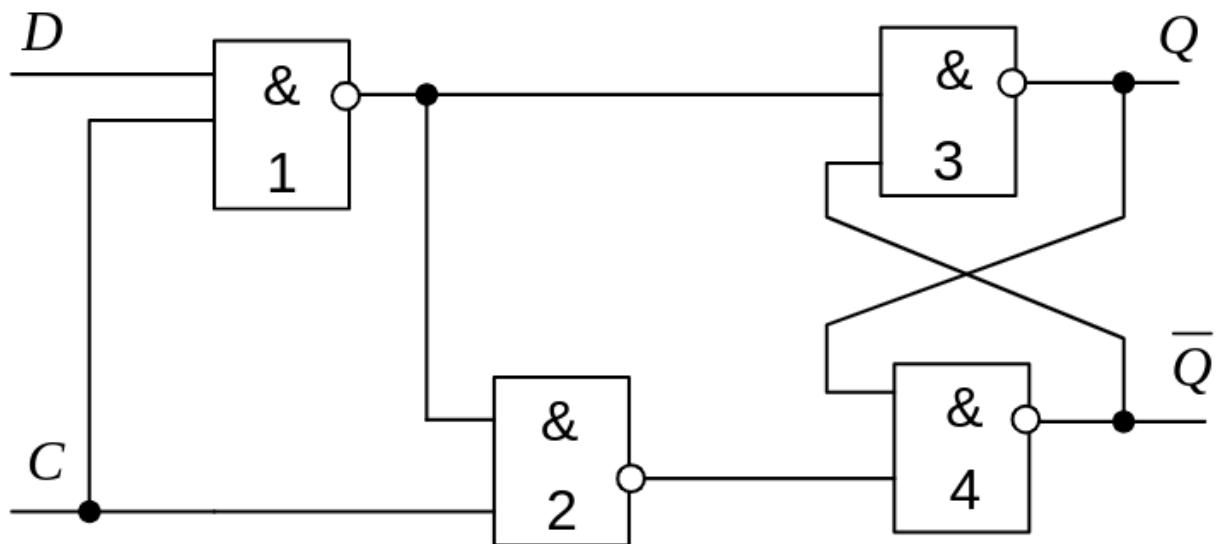


рис 9. Структурная схема синхронного D-триггера

(со статическим управлением)

Построим схему в программе Multisim

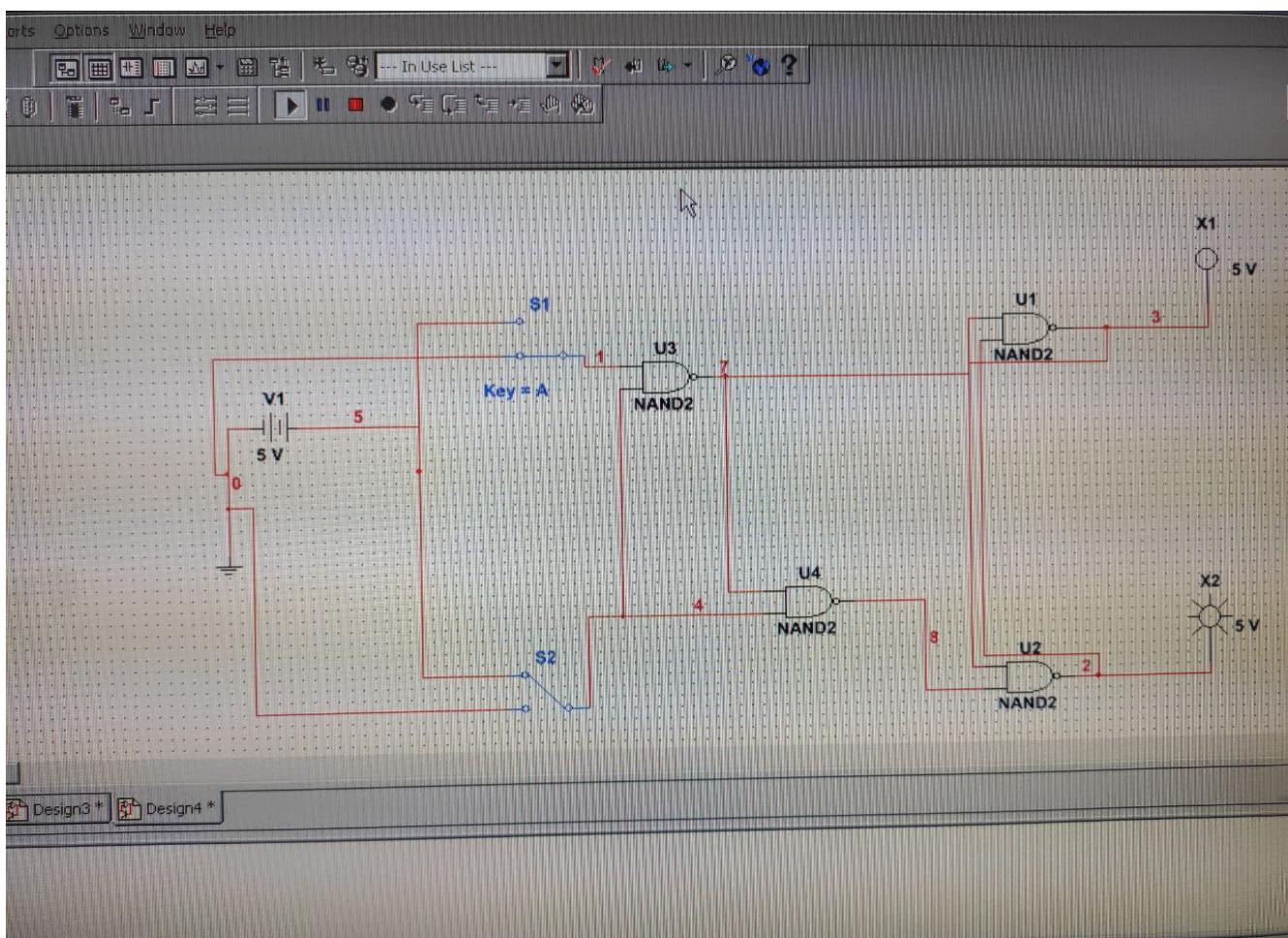
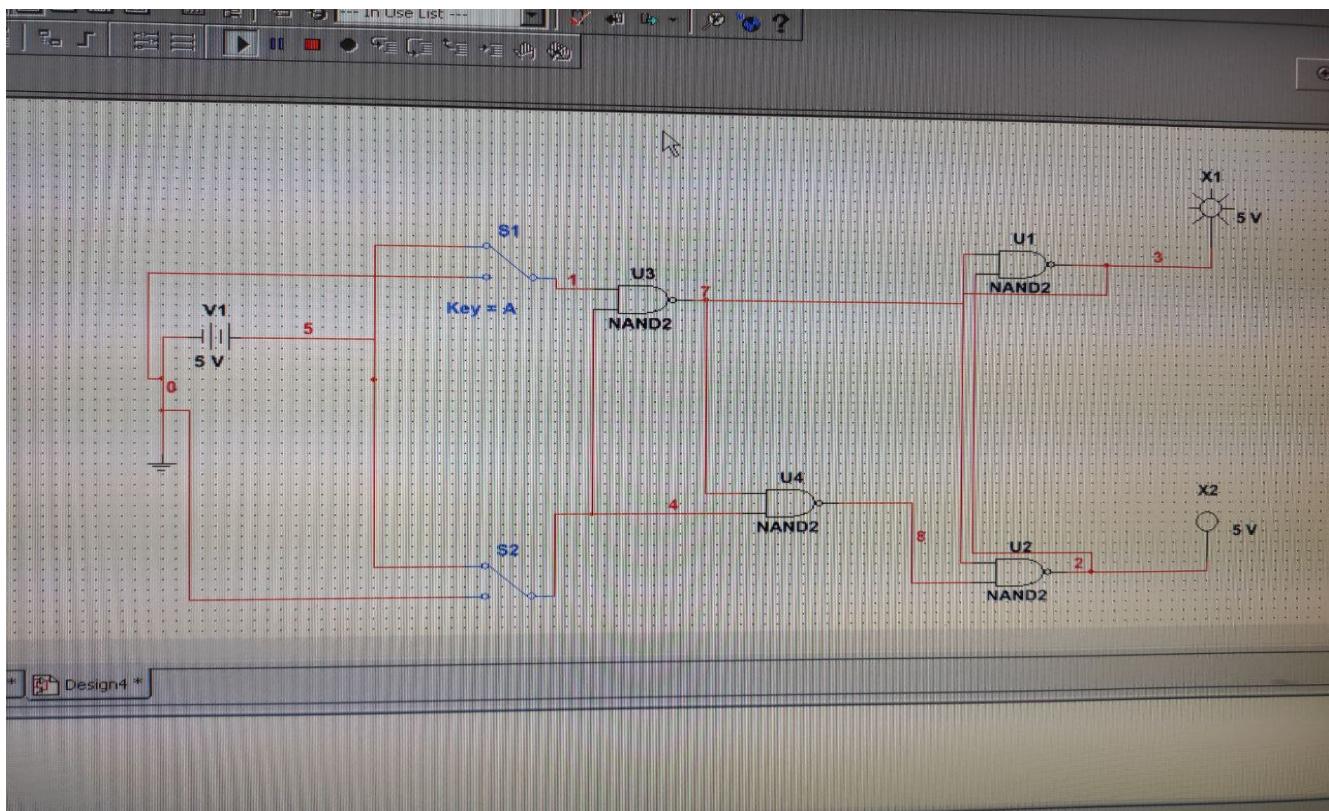


рис 10-11. Схема синхронного D-триггера (со статическим управлением) в
программе Multisim

Таблица переходов

Время t_n			Время t_{n+1}	
C_n	D_n	Q_n	Q_{n+1}	
			D-триггер	
0	0	0	0	
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	0	
1	0	1	0	
1	1	0	1	
1	1	1	1	

Таблица 3. Таблица переходов синхронного D-триггера (со статическим управлением)

Переходная диаграмма

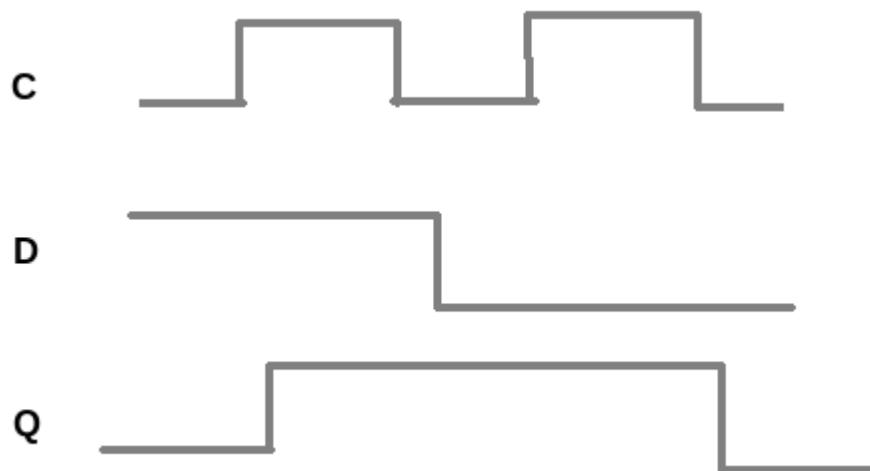
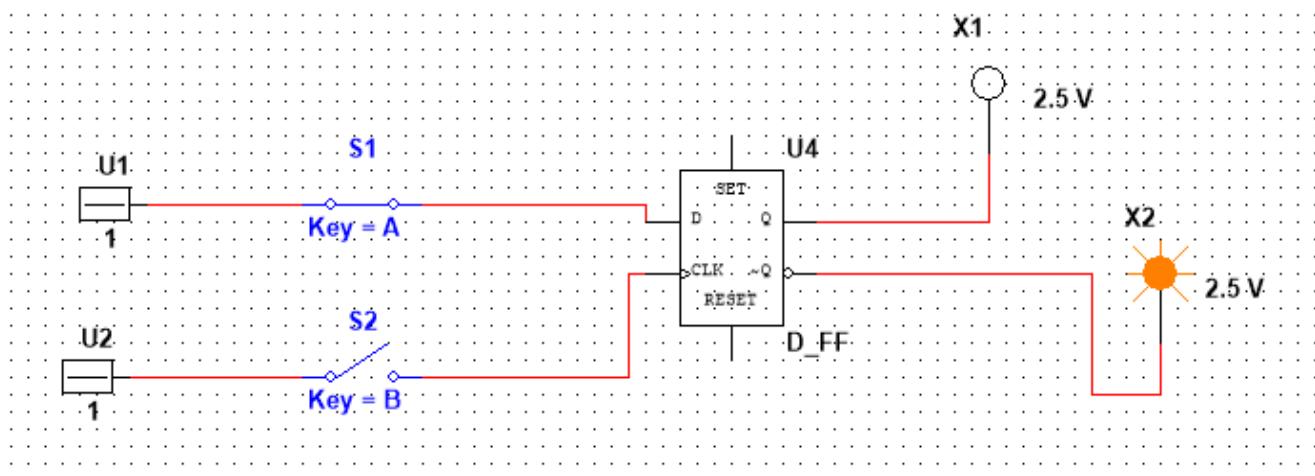
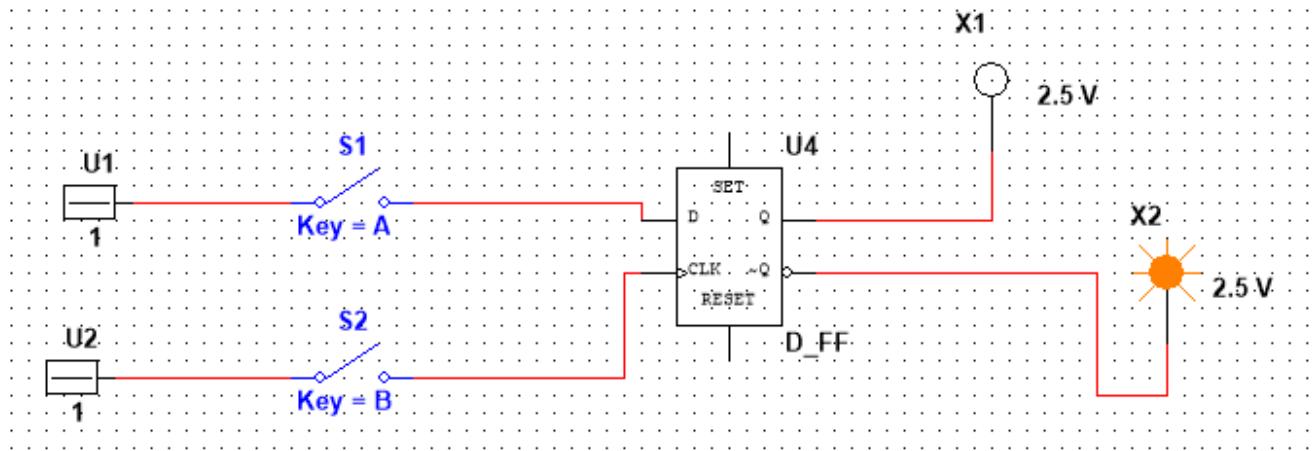


рис 12. Переходная диаграмма синхронного D-триггера
(со статическим управлением)

Синхронный D триггер (с динамическим управлением)

D триггер с динамическим управлением отличается от D триггера со статическим управлением тем, что запись информации происходит только при изменении сигнала С

Построим схему в программе Multisim



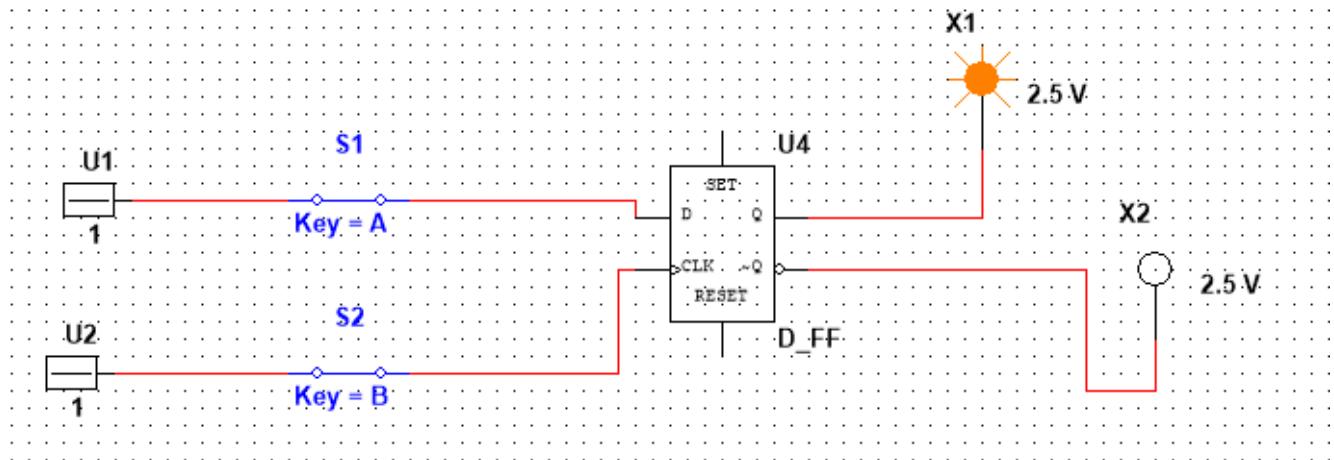


рис 13-15. Схема синхронного D-триггера (с динамическим управлением) в программе Multisim

Таблица переходов

D	C	Q _n	Q _{n+1}
0	0	0	0
0	1	1	1
1	0	0	0
1	1	1	1
0	с 0 на 1	1	0
1	с 0 на 1	0	1

Таблица 4. Таблица переходов синхронного D-триггера (с динамическим управлением)

Синхронный DV триггер (с динамическим управлением записью)

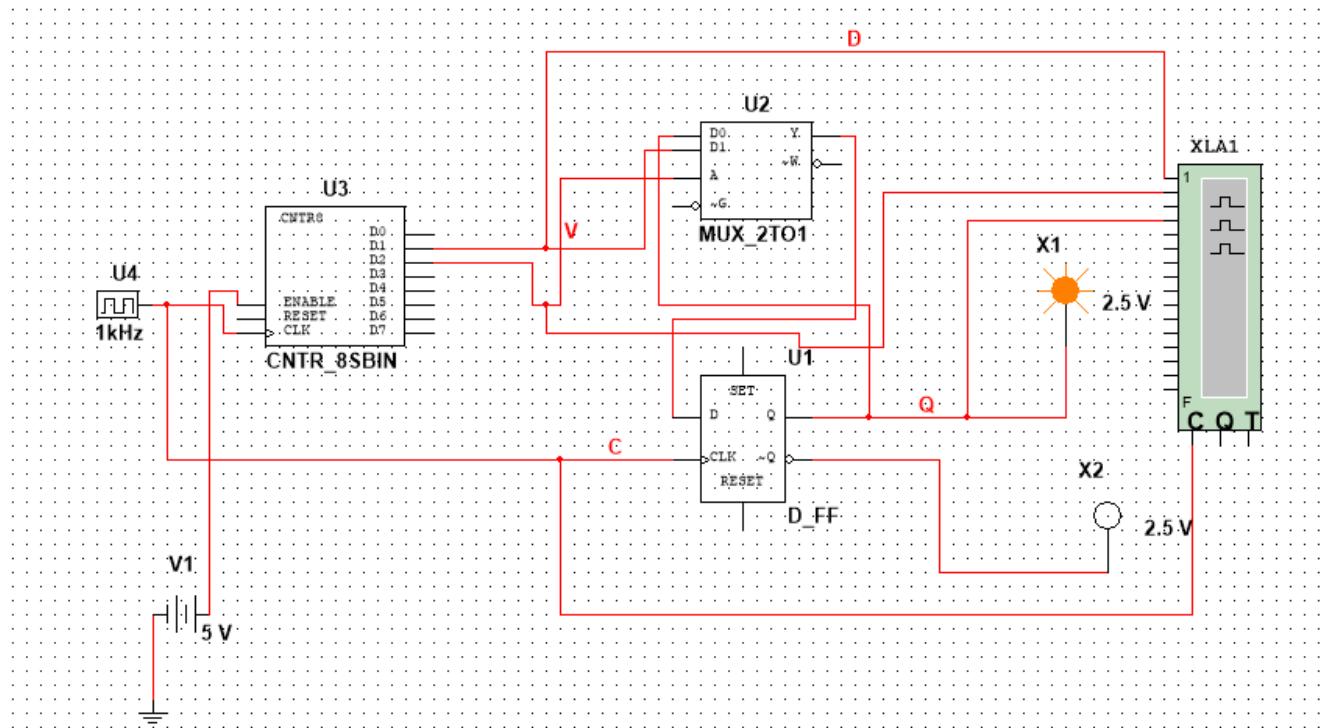
Синхронный DV триггер - триггер, который имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации.

Если C=0, то DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние

Если C=1 и при наличии сигнала V=1 разрешения приема информации, то DV триггер принимает информационный сигнал, действующий на входе D, т.е. работает как асинхронный DV триггер.

Если C=1 и V=0, то DV триггер сохраняет предыдущее внутреннее состояние

Построим схему в программе Multisim



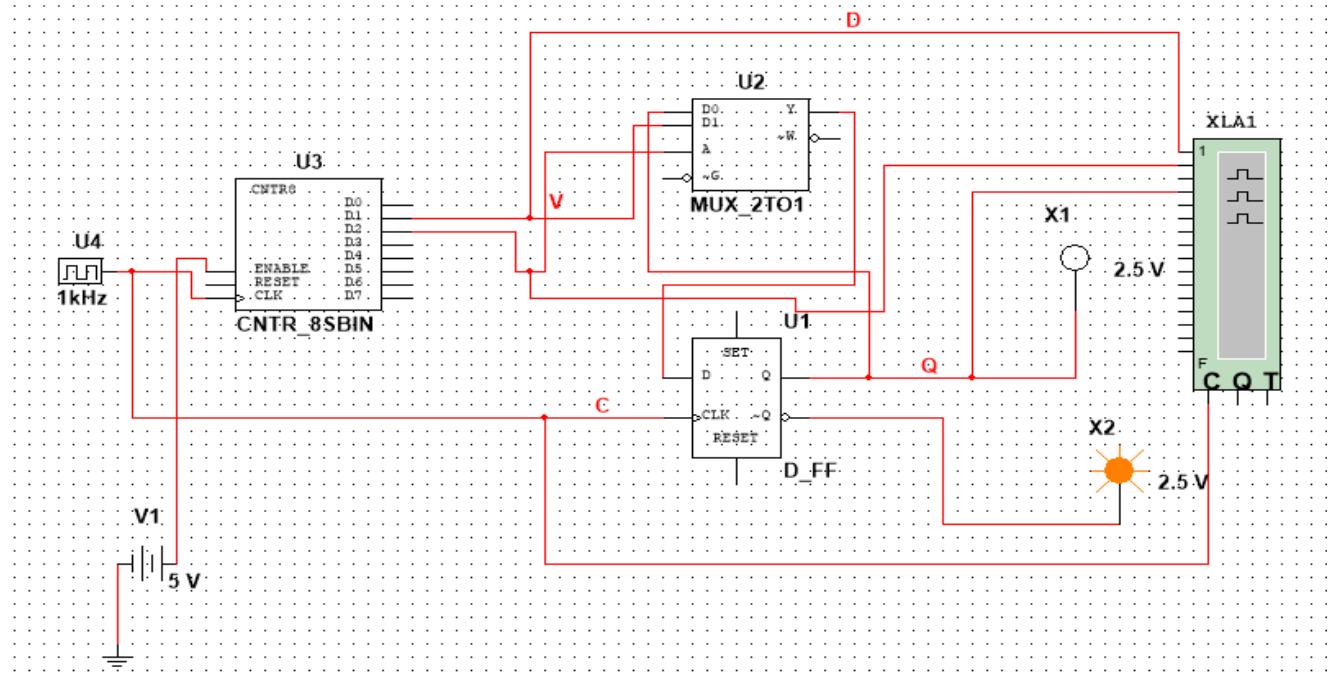


рис 16-17. Схема синхронного DV-триггера (с динамическим управлением) в программе Multisim

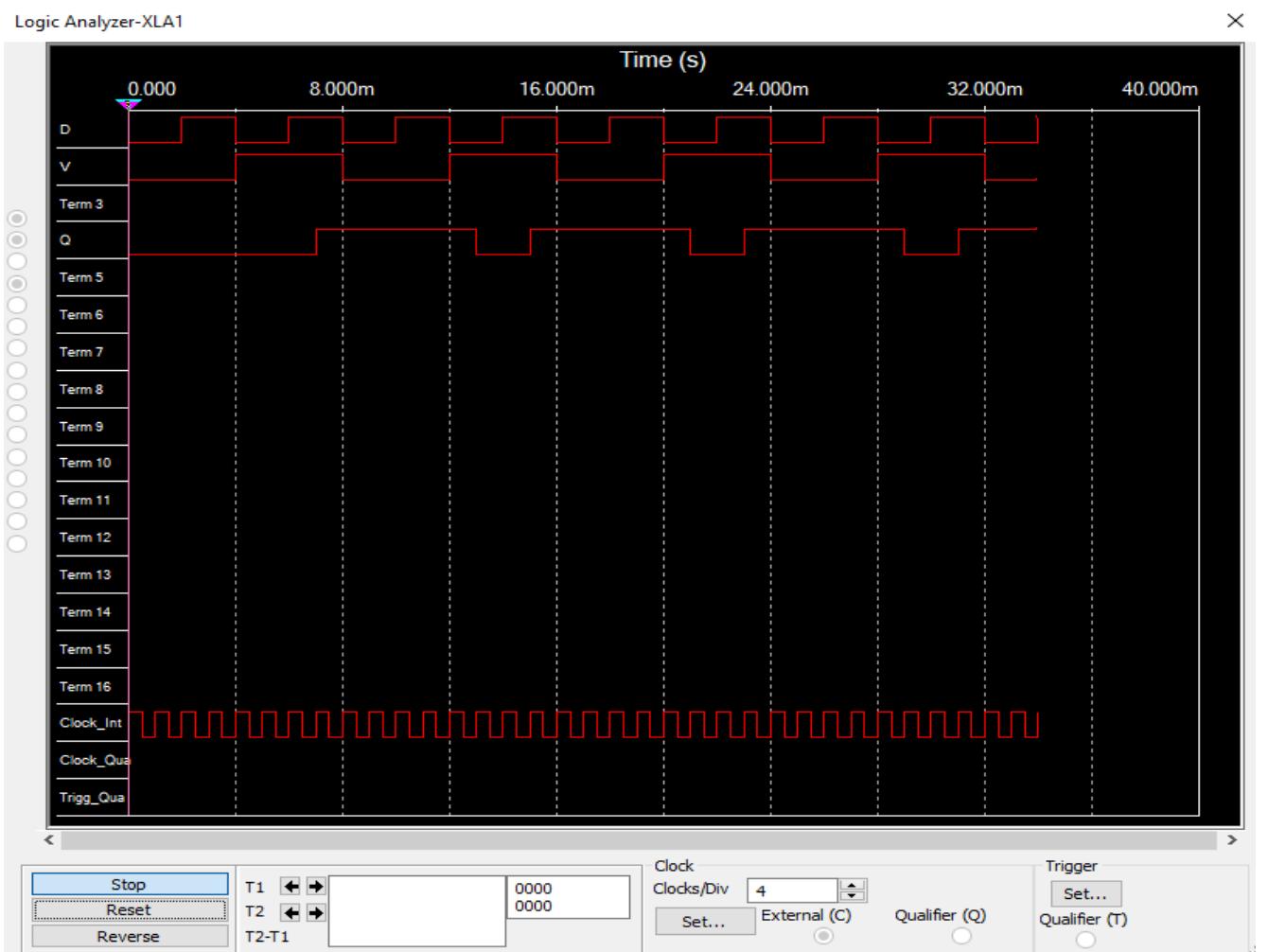


рис 18. Переходная диаграмма синхронного DV-триггера
(с динамическим управлением)

Таблица переходов

C	D	N	Q_n	Q_{n+1}
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Таблица 5. Таблица переходов синхронного DV-триггера
(с динамическим управлением)

Синхронный DV триггер, включенный по схеме TV триггера

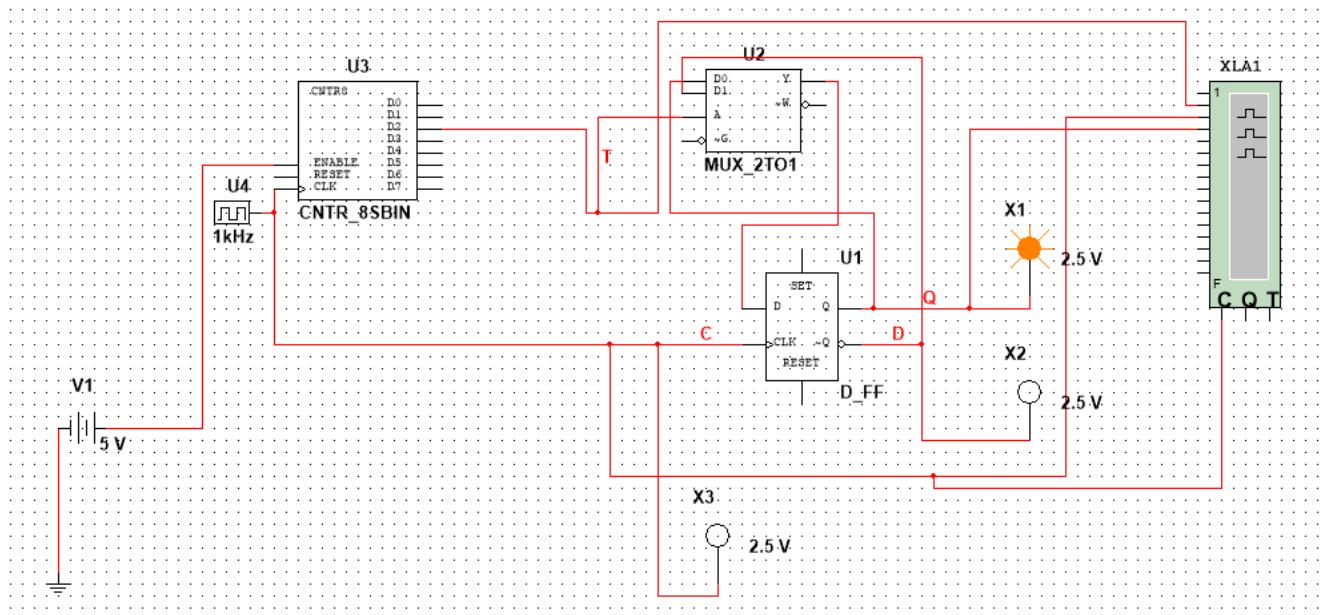
Новый триггер, который ранее не встречался, но участвует в данном эксперименте, это Т триггер

Т триггер - триггер, который имеет один информационный вход Т, называемый счетным входом.

Асинхронный Т-триггер переходит в противоположное состояние каждый раз при подаче на Т-вход единичного сигнала.

Таким образом Т-триггер реализует счет по модулю 2. Синхронный Т-триггер имеет вход С и вход Т. Синхронный Т-триггер переключается в противоположное состояние сигналом С, если на счетном входе Т действует сигнал логической 1.

Построим схему в программе Multisim



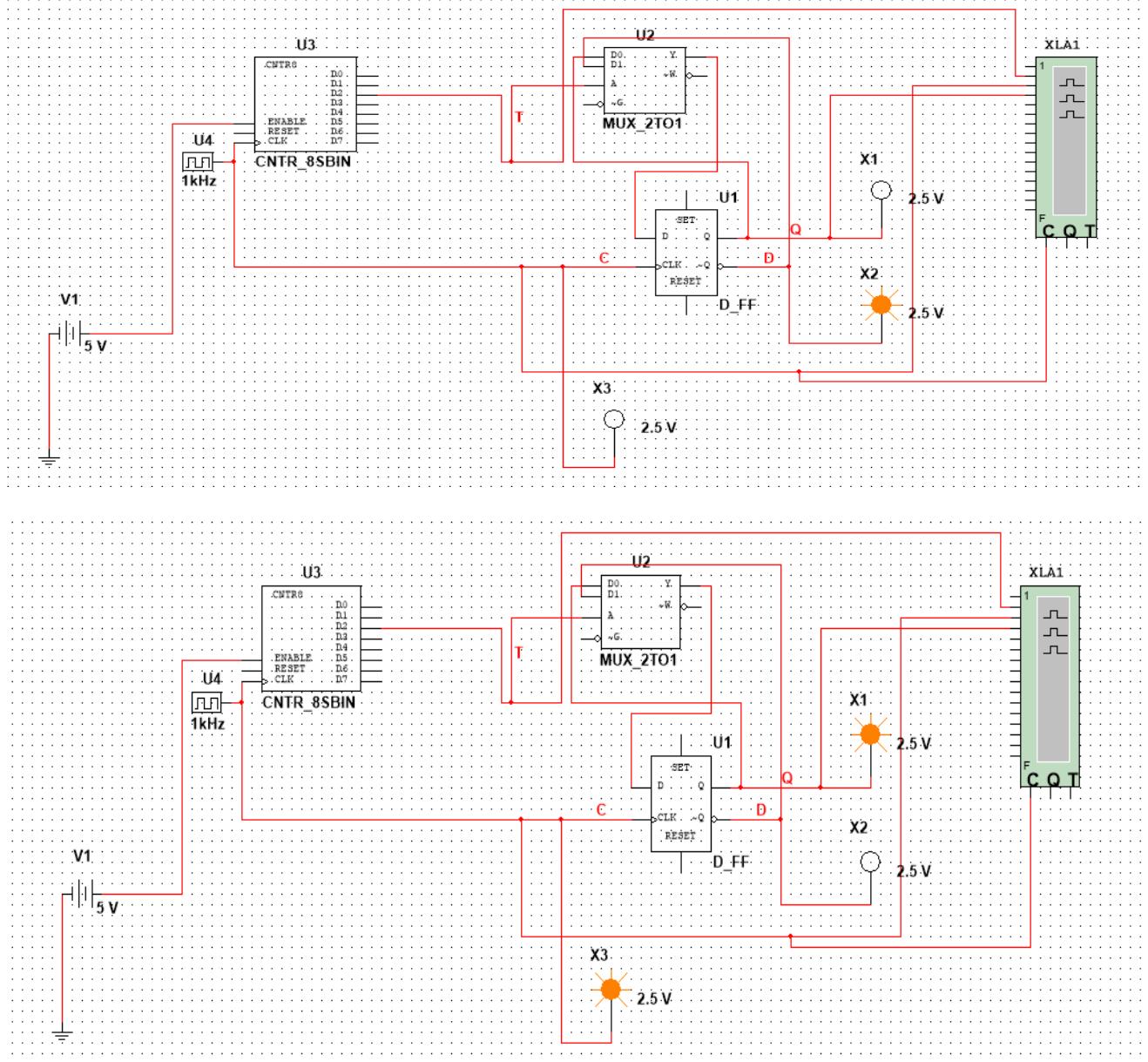


рис 19-21. Схема синхронного DV-триггера (включенного по схеме TV-триггера)
в программе Multisim

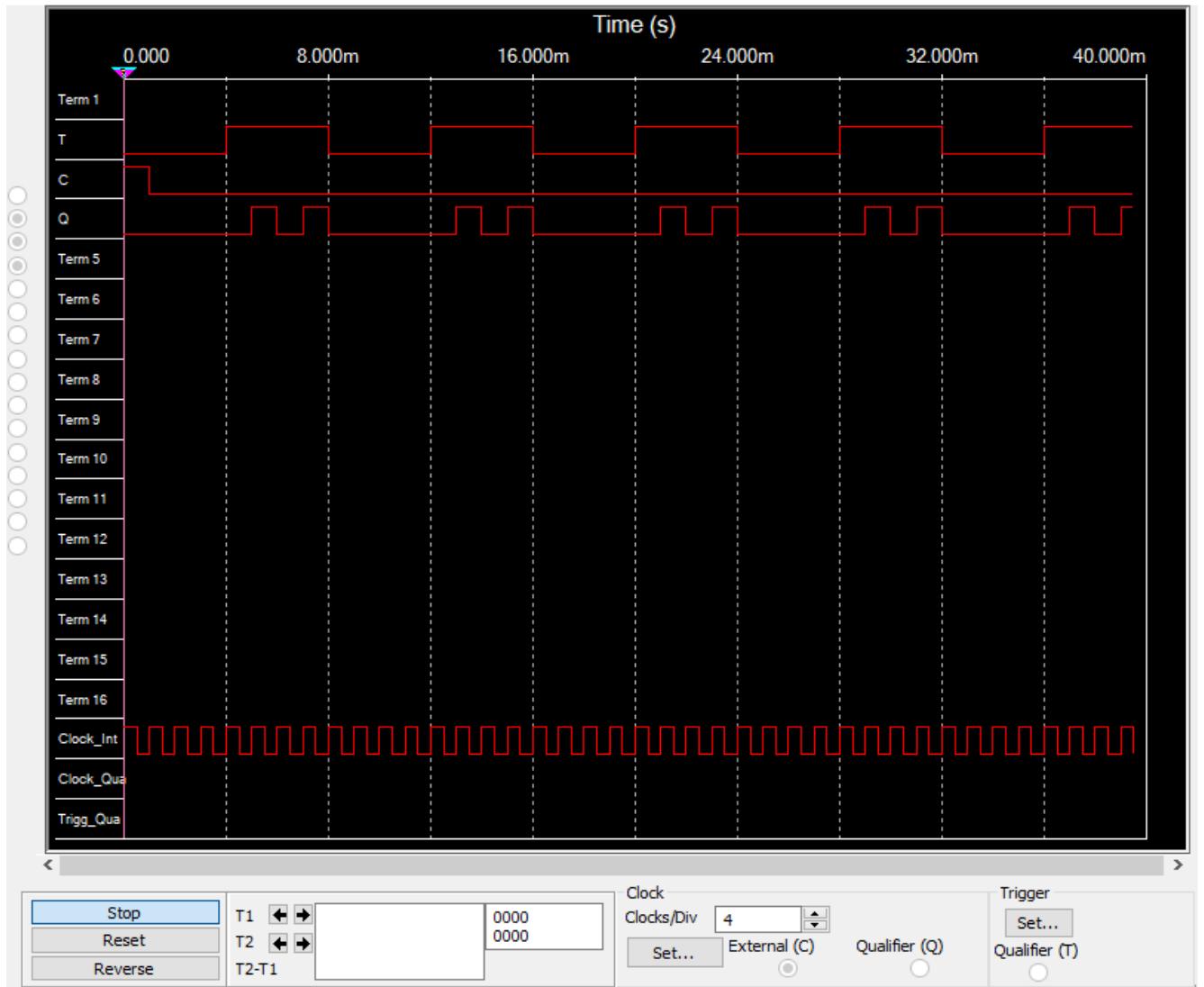


рис 22. Переходная диаграмма синхронного DV-триггера
(включенного по схеме TV-триггера)

Вывод

В данной лабораторной работе рассматривалось понятие триггера, его применение и схемы различных триггеров