| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |
| --- | --- |

ФАКУЛЬТЕТ **ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ**

КАФЕДРА **ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ**

**ОТЧЕТ**

| **По лабораторной работе №** | 4 |
| --- | --- |

**Название:** Исследование мультиплексоров

**Дисциплина:** Архитектура ЭВМ

| Студент | ИУ7-43Б |  |  | И.А. Цветков |
| --- | --- | --- | --- | --- |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
| Преподаватель |  |  |  | А. Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

# Цель работы

Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

# Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

а) на информационные входы D0 …D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения U=5 В и 0 В (общая);

б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Составим схему по варианту 21 (рисунок 1). Вариант 21: 1100 1110

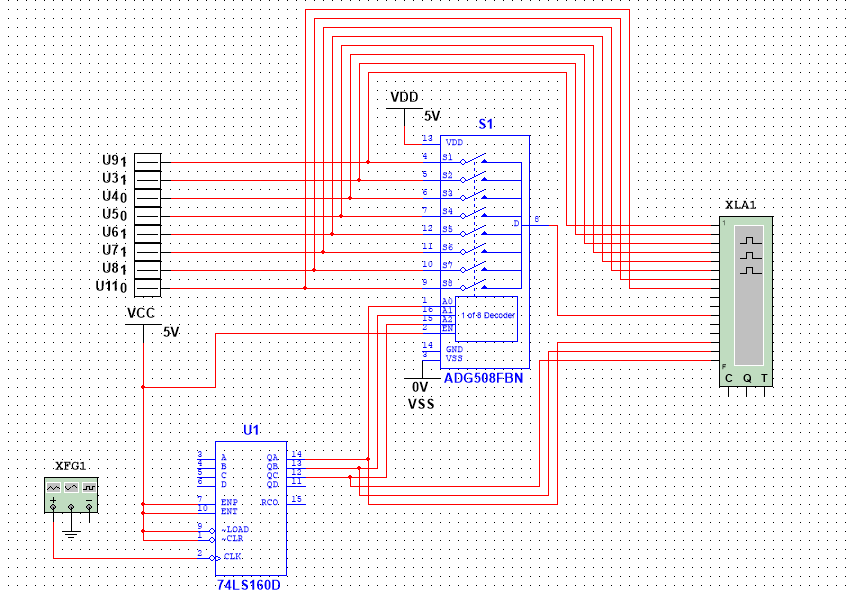


Рисунок 1 - Схема по варианту

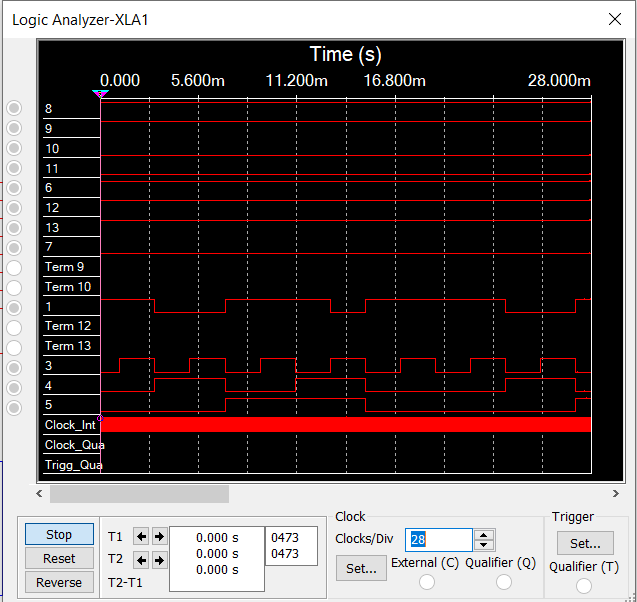


Рисунок 2 - Временная диаграмма для схемы на рисунке 1

Проводя анализ полученных данных, можно заметить, что на самом деле мультиплексор выполняет функцию адресного коммутатора, т.е. выполняет передачу на выход того информационного сигнала, адрес которого установлен на адресных входах.

# Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D0…D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Мultisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

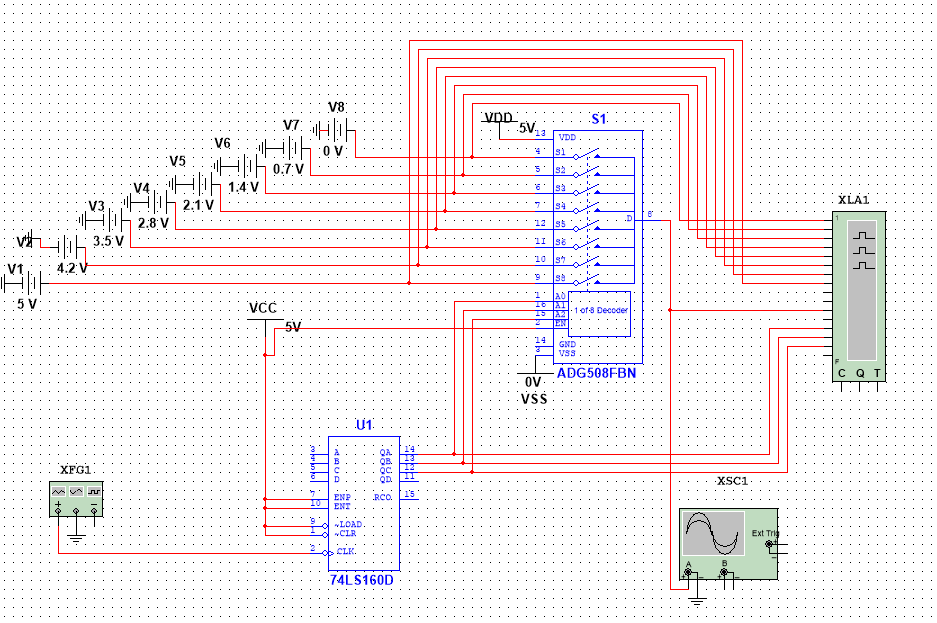
Составим схему (рисунок 3).

Рисунок 3 - Схема с ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов

Проведем анализ и получим следующую диаграмму

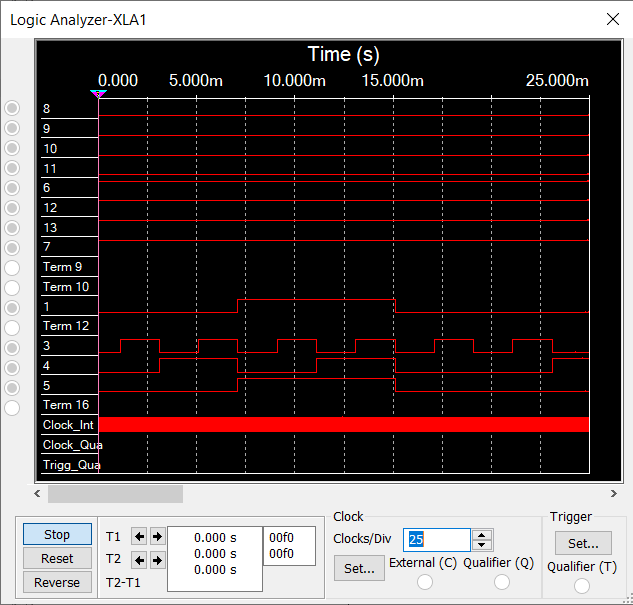


Рисунок 4 - Временная диаграмма для схемы на рисунке 3

Анализ с осциллографа

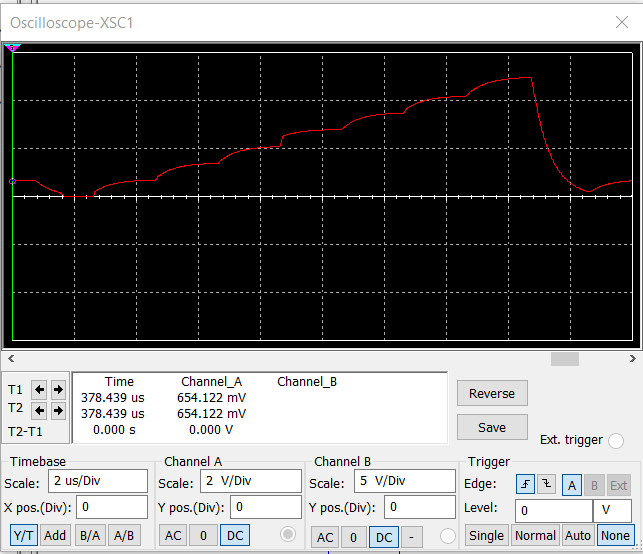


Рисунок 5 - Результаты осциллографа для схемы на рисунке 3

Исходя из приведенных выше данных можно сделать вывод о том, что выходной сигнал представляет собой некую функциональную зависимость. Также немаловажно, что выходной сигнал имеет задержку из-за процессов внутри самого мультиплексора

Теперь добавим катушку индуктивности в схему (рисунок 6)

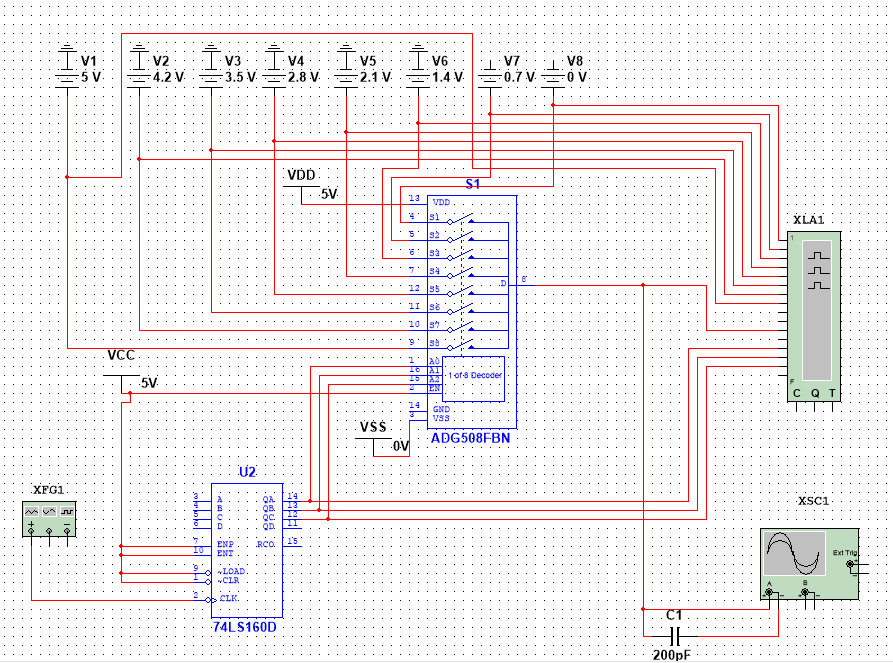


Рисунок 6 - Схема из Рисунка 3 с добавленной катушкой индуктивности

Информация с осциллографа (рисунок 7)

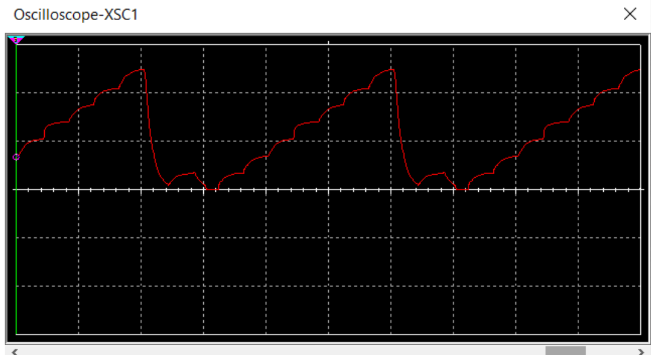


Рисунок 7 - Результаты осциллографа для схемы из рисунка 6

# Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем.

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вариант 21: (0110 0011 0001 1110)

Таблица 1 - Нахождение x1 через ФАЛ

| *x4* | *x3* | *x2* | *x1* | *f* | *Примечание* |
| --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 0 | D0 = x1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | D1 = ~x1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | D2 = 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | D3 = 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | D4 = 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | D5 = x1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | D6 = 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | D7 = ~x1 |
| 1 | 1 | 1 | 1 | 0 |

Схема

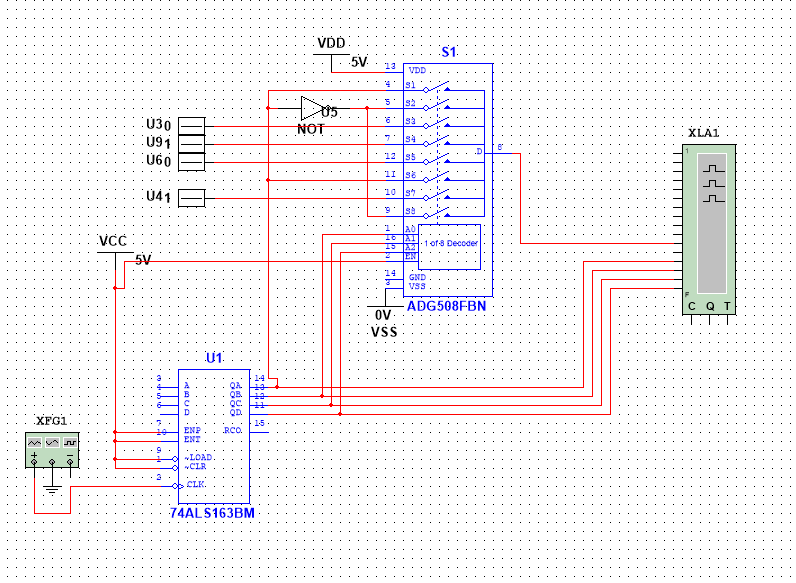


Рисунок 8 - Схема исследования ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных

Тогда временная диаграмма

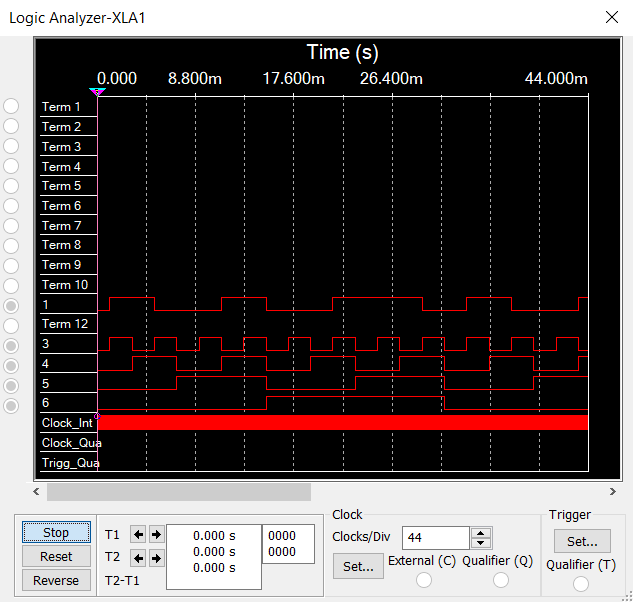


Рисунок 9 - Временная диаграмма для схемы на рисунке 8

Исходя из данных полученных с логического анализатора, построенная схема работает верно.

# Наращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4.

Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 …D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1. мультиплексора MUX 16 – 1.

Вариант 21: (0110 0011 0001 1110)

Построим схему

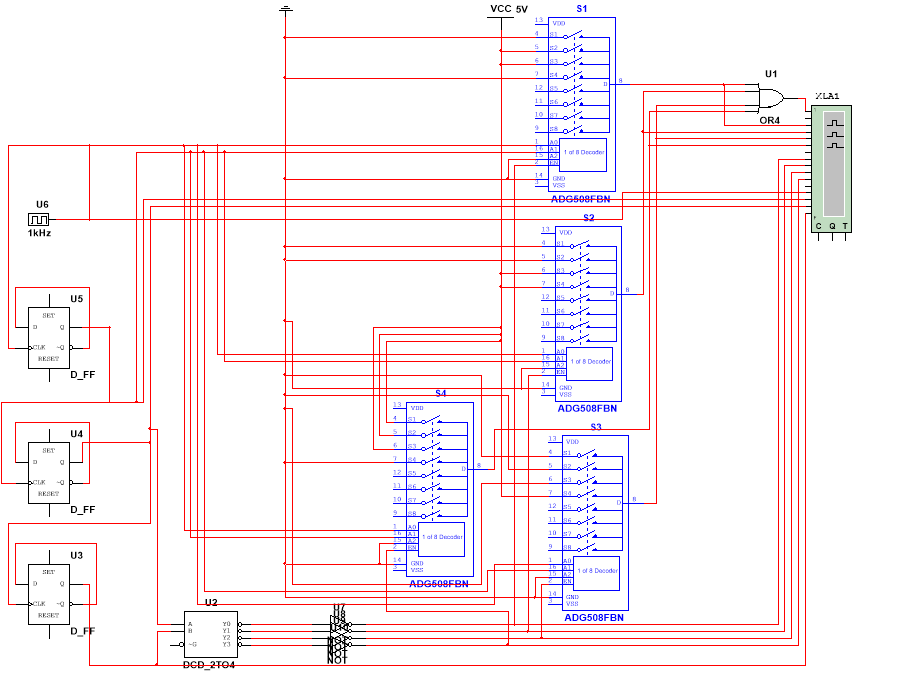


Рисунок 10 - Схема MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4

Тогда логический анализатор будет выглядеть таким образом

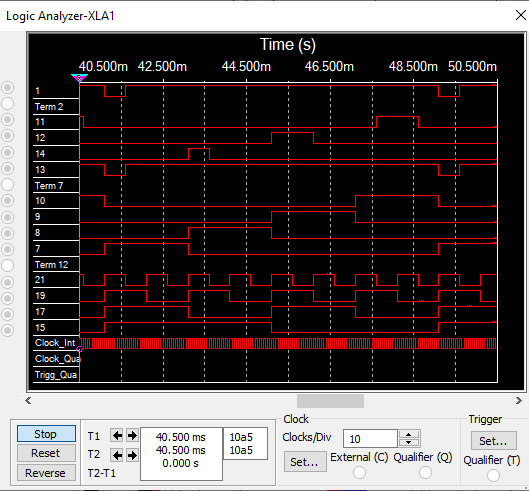


Рисунок 11 - Результаты логического анализатора для схемы на рисунке 10

Результаты в логическом анализаторе совпадают с исходными, значит схема построена верно

# Вывод

В ходе выполнения лабораторной работы были изучены мультиплексоры - принцип их работы, построения и применимость