

密级状态: 绝密( ) 秘密( ☒ ) 内部资料( ☒ ) 公开( )

文档编号: (芯片型号) - ASR6501(英文、数字)

## ASR6501\_2 硬件设计指南

文件状态:  [ <input checked="" type="checkbox"/> ] 正在修改  [ <input type="checkbox"/> ] 正式发布	当前版本:	V0.2
	作者:	ASR6501 Design Team
	启动日期:	2019-3-21
	审核:	
	完成日期:	2019-3-28

翱捷科技（上海）有限公司

ASR Microelectronics Co., Ltd

(版本所有, 翻版必究)

## 版本历史

版本号	修改日期	作 者	修 改 说 明
V0.1	2018.06.21	ASR6501 Design Team	Created by design team
V0.2	2019.03.28	ASR6501 Design Team	Created by FAE team

## Table of Contents

<b>1</b>	<b>概述.....</b>	<b>4</b>
<b>2</b>	<b>ASR6501 硬件设计.....</b>	<b>4</b>
2.1	ASR6501 模组方框图.....	4
2.2	ASR6501 芯片管脚定义.....	5
2.3	ASR6501 Demo 模组原理图 .....	8
2.4	ASR6501 客户模组参考设计 .....	9
2.5	ASR6501 电路解析 .....	9
2.5.1	电源电路 .....	9
2.5.2	晶振电路 .....	10
2.5.3	射频电路 .....	11
2.5.4	模组接口 .....	11
2.6	ASR6501 芯片封装定义.....	12
<b>3</b>	<b>ASR6502 硬件设计.....</b>	<b>13</b>
3.1	ASR6502 模组方框图.....	13
3.2	ASR6502 芯片管脚定义.....	13
3.3	ASR6502 Demo 模组原理图 .....	17
3.4	ASR6502 客户模组参考设计 .....	18
3.5	ASR6502 电路解析 .....	18
3.5.1	电源电路 .....	18
3.5.2	晶振电路 .....	18
3.5.3	射频电路 .....	19
3.5.4	模组接口 .....	19
3.6	ASR6502 芯片封装定义.....	20
<b>4</b>	<b>物料选型指南.....</b>	<b>21</b>
4.1	晶振 .....	21
4.2	射频开关 .....	21
4.3	功率电感 .....	21
4.4	外置天线 .....	21
<b>5</b>	<b>LAYOUT 指导 .....</b>	<b>21</b>
5.1	电源走线 .....	21
5.2	RF 走线 .....	22
5.3	晶体走线 .....	22

## 1 概述

ASR6501 和 ASR6502 是一款通用的 LoRa 无线通讯芯片，该芯片集成了 LoRa 射频收发器, LoRa 调制解调器和 32 位的 RISC MCU。MCU 采用 Cypress 的 PSoC 4100S Plus 系列芯片, Cortex M0+ 的内核, 主频为 48MHz, 1Mb flash, 128Kb SRAM; LoRa 射频收发器的频率覆盖 150M-960M 的连续频段; LoRa 调制解调器除支持 LoRa 调制还支持 (G) FSK 调制。

ASR6501 和 ASR6502 在 SF12 下接受灵敏超过-140dBm, 最大的发送功率为 22dBm, 最大的工作电流为 108mA, Sleep mode 下电流低至 3uA, 因此 ASR650x 芯片特别适合超远距离, 超低功耗的 LPWAN 应用。

ASR6501 和 ASR6502 产品性能上没有差异, 只是封装尺寸大小和引脚个数的区别, 具体差异如下:

interface	ASR6501	ASR6502
GPIO	5	9
ADC	1	3
SPI	0	1
UART	1	2
I2C	1	1
Total	48pin	60pin
Package	6*6 QFN48	7*7 QFN60

该应用笔记主要用于指导客户进行 ASR6501 和 ASR6502 的硬件设计, 包括原理图参考设计, layout 注意事项, 以及重要物料选型和替换。

## 2 ASR6501 硬件设计

### 2.1 ASR6501 模组方框图

ASR6501 LoRa 模组方框图如下:

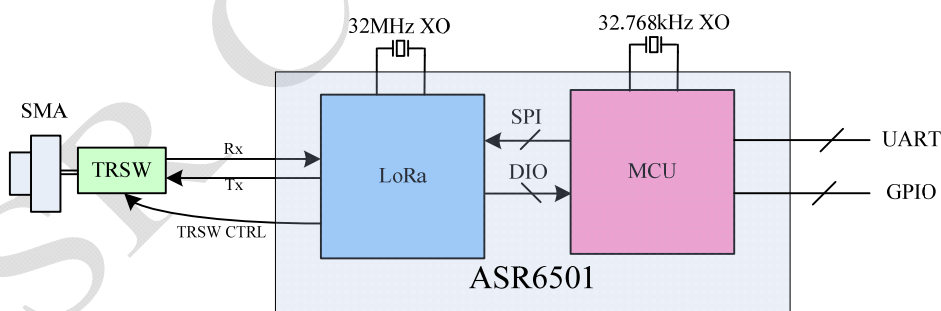


图 2-1-1 ASR6501 模组方框图

注意事项:

- 1) ASR6501 和 ASR6502 是基于 LoRa 射频芯片 SX1262 和 Cypress PSOC 4100S Plus MCU 的 SIP 封装的 LoRa 芯片组, 因此 ASR6501 和 ASR6502 的射频性能和 Semtech SX1262 性能基本一样, MCU 的参数也和 Cypress 的 CY8C4147 芯片性能一致。
- 2) LoRa 射频芯片(SX1262)和 MCU 芯片(CY8C4147)两者通过 SPI 接口进行通讯, 且在芯片外面预留 SPI 接口。如果客户不需要用 IC 内部集成的 MCU, 采用外挂式 MCU, 那么可将 LoRa 射频芯片的 SPI 连接到外部的 MCU。
- 3) ASR6501 和 ASR6502 的内部结构是一样的, 只是两者封装尺寸不同, ASR6501 的封装为 QFN6X6 (mm), ASR6502 的封装大小为 QFN7X7 (mm), ASR6502 封装尺寸更大因而可以引出更多的管脚。因此如果 ASR6501 资源不够, 可以考虑 ASR6502。

## 2.2 ASR6501 芯片管脚定义

表2-2-1 ASR6501管脚类型定义

Pin Type	Description
I	Input
O	Output
I/O	Input/output
P	Power
G	Ground

表2-2-2 ASR6501管脚定义

Pin NO.	Pin Name	P/G/I/O	Description
1	VDD_IN	P	Input voltage for power amplifier, VR_PA
2	ADC_IN	I	ADC input pin.
3	GND	G	Ground
4	XTA	I	XO32M for LoRa input
5	XTB	I	XO32M for LoRa output
6	GPIO	I/O	MCU GPIO
7	AUX	I/O	MCU GPIO
8	SETA	I/O	MCU GPIO
9	DIO3	I/O	Multipurpose digital I/O-external TCXO32M supply voltage, cannot be external GPIO
10	VREG	O	Regulated output voltage from the internal LDO/DC-DC
11	GND	G	Ground
12	DCC_SW	O	DC-DC Switcher Output
13	VBAT_RF	P	Supply for the LoRa Radio
14	UART_RX	I/O	UART RX pin
15	UART_TX	I/O	UART TX pin
16	SWD_DATA	I/O	SWD Data pin
17	SWD_CLK	I/O	SWD Clock pin
18	VDDD	P	Power supply for MCU digital section
19	P4.0	I/O	MCU GPIO for SPI, cannot be external SPI
20	P4.1	I/O	MCU GPIO for SPI, cannot be external SPI
21	P4.2	I/O	MCU GPIO for SPI, cannot be external SPI
22	P4.3	I/O	MCU GPIO for SPI, cannot be external SPI
23	VBAT_DIO	P	Digital I/O supply voltage
24	DIO2	I/O	Multipurpose digital I/O-RF switch control, cannot be external GPIO
25	DIO1	I/O	Multipurpose digital I/O, cannot be external GPIO
26	SPI_BUSY	I/O	SPI busy indicator, cannot be external GPIO
27	SPI_NRESET	I/O	Reset signal, active low, cannot be external GPIO
28	I2C_SCL	I/O	I2C SCL pin

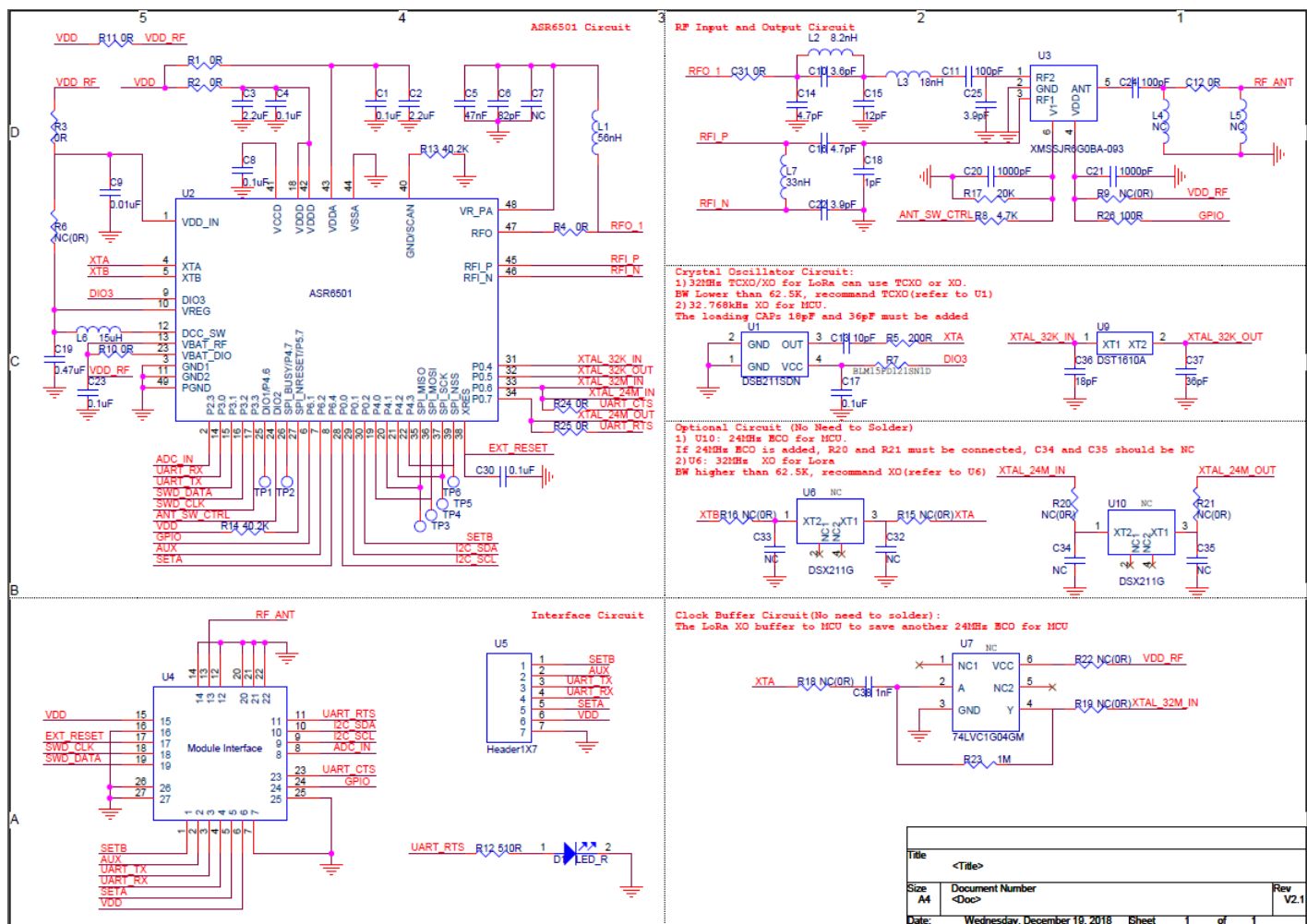
29	I2C_SDA	I/O	I2C SDA pin
30	SETB	I/O	MCU GPIO
31	WCO_IN	I	XO32K for MCU input
32	WCO_OUT	I	XO32K for MCU output
33	UART_CTS	I/O	UART CTS pin
34	UART_RTS	I/O	UART RTS pin
35	SPI_MISO	I/O	SPI slave output, cannot be external SPI
36	SPI_MOSI	I/O	SPI slave input, cannot be external SPI
37	SPI_SCK	I/O	SPI clock, cannot be external SPI
38	XRES	I	External reset pin
39	SPI_NSS	I/O	SPI slave select, cannot be external SPI
40	SCAN	I	LoRa Scan pin
41	VCCD	P	Regulated digital supply ( $1.8V \pm 5\%$ )
42	VDDD	P	Power supply for MCU digital section
43	VDDA	P	Power supply for MCU analog section
44	VSSA	G	Ground
45	RFI_P	I	RF receiver input
46	RFI_N	I	RF receiver input
47	FRO	O	RF transmitter output
48	VR_PA	O	Regulated power amplifier supply

表 2-2-2 ASR6501 管脚复用定义

DIR	NO.	PIN_NAME	Default	Description
LEFT	1	VDD_IN	VDD_IN	
	2	P2.3	ADC_IN	
	3	GND	GND	
	4	XTA	XTA	
	5	XTB	XTB	
	6	P6.1	GPIO	MCU GPIO
	7	P6.2	AUX	MCU GPIO
	8	P6.4	SETA	MCU GPIO
	9	DIO3	DIO3	
	10	VREG	VREG	
	11	GND	GND	
	12	DCC_SW	DCC_SW	
BOTTOM	13	VBAT_RF	VBAT_RF	
	14	P3.0	UART_RX	UART RX pin
	15	P3.1	UART_TX	UART TX pin
	16	P3.2	SWD_DATA	SWD_DATA pin
	17	P3.3	SWD_CLK	SWD_CLK pin
	18	VDDD	VDDD	
	19	P4.0	SPI_MOSI	MCU GPIO for SPI

	20	P4.1	SPI_MISO	MCU GPIO for SPI
	21	P4.2	SPI_CLK	MCU GPIO for SPI
	22	P4.3	SPI_SEL	MCU GPIO for SPI
	23	VBAT_DIO	VBAT_DIO	
	24	DIO2	DIO2	
RIGHT	25	DIO1/P4.6	DIO1	
	26	SPI_BUSY/P4.7	SPI_BUSY	
	27	SPI_NRESET/P5.7	SPI_NRESET	
	28	P0.0	I2C_SCL	
	29	P0.1	I2C_SDA	
	30	P0.2	SETB	
	31	P0.4	WCO_IN	
	32	P0.5	WCO_OUT	
	33	P0.6	UART_CTS/XTAL_24M_IN	
	34	P0.7	UART_RTS/XTAL_24M_OUT	
	35	SPI_MISO	SPI_MISO	
	36	SPI_MOSI	SPI_MOSI	
TOP	37	SPI_SCK	SPI_SCK	
	38	XRES	XRES	
	39	SPI_NSS	SPI_NSS	
	40	SCAN	SCAN	
	41	VCCD	VCCD	
	42	VDDD	VDDD	
	43	VDDA	VDDA	
	44	VSSA	VSSA	
	45	RF_P	RF_P	
	46	RF_N	RF_N	
	47	RFO	RFO	
	48	VR_PA	VR_PA	

## 2.3 ASR6501 Demo 模组原理图

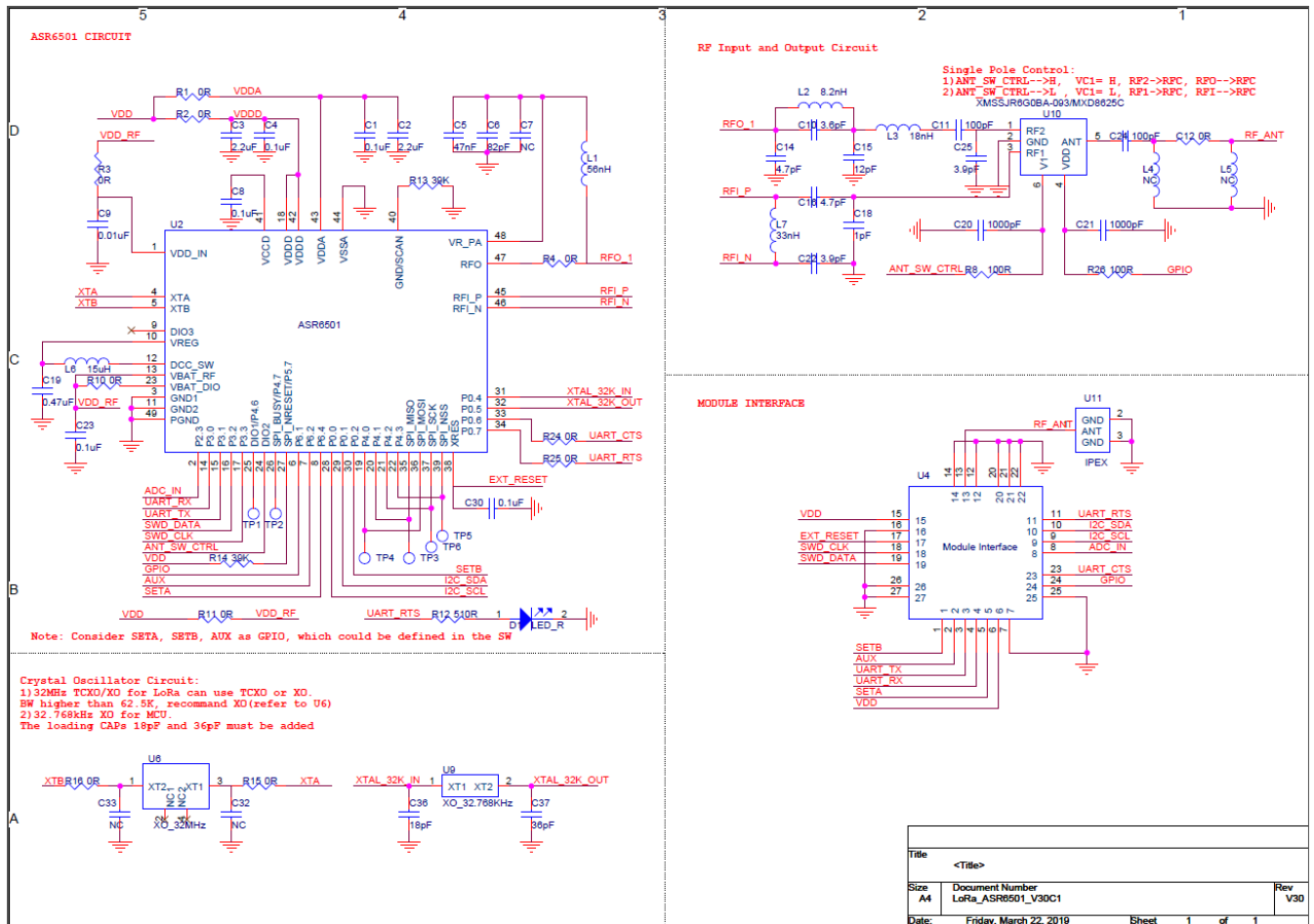


### 注意事项:

- 1) 上面原理图是 ASR 提供给客户的 ASR6501 Demo 模组的原理图, 该原理图是 ASR6501 芯片最完整的参考电路, 该电路图考虑了提供了各种冗余的电路, 但是客户的模组参考设计可能用不到, 建议客户参考 ASR6501 参考设计。
- 2) ASR6501 Demo Module 原理图默认的匹配网络为 470MHz, 如需其他频率的匹配网络请参考文档: [31\\_ASR6501\\_2 Matching](#)。
- 3) LoRa 射频芯片(SX1262)和 MCU 芯片(CY8C4147)两者通过 SPI 接口进行通讯, 且在芯片外面预留 SPI 接口。如果客户不需要用 IC 内部集成的 MCU, 采用外挂式 MCU, 那么可将 LoRa 射频芯片的 SPI 连接到外部的 MCU。
- 4) 特别注意 DC-DC 的上拉电感 L6 (15uH) 必须用功率电感, 功率电感的具体要求参考本文档第 4 章 [物料选型指南](#)。VR\_PA 处的电感 L1 (56nH) 强烈建议选用 0402 封装, 额定电流更大, 对提升 TX 的发射功率有帮助。



## 2.4 ASR6501 客户模组参考设计



### 注意事项:

- 1) ASR6501 模组参考电路基于 ASR6501 Demo Module，主要是删除了 ASR6501 Demo Module 的冗余电路，客户参考 ASR6501 模组参考电路即可，如有特殊要求直接和 ASR FAE 沟通。
- 2) 请注意 ASR6501 客户模组参考电路默认的匹配网络为 470MHz，如需其他频率的匹配网络请参考文档：[31\\_AS6501\\_2 Matching](#)。
- 3) LoRa 射频芯片(SX1262)和 MCU 芯片(CY8C4147)两者通过 SPI 接口进行通讯，且在芯片外面预留 SPI 接口。如果客户不需要用 IC 内部集成的 MCU，采用外挂式 MCU，那么可将 LoRa 射频芯片的 SPI 连接到外部的 MCU。
- 4) 特别注意 DC-DC 的上拉电感 L6 (15uH) 必须用功率电感，功率电感的具体要求参考本文档第 4 章 [物料选型指南](#)。VR\_PA 处的电感 L1 (56nH) 强烈建议选用 0402 封装，额定电流更大，对提升 TX 的发射功率有帮助。

## 2.5 ASR6501 电路解析

### 2.5.1 电源电路

ASR6501有电源分成三个部分：VDDD，VDDA，和VDD\_RF。VDDD给MCU的数字部分供电，VDDA给MCU的模拟部分（ADC）供电，VDD\_RF给射频部分供电。建议三部分电源都加一个2.2uf和0.1uf的滤波电容，滤除低频和高频电源噪声。

SX1262内部Regulator（REG PA）通过外部的上拉电感L1给PA的输出级RFO提供偏置。内部Regulator

(REG PA) 由芯片内部集成DC-DC或LDO供电，DC-DC和LDO由VDD\_IN供电，VDD\_IN要么来自电池或者外部电源，VDD\_IN正常工作范围为1.8-3.7V，推荐电压为3.3V。

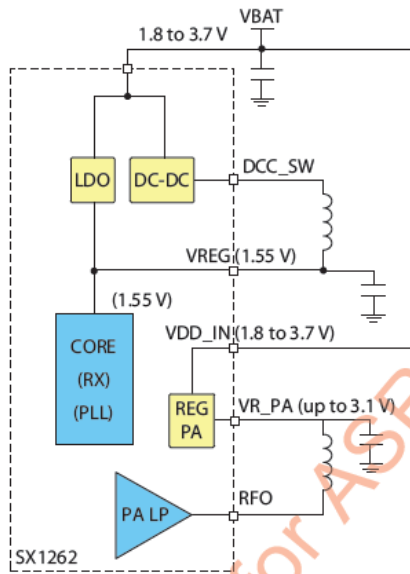


图2-6-1 PA Supply Scheme in DC-DC Mode

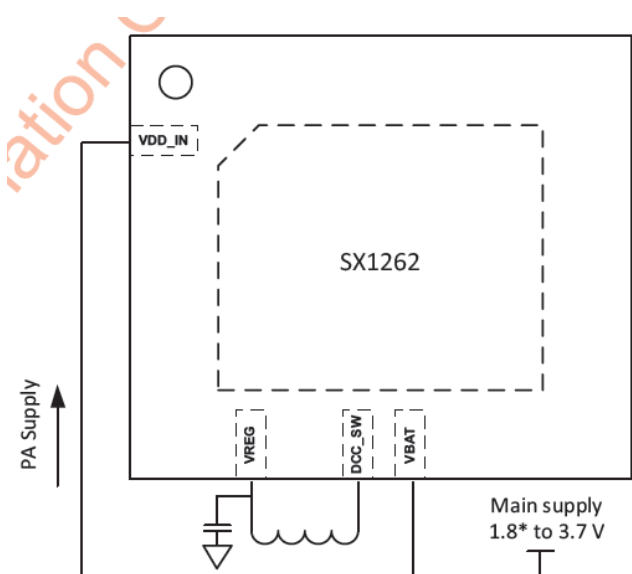


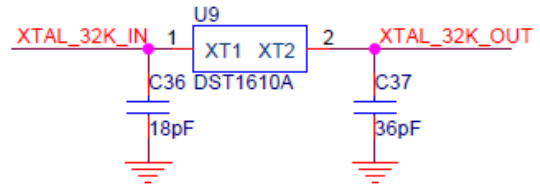
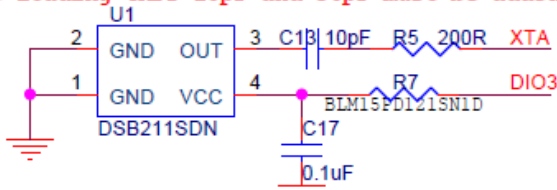
图2-6-2 SX1262 Diagram with the DC-DC Regulator Power Option

## 2.5.2 晶振电路

ASR6501 Demo Module 用到三种晶振: 1) 32MHz TCXO/XO for LoRa; 2) 32.768kHz XO for MCU; 3) 24MHz ECO for MCU (可以省掉)。ASR6501 和 ASR6502 Demo Module 模组原理图中，MCU 的 24MHz ECO 可选，默认不用 24MHz 晶振，因此客户参考设计可以删掉 24MHz 的晶振电路。

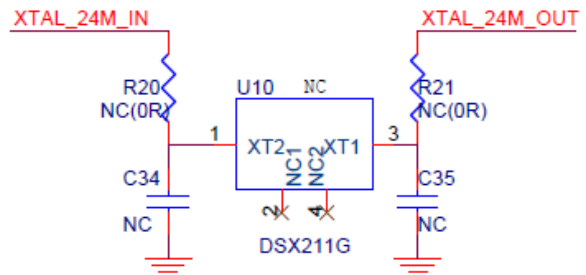
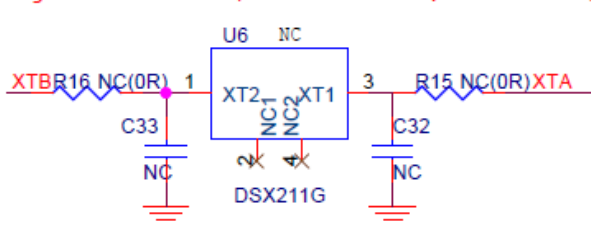
### Crystal Oscillator Circuit:

- 1) 32MHz TCXO/XO for LoRa can use TCXO or XO.  
BW Lower than 62.5K, recommend TCXO(refer to U1)
- 2) 32.768kHz XO for MCU.  
The loading CAPs 18pF and 36pF must be added



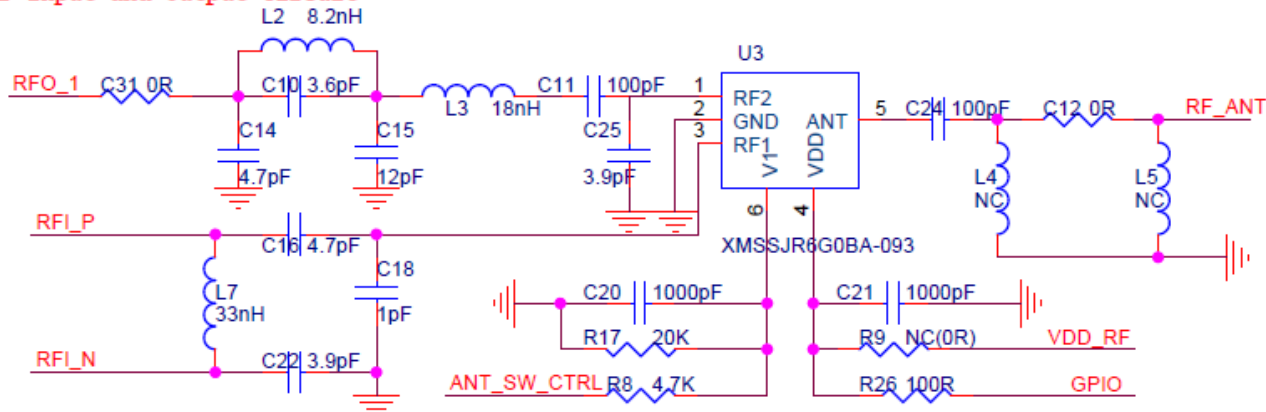
### Optional Circuit (No Need to Solder)

- 1) U10: 24MHz ECO for MCU.  
If 24MHz ECO is added, R20 and R21 must be connected, C34 and C35 should be NC
- 2) U6: 32MHz XO for Lora  
BW higher than 62.5K, recommend XO(refer to U6)



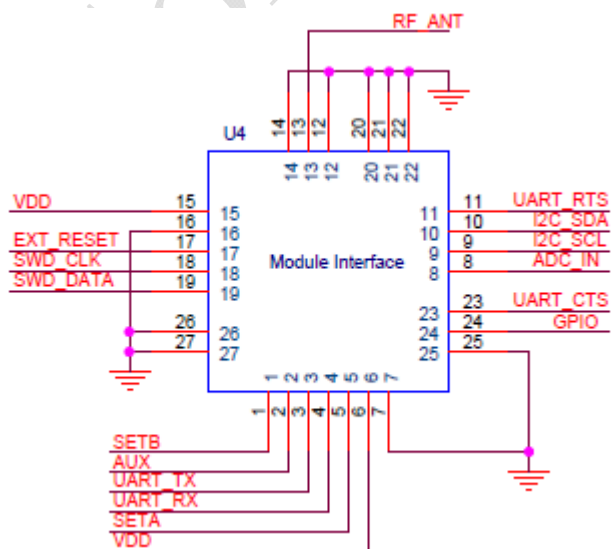
## 2.5.3 射频电路

RF Input and Output Circuit



- 1) ASR6501 Demo Module 原理图默认的匹配网络为 470MHz，如需其他频率的匹配网络请参考文档：[31\\_ASR6501\\_2 Matching](#)。
- 2) XMSSJR6G0BA 采用单端控制模式，pin6 为 TRSW 的 CTRL 信号接到 SX1262 的 DIO2，DIO2 的控制逻辑为：A) DIO2 为高，RF2->TX；DIO2 为低，RF1->RX；**注意不同的 RFSW 控制逻辑和管脚不一样。**
- 3) GPIO 接 TRSW 的 VDD pin，Lora 芯片正常工作时，GPIO 为高。Lora 芯片为 Sleep mode 时，GPIO 拉低关掉 TRSW，防止 TRSW 漏电（XMSSJR6G0BA 大概有 5uA 的漏电），如果对功耗不敏感，GPIO 可以用作其他用途，VDD\_RF 连到 RFSW 的 VDD 即可。
- 4) RFSW XMSSJR6G0BA 物料不容易找到，可以用替换料取代，具体参考本文档第 4 章物料选型指南。

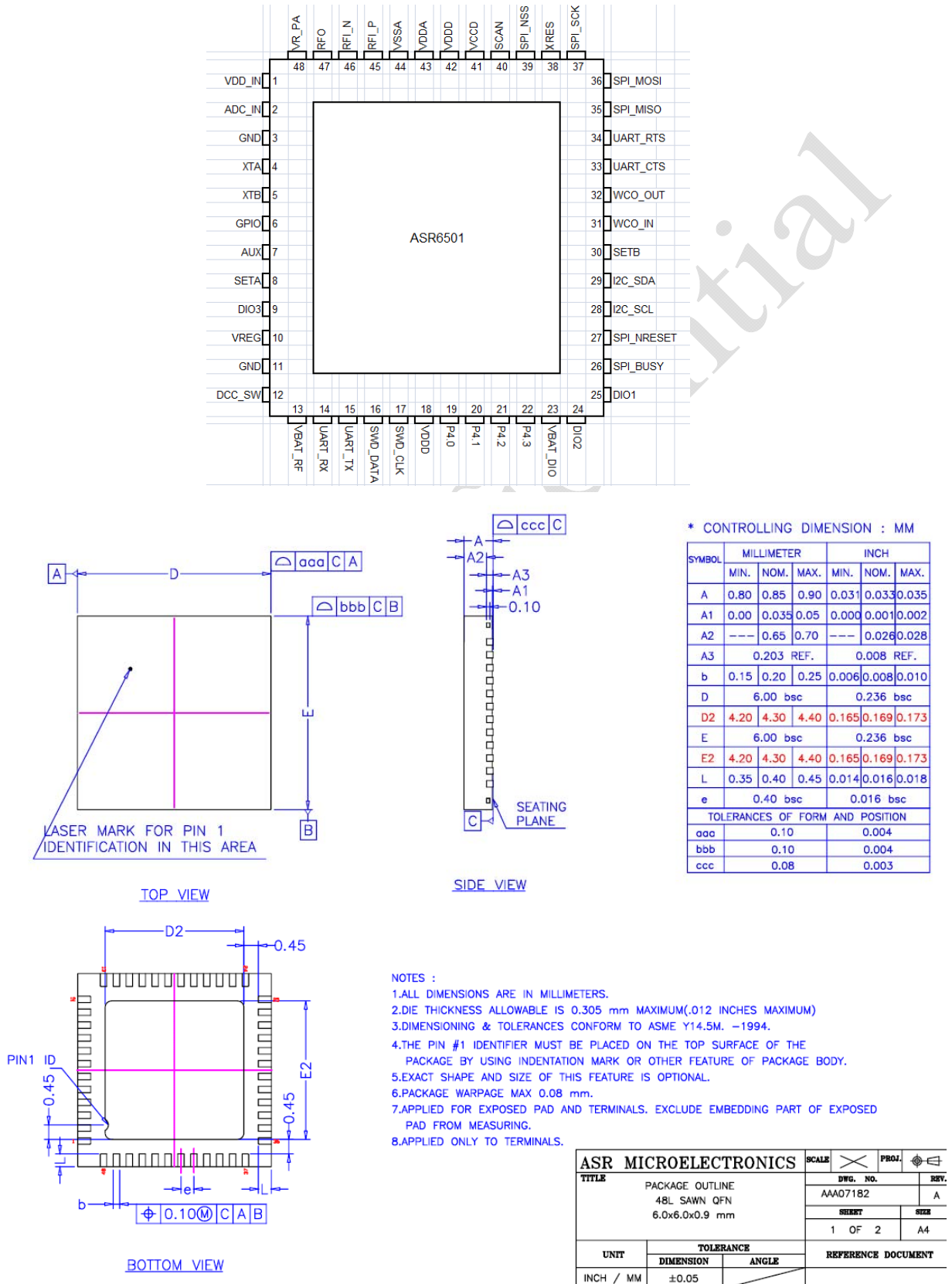
## 2.5.4 模组接口



- 1) 上述的信号建议引到模组的邮票孔 pad 处。
- 2) 其中 SETB, AUX, SETA 如果不用，可以作为普通的 GPIO 口使用。
- 3) RF\_ANT 建议预留 IPEX 天线接口，方便模组的射频测试。

## 2.6 ASR6501 芯片封装定义

图 2-6-1 管脚类型定义



### 3 ASR6502 硬件设计

#### 3.1 ASR6502 模组方框图

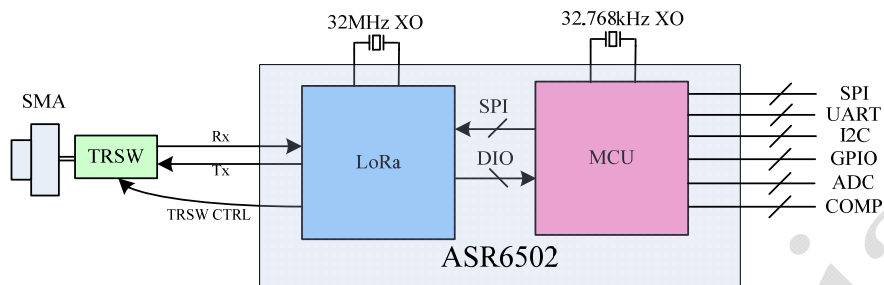


图 3.1 ASR6502 模组方框图

注意事项:

- 1) ASR6501 和 ASR6502 是基于 LoRa 射频芯片 SX1262 和 Cypress PSOC 4100S Plus MCU 的 SIP 封装的 LoRa 芯片组, 因此 ASR6501 和 ASR6502 的射频性能和 Semtech SX1262 性能基本一样, MCU 的参数也和 Cypress 的 CY8C4147 芯片性能一致。
- 2) LoRa 射频芯片(SX1262)和 MCU 芯片(CY8C4147)两者通过 SPI 接口进行通讯, 且在芯片外面预留 SPI 接口。如果客户不需要用 IC 内部集成的 MCU, 采用外挂式 MCU, 那么可将 LoRa 射频芯片的 SPI 连接到外部的 MCU。
- 3) ASR6501 和 ASR6502 的内部结构是一样的, 只是两者封装尺寸不同, ASR6501 的封装为 QFN6X6 (mm), ASR6502 的封装大小为 QFN7X7 (mm), ASR6502 封装尺寸更大因而可以引出更多的管脚。因此如果 ASR6501 资源不够, 可以考虑 ASR6502。

#### 3.2 ASR6502 芯片管脚定义

表3-2-1 ASR6502芯片管脚类型定义

Pin Type	Description
I	Input
O	Output
I/O	Input/output
P	Power
G	Ground

表3-2-2 ASR6502芯片管脚定义

Pin NO.	Pin Name	P/G/I/O	Description
1	VDD_IN	P	Input voltage for power amplifier, VR_PA
2	ADC_IN1	I	ADC input pin1.
3	ADC_IN2	I	ADC input pin2.
4	ADC_IN3	I	ADC input pin3.
5	GND	G	Ground
6	XTA	I	XO32M for LoRa input

7	XTB	I	XO32M for LoRa input
8	GP1	I/O	MCU GPIO, can be external SPI_MOSI
9	GP2	I/O	MCU GPIO, can be external SPI_MISO
10	GP3	I/O	MCU GPIO, can be external SPI_CLK
11	GP4	I/O	MCU GPIO, can be external SPI_SEL
12	DIO3	I/O	Multipurpose digital I/O-external TCXO32M supply voltage, cannot be external GPIO
13	VREG	O	Regulated output voltage from the internal LDO/DC-DC
14	GND	G	Ground
15	DCC_SW	O	DC-DC Switcher Output
16	VBAT_RF	P	Supply for the LoRa Radio
17	UART_RX1	I/O	UART RX1 pin, wake up UART.
18	UART_TX1	I/O	UART TX1 pin, wake up UART.
19	SWD_DATA	I/O	SWD Data pin
20	SWD_CLK	I/O	SWD Clock pin
21	GP5	I/O	MCU GPIO
22	GP6	I/O	MCU GPIO
23	GP7	I/O	MCU GPIO, lower power comparator pin.
24	VDDD	P	Power supply for MCU digital section
25	SPI_MOSI	I/O	MCU GPIO for SPI, internal, cannot be external SPI
26	SPI_MISO	I/O	MCU GPIO for SPI, internal, cannot be external SPI
27	SPI_CLK	I/O	MCU GPIO for SPI, internal, cannot be external SPI
28	SPI_SEL	I/O	MCU GPIO for SPI, internal, cannot be external SPI
29	UART_RX2	I/O	UART RX2 pin
30	UART_TX2	I/O	UART TX2 pin
31	VBAT_DIO	P	Digital I/O supply voltage
32	DIO2	I/O	Multipurpose digital I/O-RF switch control, cannot be external GPIO
33	DIO1	I/O	Multipurpose digital I/O, cannot be external GPIO
34	SPI_BUSY	I/O	SPI busy indicator, cannot be external GPIO
35	SPI_NRESET	I/O	Reset signal, active low, cannot be external GPIO
36	GP8	I/O	MCU GPIO
37	GP9	I/O	MCU GPIO
38	GP10	I/O	MCU GPIO
39	I2C_SCL	I/O	I2C SCL pin
40	I2C_SDA	I/O	I2C SDA pin
41	GP11	I/O	MCU GPIO
42	GP12	I/O	MCU GPIO
43	WCO_IN	I	XO32K for MCU input
44	WCO_OUT	I	XO32K for MCU input
45	GP13	I/O	MCU GPIO
46	GP14	I/O	MCU GPIO
47	SPI_MISO	I/O	SPI slave output, internal, cannot be external SPI

48	SPI_MOSI	I/O	SPI slave input, internal, cannot be external SPI
49	SPI_SCK	I/O	SPI clock, internal, cannot be external SPI
50	XRES	I	External reset pin
51	SPI_NSS	I/O	SPI slave select, internal, cannot be external SPI
52	SCAN	I	LoRa Scan pin
53	VCCD	P	Regulated digital supply (1.8V±5%)
54	VDDD	P	Power supply for MCU digital section
55	VDDA	P	Power supply for MCU analog section
56	VSSA	G	Ground
57	RF_P	I	RF receiver input
58	RF_N	I	RF receiver input
59	RFO	O	RF transmitter output
60	VR_PA	O	Regulated power amplifier supply

表 3-2-3 ASR6502 芯片管脚复用定义

DIR	NO.	PIN_NAME	Default	Fuction1	Fuction2	Fuction3
LEFT	1	VDD_IN	VDD_IN			
	2	P2.0	ADC_IN1			
	3	P2.1	ADC_IN2			
	4	P2.2	ADC_IN3			
	5	GND	GND			
	6	XTA	XTA			
	7	XTB	XTB			
	8	P6.0	GP1	scb[3]spi_mosi	scb[3]uart_rx	scb[3]i2c_scl
	9	P6.1	GP2	scb[3]spi_miso	scb[3]uart_tx	scb[3]i2c_sda
	10	P6.2	GP3	scb[3]spi_clk		
	11	P6.4	GP4	scb[3]spi_sel0		
	12	DIO3	DIO3			
	13	VREG	VREG			
	14	GND	GND			
	15	DCC_SW	DCC_SW			
BOTTOM	16	VBAT_RF	VBAT_RF			
	17	P3.0	UART_RX1	scb[1]spi_mosi	scb[1]i2c_scl	
	18	P3.1	UART_TX1	scb[1]spi_miso	scb[1]i2c_sda	
	19	P3.2	SWD_DATA	scb[1]spi_clk		
	20	P3.3	SWD_CLK	scb[1]spi_sel0		
	21	P3.4	GP5	scb[1]spi_sel1		
	22	P3.6	GP6	scb[1]spi_sel3		
	23	P3.7	GP7	scb[2]spi_mosi	lpcomp.comp[1]:1	
	24	VDDD	VDDD			
	25	P4.0	SPI_MOSI	scb[0]uart_rx	scb[0]i2c_scl	
	26	P4.1	SPI_MISO	scb[0]uart_tx	scb[0]i2c_sda	
	27	P4.2	SPI_CLK	lpcomp.comp[0]:1		

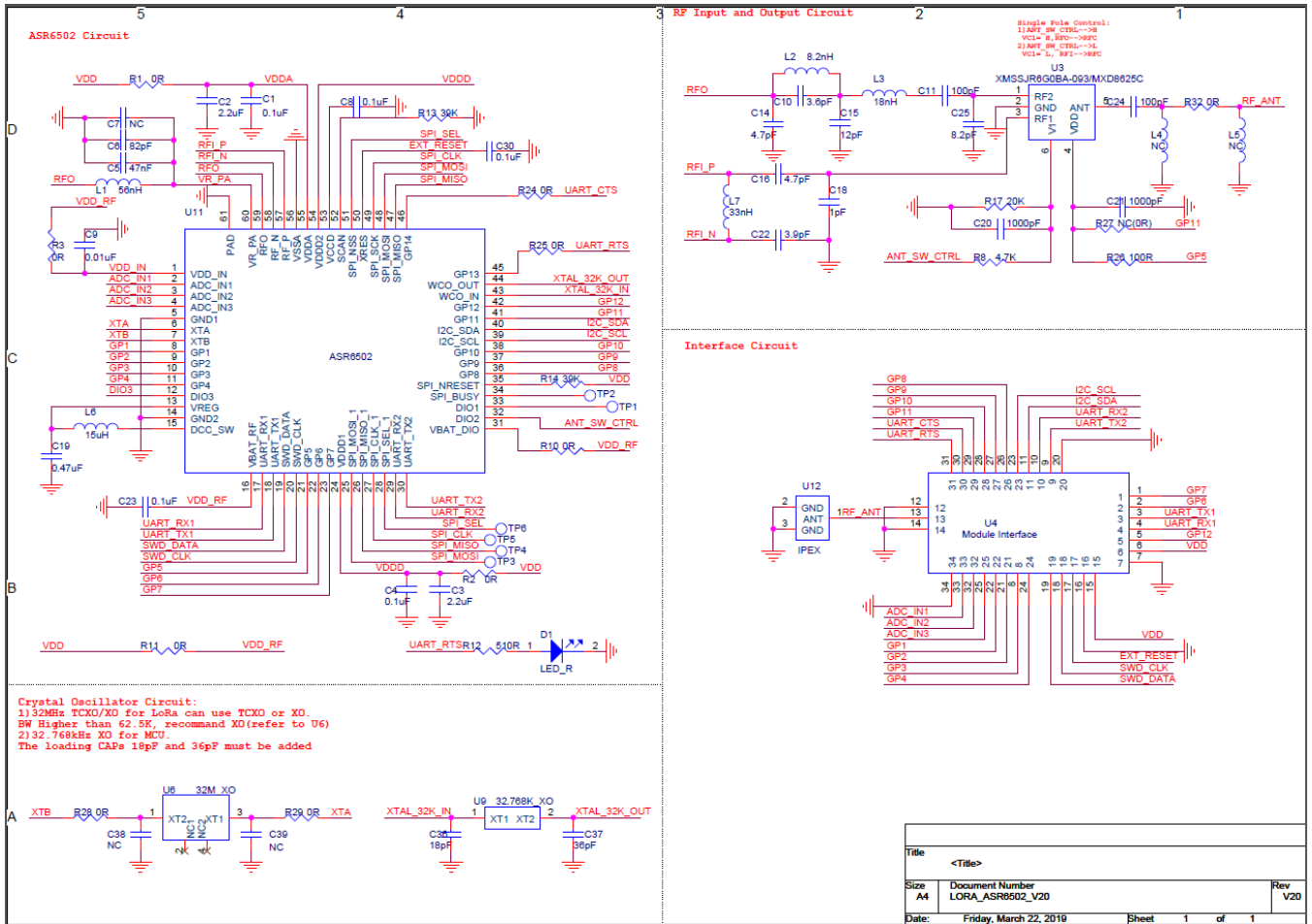


	28	P4.3	SPI_SEL	lpcomp.comp[1]:2		
	29	P4.4	UART_RX2			
	30	P4.5	UART_TX2			
RIGHT	31	VBAT_DIO	VBAT_DIO			
	32	DIO2	DIO2			
	33	DIO1	DIO1			
	34	SPI_BUSY	SPI_BUSY			
	35	SPI_NRESET	SPI_NRESET			
	36	P7.0	GP8	scb[3]i2c_scl	scb[3]uart_rx	scb[3]spi_mosi
	37	P7.1	GP9	scb[3]i2c_sda	scb[3]uart_tx	scb[3]spi_miso
	38	P7.2	GP10			scb[3]spi_clk
	39	P0.0	I2C_SCL			
	40	P0.1	I2C_SDA			
	41	P0.2	GP11			
	42	P0.3	GP12			
	43	P0.4	WCO_IN			
	44	P0.5	WCO_OUT			
	45	P0.6	GP13	eco_in	scb[1]spi_clk	
TOP	46	P0.7	GP14	eco_out	scb[1]spi_sel0	
	47	SPI_MISO	SPI_MISO			
	48	SPI_MOSI	SPI_MOSI			
	49	SPI_SCK	SPI_SCK			
	50	XRES	XRES			
	51	SPI_NSS	SPI_NSS			
	52	SCAN	SCAN			
	53	VCCD	VCCD			
	54	VDDD	VDDD			
	55	VDDA	VDDA			
	56	VSSA	VSSA			
	57	RF_P	RF_P			
	58	RF_N	RF_N			
	59	RFO	RFO			
	60	VR_PA	VR_PA			





### 3.4 ASR6502 客户模组参考设计



#### 注意事项:

- 1) ASR6502 模组参考电路基于 ASR6502 Demo Module，主要改动是删除了 ASR6501 Demo Module 的冗余电路，客户参考 ASR6502 模组参考电路即可，如有特殊要求直接和 ASR FAE 沟通。
- 2) ASR6502 客户模组参考电路原理图，默认的匹配网络为 470MHz，如需其它频率的匹配网络请参考文档：[31\\_ASR6501\\_2 Matching](#)。
- 3) 特别注意 DC-DC 的上拉电感 L6 (15uH) 必须用功率电感，功率电感的具体要求参考本文档第 4 章 [物料选型指南](#)。VR\_PA 处的电感 L1 (56nH) 强烈建议选用 0402 封装，额定电流更大，对提升 TX 的发射功率有帮助。

### 3.5 ASR6502 电路解析

#### 3.5.1 电源电路

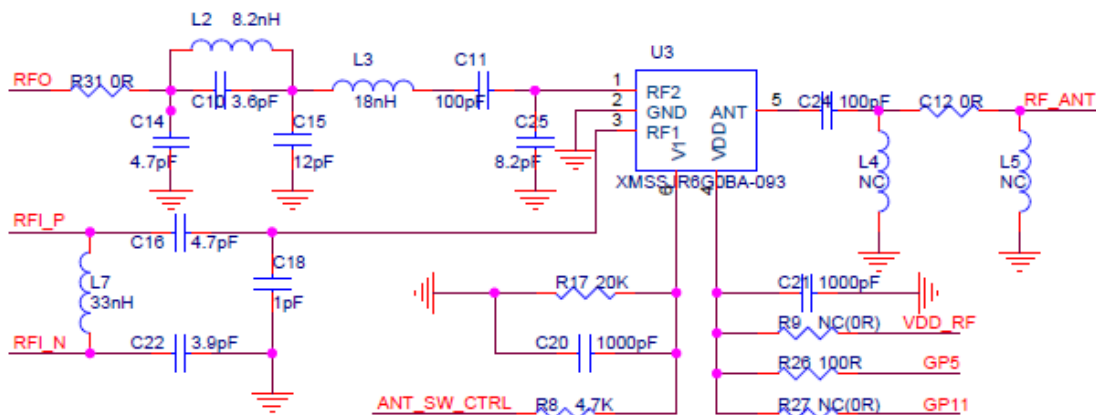
参考 2.5.1

#### 3.5.2 晶振电路

参考 2.5.2

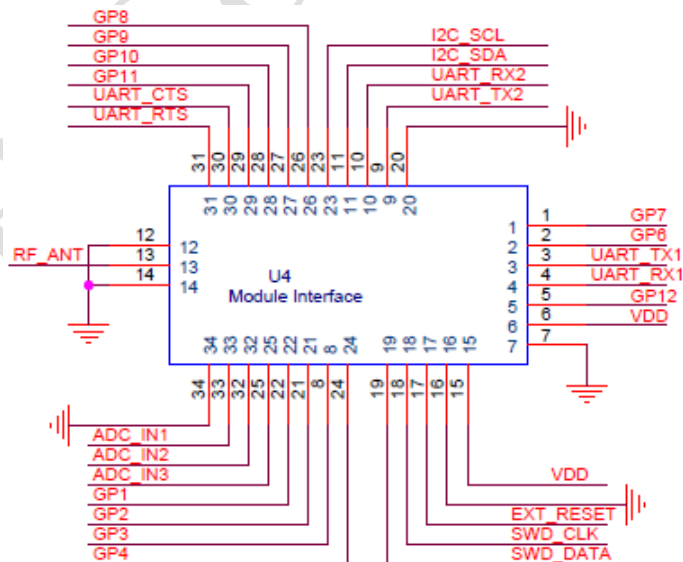
### 3.5.3 射频电路

RF Input and Output Circuit



- 1) ASR6502 Demo Module 原理图默认的匹配网络为 470MHz，如需其他频率的匹配网络请参考文档：[31\\_ASR6501\\_2 Matching](#)。
- 2) XMSSJR6G0BA 为单端控制模式，pin6 为 TRSW 的 CTRL 信号接到 SX1262 的 DIO2，DIO2 的控制逻辑为：  
A) DIO2 为高，RF2->TX；DIO2 为低，RF1->RX；**注意不同的 RFSW 控制逻辑和管脚不一样。**
- 3) GPIO 接 TRSW 的 VDD pin，Lora 芯片正常工作时，GPIO 为高。Lora 芯片为 Sleep mode 时，GPIO 拉低关掉 TRSW，防止 TRSW 漏电（XMSSJR6G0BA 大概有 5uA 的漏电），如果对功耗不敏感，GPIO 可以用作其他用途，VDD\_RF 连到 RFSW 的 VDD 即可。
- 4) RFSW XMSSJR6G0BA 市场上物料不容易找到，可以用替换料取代，具体参考本文档第 4 章物料选型指南。

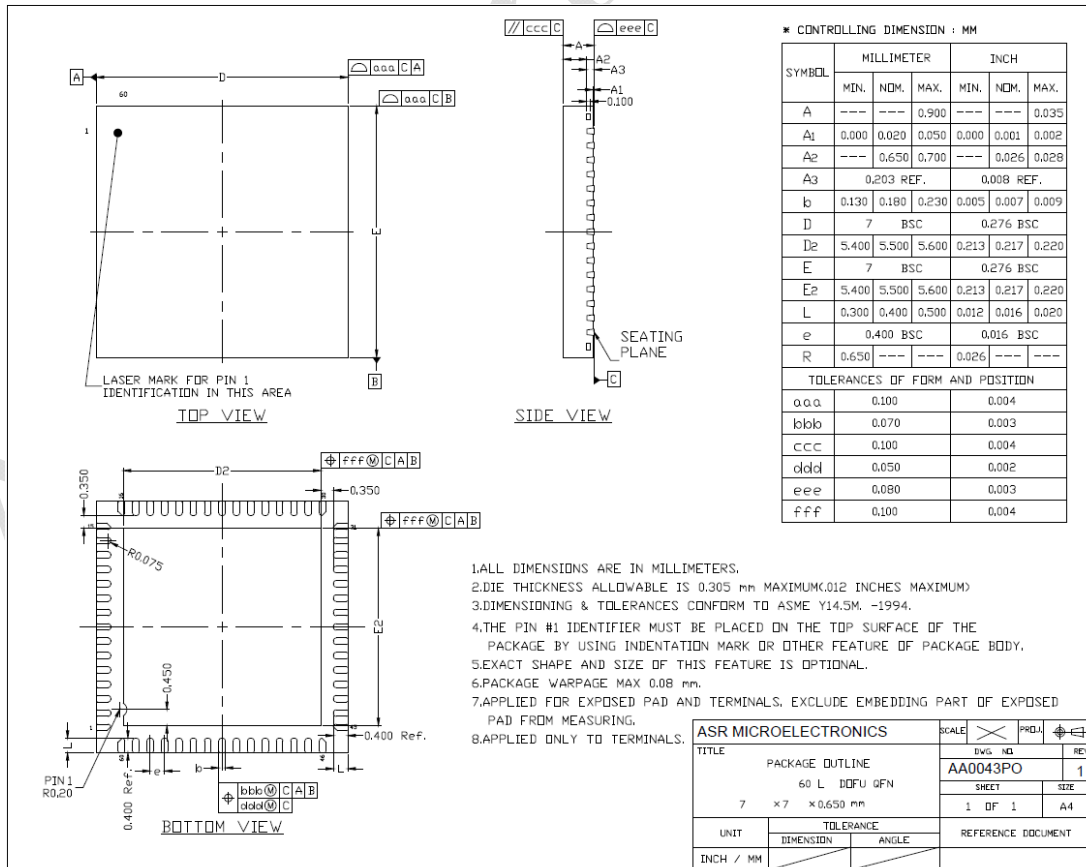
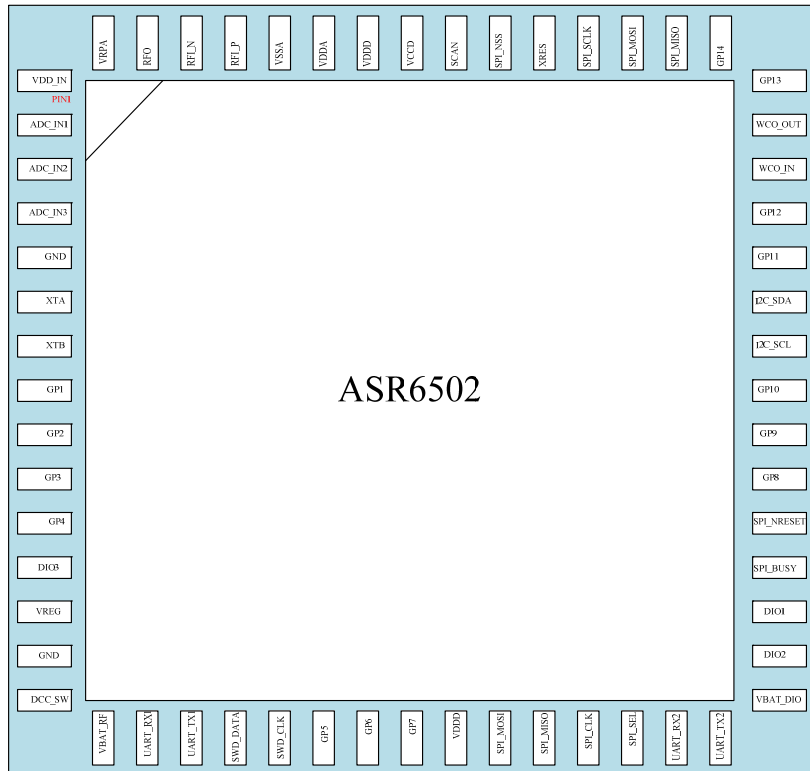
### 3.5.4 模组接口



- 1) 上述的信号建议引到模组邮票孔 pad 处，客户可以根据自己的应用决定引出哪些信号。
- 2) ASR6501 有两个 UART 口，只有 UART1 是低功耗的 UART 口。
- 3) RF\_ANT 建议预留 IPEX 天线接口，方便模组的射频测试。

### 3.6 ASR6502 芯片封装定义

图 3-6-1 管脚类型定义



## 4 物料选型指南

### 4.1 晶振

Ref	Description	Requirement	Demo Module 默认晶体	参考电路 推荐晶体	Vendor
U6	32MKHz XO	Load Cap 10pf, no need to mount, SX126X include, $\pm 10\text{ppm}$ is preferred	DSB211SDN(TCXO) DSX211G(XO)	鸿星 XO: E1FB32E007900E 晶技 XO: 8Y32000002 泰晶 XO: SX-3225	替换料及价格参考: OSC_List.xlsx
U9	32.768KHz XO	Load Cap 12pf, $\pm 20\text{ppm}$ , -40-85	DST1610A(XO)		

### 4.2 射频开关

Ref	Description	Requirement	Demo 模组 采用物料	参考电路 推荐晶体	Vendor
U10	RFSW	Frequency Range:0.1-3 GHz, Insertion Loss:0.35 dB typ.@ 1000 MHz ; 0.5 dB typ.@ 2000 MHz Isolation: 30 dB @ 1000 MHz Switch time: 1.5us	XMSSJR6G0BA-093	MXD8625C/PE4259 /CKRF2214MM66	替换料及价格参考: RFSW_List.xlsx

### 4.3 功率电感

若采用DC-DC给Regulator (REG PA) 供电, 则功率电感L6必不可少, 功率电感要求为: 1) 15uH inductor; 2) DCR (max) = 2 ohms 3) Idc (min) = 100 mA 4) Freq (min) = 20 MHz

Reference	Manufacturer	Value ( $\mu\text{H}$ )	Idc max (mA)	Freq (MHz)	DCR (ohm)	Package (L x W x H in mm)
LPS3010-153	Coilcraft	15	370	43	0.95	2.95 x 2.95 x 0.9
MLZ2012N150L	TDK	15	90	40	0.47	2 x 1.25 x 1.25
MLZ2012M150W	TDK	15	120	40	0.95	2 x 1.25 x 1.25
VLS2010ET-150M	TDK	15	440	40	1.476	2 x 2 x 1
VLS2012ET-150M	TDK	15	440	40	1.062	2 x 2 x 1.2

### 4.4 外置天线

NA

## 5 Layout 指导

### 5.1 电源走线

- 1) 电源最好加 2.2uF 和 0.1uF 电容滤波滤除低频和高频电源噪声。
- 2) 电源线走线尽可能的宽, 不应低于 18mil, 为了减少线间串扰, 间距符合 3W 规则。
- 3) 电源线不要跨其他电源线和高频走线, 避免对电源造成干扰。
- 4) VDD\_IN 的最大电流为 108mA, 需要给 VDD\_IN 的走线可以承受 300mA 的电流。

## 5.2 RF 走线

在 PCB 中射频走线如图5-2-1所示，必须要注意下列事项：

- 1) 射频线的匹配网络器件尽量靠近芯片放置。
- 2) 射频线走在 top 层，不可穿层走线，传输线要求做50 欧姆特征阻抗处理。
- 3) 射频线不可以有 90 度直角和锐角走线，尽量使用 135° 角走线或圆弧走线。
- 4) 射频线两旁的屏蔽地要尽量完整，第2 层的GND 要完整，天线和射频线周围尽量多的地过孔。
- 5) 射频线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶体，UART、PWM、SDIO等。
- 6) RF传输线特征阻抗为50欧姆，推荐18mil线宽，14mil间距，具体根据PCB板层数和叠构调整（但宽度不应小于12mil），和焊盘连接处最好采用渐增线以降低阻抗突变。



图 5-2-1 gradually increased lines

## 5.3 晶体走线

- 1) 晶体的时钟要在 top 层走线，不可以穿层和交叉，并且周围要用GND 屏蔽。
- 2) 晶体的下面不可以走高速信号线，第 2 层要求完整的GND。
- 3) 晶体的负载电容尽量放置到时钟线末端。
- 4) 晶体的周围不要放置磁性元件，如电感，磁珠等。
- 5) 晶体表层的铜皮挖空，防止周边器件的热量传导到晶体产生温漂。