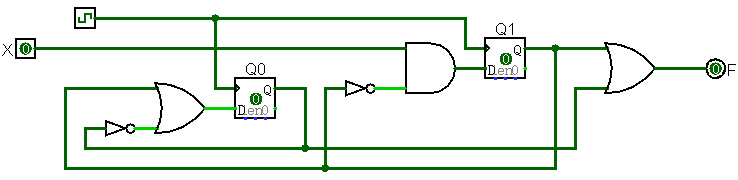
1. 某序列检测器，输入为data，输出为Q。当检测到1010时，Q输出1个周期的1，否则Q输出0。给出状态机次态逻辑表达式和Q的逻辑表达式。注意：{1010}为独立检测，不与后续序列拼接，即{101010}视为1次匹配成功。

答案：假设寄存器D2D1D0的编码000、001、010、011及100分别对应S0至S4。由于Q输出宽度以周期为单位，因此Q只能是状态的函数，即该状态机是摩尔型状态机。



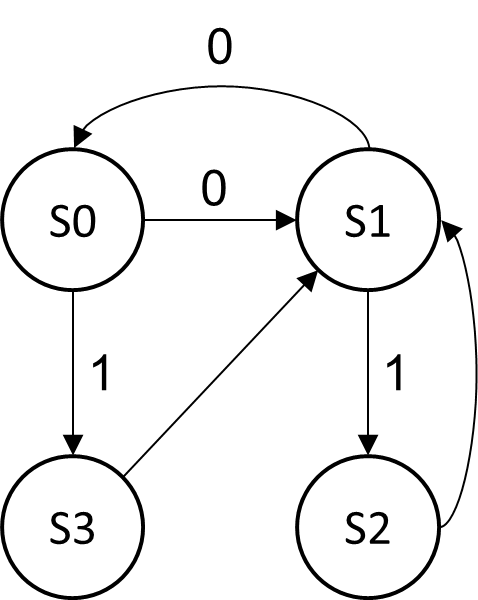
1. 状态机如下图所示。构造次态逻辑表达式和输出表达式，写出状态转换及输出表，画出状态图，分析状态机类型。



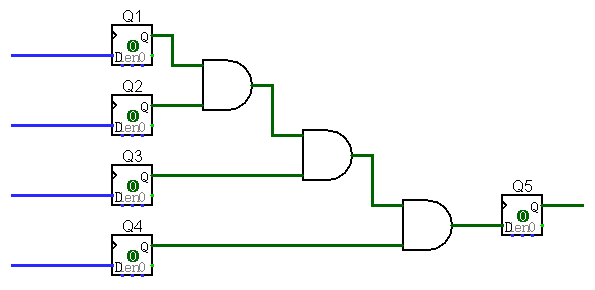
答案：

Moore型状态机，因为F只与状态寄存器相关。

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Q1 | Q0 | X | Q1n | Q0n | F |  | 现态 | X | 次态 |
| 0 | 0 | 0 | 0 | 1 | 0 |  | S0 | 0 | S1 |
| 0 | 0 | 1 | 1 | 1 | 0 |  | S0 | 1 | S3 |
| 0 | 1 | 0 | 0 | 0 | 1 |  | S1 | 0 | S0 |
| 0 | 1 | 1 | 1 | 0 | 1 |  | S1 | 1 | S2 |
| 1 | 0 | 0 | 0 | 1 | 1 |  | S2 | 0 | S1 |
| 1 | 0 | 1 | 0 | 1 | 1 |  | S2 | 1 | S1 |
| 1 | 1 | 0 | 0 | 1 | 1 |  | S3 | 0 | S1 |
| 1 | 1 | 1 | 0 | 1 | 1 |  | S3 | 1 | S1 |

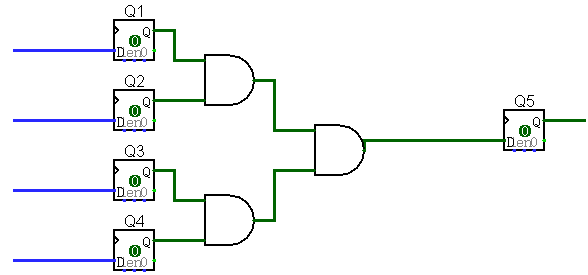


1. 对于如下电路，假设每个与门的延迟均为T，连线延迟、寄存器固有延迟等均为0。
   1. 计算关键路径的延迟以及寄存器的最大时钟频率。
   2. 重构电路以提高时钟频率，并计算提高比例。



答案：

1. 关键路径为3个AND门的串接，延迟为3T。最大时钟频率为1/3T。
2. 优化后为2层AND，延迟为2T。最大时钟频率为1/2T，比原设计频率提高50%。



1. 《数字设计和计算机体系结构》：第3.20题。

答案：

1. 由于输出与输入相关，因此这是一个Meely型状态机。
2. 2个寄存器Q1和Q0，编码值分别为：S0=0b00；S1=0b01；S2=0b10
3. 根据状态图得到如下真值表。关键要点在于对S2转S0的分析（表中绿色部分。无论是否对于化简有用，都一定先补全！）

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 现态  S1S0 | A | B | 次态  S1S0 | F |
| 00 | 0 | X | 00 | 0 |
| 00 | 1 | X | 01 | 0 |
| 01 | X | 0 | 00 | 0 |
| 01 | X | 1 | 10 | 0 |
| 10 | 1 | 1 | 10 | 1 |
| 10 | 0 | 0 | 00 | 0 |
| 10 | 0 | 1 | 00 | 0 |
| 10 | 1 | 0 | 00 | 0 |

1. 表达式如下：
2. 功能：检测A和B先后输入为1，此后AB同时为1。
3. 用D触发器为核心，设计一个支持使能(En若为0，则寄存器值不变)、预置(Ld为1，则寄存器值为1)、清除(Rst为1，则寄存器被清除)功能的寄存器。寄存器输入信号为D，输出为Q。所有控制信号都是同步控制信号。3个信号的优先级从高到低为：Rst、Ld、En。

答案：

1. 因为3个控制信号都是同步控制信号，所以D触发器的输入端是3个控制信号及D的函数。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Rst | Ld | En | D | Q | D触发器输入 |
| 1 | X | X | X | X | 0 |
| 0 | 1 | X | X | X | 1 |
| 0 | 0 | 0 | X | Q | Q |
| 0 | 0 | 1 | 0 | X | 0 |
| 0 | 0 | 1 | 1 | X | 1 |

1. 电路结构如下图

