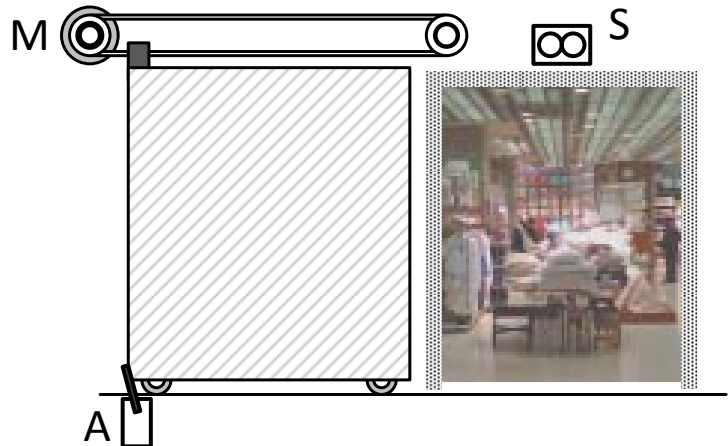


- 1) Simplifique a expressão lógica seguinte recorrendo aos teoremas e postulados da álgebra de Boole:

$$F = A.B.C.D + \overline{C}.D + \overline{A}.B.C + A.C.\overline{A}$$

- 2) Dimensione um mecanismo de controlo duma porta de abertura automática duma loja comercial de acordo com a figura. Pretende-se um comportamento idêntico às portas que encontramos no quotidiano, que abrem para deixar entrar ou sair clientes e voltam a fechar quando não há pessoas na proximidade.



O movimento da porta é realizado por um motor M cujo movimento é controlado apenas por um sinal que define o sentido de rotação do motor. O motor tem sempre indicação para rodar no entanto pára automaticamente quando a porta fica completamente aberta ou completamente fechada, pois em cada um destes casos a porta oferece resistência ao movimento. Para determinar se a porta se encontra completamente aberta existe um sensor A que fica activo neste caso.

A abertura e fecho da porta devem obedecer ao seguinte critério:

- A porta deve manter-se fechada enquanto não forem detectadas pessoas através do sensor S;
- A porta inicia a abertura se o sensor S ficar activo;
- Iniciada a abertura, esta só termina quando a porta se encontrar totalmente aberta (sensor A ficar activo) mesmo que durante a abertura o sensor S fique desactivo;
- A porta depois de totalmente aberta inicia de imediato o fecho caso o sensor S esteja desactivo, caso contrário permanece aberta enquanto o sensor S se mantiver activo;
- Durante o fecho, se o sensor S ficar activo, então a porta reinicia imediatamente a abertura ainda antes de fechar completamente de forma a ficar novamente aberta.

Desenvolva o projecto do sistema descrito apresentando cada um dos passos:

- O diagrama de estados
- A tabela de transição de estados
- Os estados redundantes
- A codificação de estados
- A tabela de transição com estados codificados
- O diagrama lógico do circuito

1. Simplifique a expressão lógica seguinte recorrendo aos teoremas e postulados da álgebra de Boole:

$$F = \overline{\overline{A.B.C.D} + \overline{C.D} + \overline{A.B.C} + A.C.\overline{A}}$$

$$F = \overline{\overline{A.B.C.D} + \overline{C.D} + \overline{A.B.C} + 0}$$

$$F = \overline{\overline{A.B.C.D} + \overline{C.D} + \overline{A.B.C}} \quad \overline{\overline{A}} = A$$

$$F = \overline{\overline{A.B.C.D} + \overline{C.D} + \overline{A.B.C}}$$

$$F = \overline{\overline{A.B} + \overline{C.D} + \overline{C.D} + \overline{A.B.C}}$$

$$F = \overline{\overline{A.B} + \overline{C.D} + \overline{A.B.C}}$$

$$F = \overline{\overline{A.B}(1+C) + \overline{C.D}}$$

$$F = \overline{\overline{A.B}(1) + \overline{C.D}}$$

$$F = \overline{\overline{A.B} + \overline{C.D}}$$

$$F = \overline{\overline{A} + \overline{B} + \overline{C} + \overline{D}}$$

$$F = \overline{\overline{A} + \overline{B} + C + \overline{D}}$$

3. Considerando a função lógica F representada pela tabela de verdade seguinte:

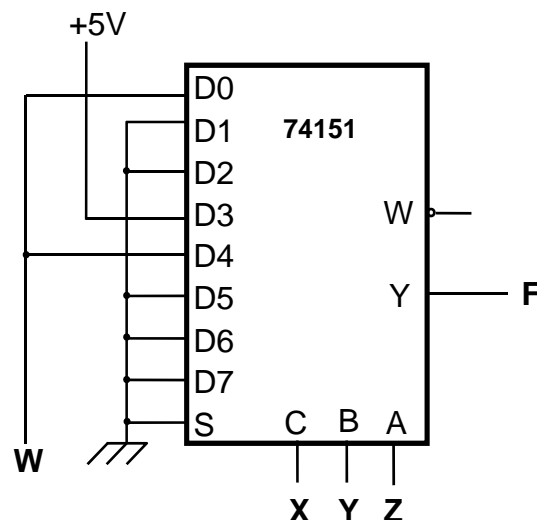
X	Y	Z	F
0	0	0	W
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	W
1	0	1	0
1	1	0	0
1	1	1	0

- a. Obtenha a Forma Mínima Soma de Produtos

		Y	
		0	1
X	0	W	0
	1	0	0
		Z	

$$F_{msp} = \overline{Z}.\overline{Y}.W + \overline{X}.Y.Z$$

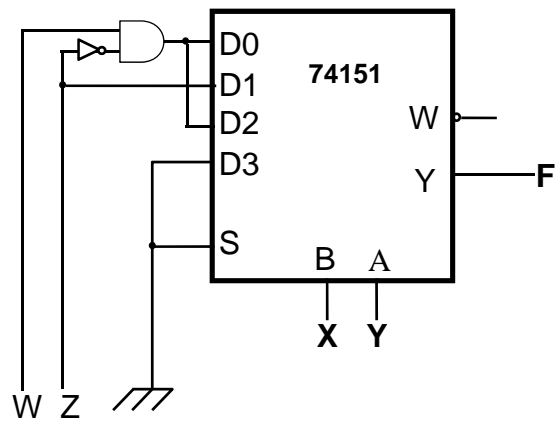
- b. Implemente a função lógica F recorrendo a um Multiplexer 8:1 (e a eventual lógica adicional);



- c. Implemente a função lógica F recorrendo unicamente a um Multiplexer 4:1 (e a eventual lógica adicional);

X	Y	Z	F	F(w,z)
0	0	0	W	$\bar{Z}.W$
0	0	1	0	
0	1	0	0	Z
0	1	1	1	
1	0	0	W	$\bar{Z}.W$
1	0	1	0	
1	1	0	0	0
1	1	1	0	

X	Y	F(w,z)
0	0	$\bar{Z}.W$
0	1	Z
1	0	$\bar{Z}.W$
1	1	0

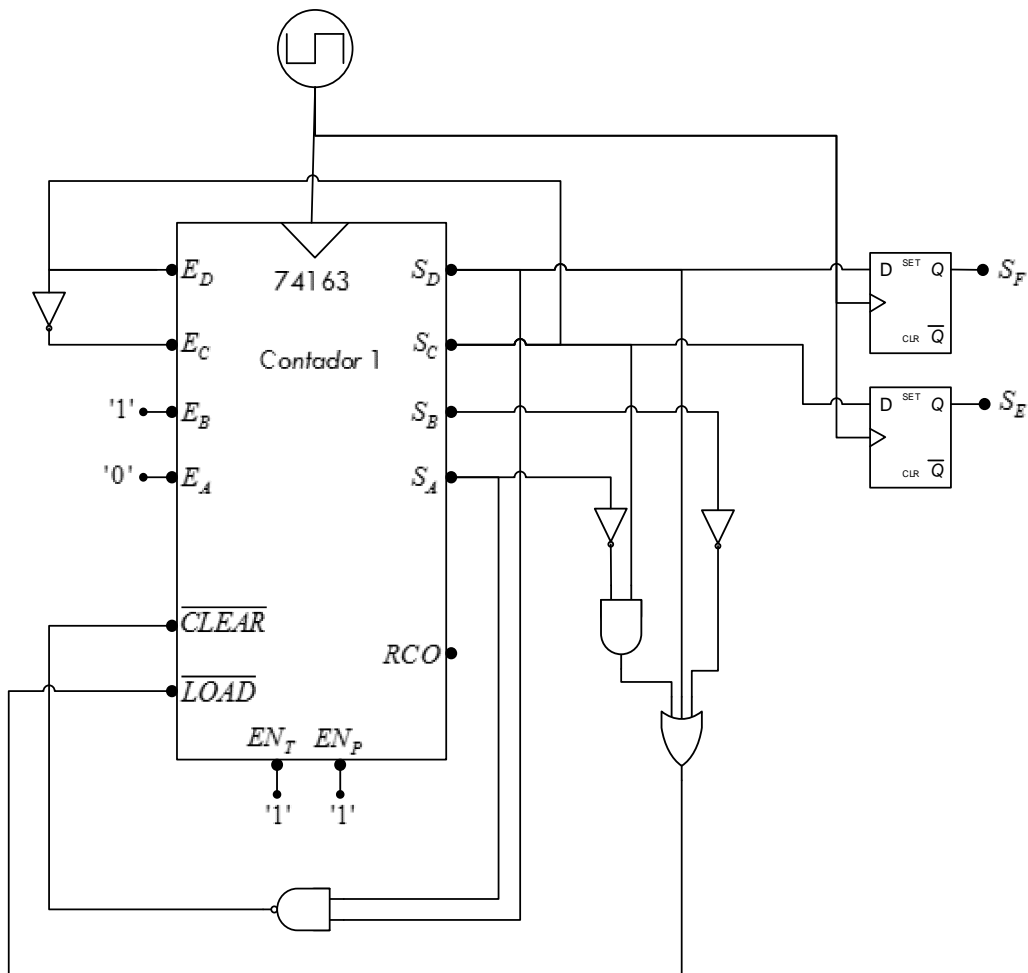


3) Considerando a função lógica F representada pela tabela de verdade seguinte:

X	Y	Z	F
0	0	0	W
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	W
1	0	1	0
1	1	0	0
1	1	1	0

- Obtenha a Forma Mínima Soma de Produtos;
- Implemente a função lógica F recorrendo a um Multiplexer 8:1 (e a eventual lógica adicional);
- Implemente a função lógica F recorrendo unicamente a um Multiplexer 4:1 (e a eventual lógica adicional);

4) Considere o circuito da figura seguinte:



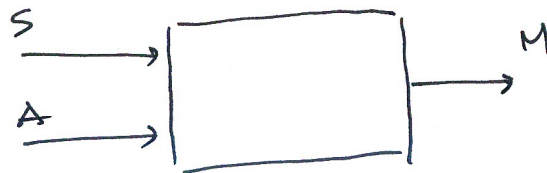
Faça a análise do circuito, indicando a sequência principal de contagem ($S_F S_E S_D S_C S_B S_A$) em binário e em decimal. Justifique a solução proposta, para o efeito deve recorrer a Tabelas de verdade e a uma Tabela de transição.

Pergunta 2

O sistema digital tem por objetivo controlar a abertura de porta acionando o motor M.

Este motor é acionado através dum sinal digital que irá definir o sentido da rotação do motor e por consequência a ABERTURA OU FECHAMENTO da porta.

A acção do sistema será baseada na informação proveniente de dois sensores independentemente (A e S) de acordo com a figura



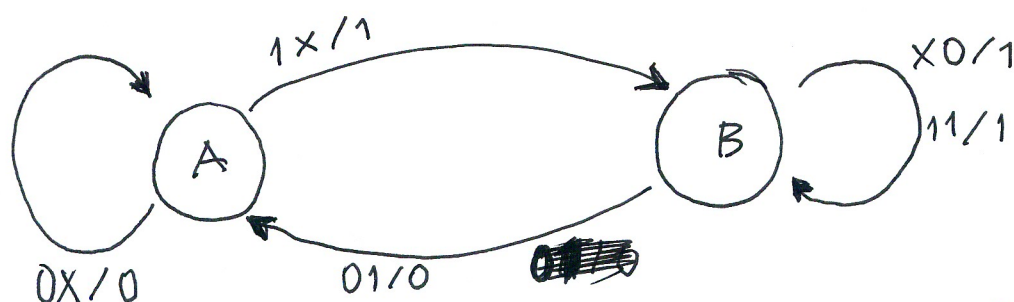
Estamos perante portanto um sistema com duas entradas e uma saída.

Vamos considerar dois estados possíveis do sistema:

- ESTADO A: Associado ao fecho da porta que compreende a acção de Fechar e também a situação de porta Fechada.
- ESTADO B: Associado à abertura da porta que compreende a acção de Abertura e também porta completamente aberta.

a)

Assim defini-se o diagrama de estados.



ENTRADA / SAÍDA

S A / M

O estado A corresponde à porta fechada ou a fechar-se e que deverá continuar a fechar-se se o sensor S não detectar presença de pessoas ($S=0$). Neste estado é indiferente a informação proveniente do sensor A. Quando o sistema está no estado A e o sensor A detecta presença de pessoas ($A=1$) o sistema passa ao estado de Abertura (Estado B).

O estado B irá manter-se enquanto a porta não estiver toda aberta independentemente de haver pessoas ou não.

Quando a porta estiver toda aberta ($A=1$) se se mantiver aberta se S detectar pessoas, caso contrário volta ao estado de FECHAR (Estado A).

b) O diagrama de estados corresponde à seguinte tabela de transição de estados

(c)

ESTADO ATUAL Q^n	ENTRADAS S A		ESTADO SEGUINTE Q^{n+1}	Saída M
A	0	0	A	0
A	0	1	A	0
A	1	0	B	1
A	1	1	B	1
B	0	0	B	1
B	0	1	A	0
B	1	0	B	1
B	1	1	B	1

c) Apenas com 2 estados não existem estados redundantes

d) Codificação: Para a simplificação do sistema a codificação para tanto muito simplificada:

ESTADO	Código
A	0
B	1

Passamos assim à tabela de transição de estados codificados com excitações.

Vamos considerar a utilização de Flip-Flops do tipo J-K

e)

TABELA DE ESTADOS CODIFICADOS

(D)

ESTADO ATUAL	ENTRADAS		ENTRADA FLIP-FLOP		ESTADO SEGUINTE	SÁIDA
Q^n	S	A	J	K	Q^{n+1}	M
0	0	0	0	x	0	0
0	0	1	0	x	0	0
0	1	0	1	x	1	1
0	1	1	1	x	1	1
1	0	0	x	0	1	1
1	0	1	x	1	0	0
1	1	0	x	0	1	1
1	1	1	x	0	1	1

Tabela de excitação
do Flp. Flop J-K

$Q^n \rightarrow Q^{n+1}$	J	K
0 \rightarrow 0	0	x
0 \rightarrow 1	1	x
1 \rightarrow 0	x	1
1 \rightarrow 1	x	0

J	<u>S</u>			
Q_n	0	0	1	1
	x	x	x	x
	<u>A</u>			

$$J = S$$

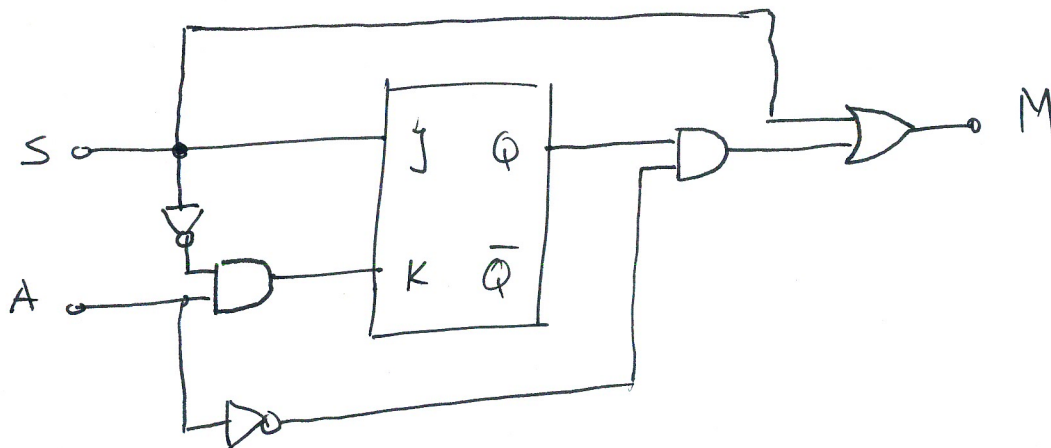
K	<u>S</u>			
Q_n	x	x	x	x
	0	1	0	0
	<u>A</u>			

$$K = A \cdot \bar{S}$$

M	<u>S</u>			
Q_n	0	0	1	1
	1	0	1	1
	<u>A</u>			

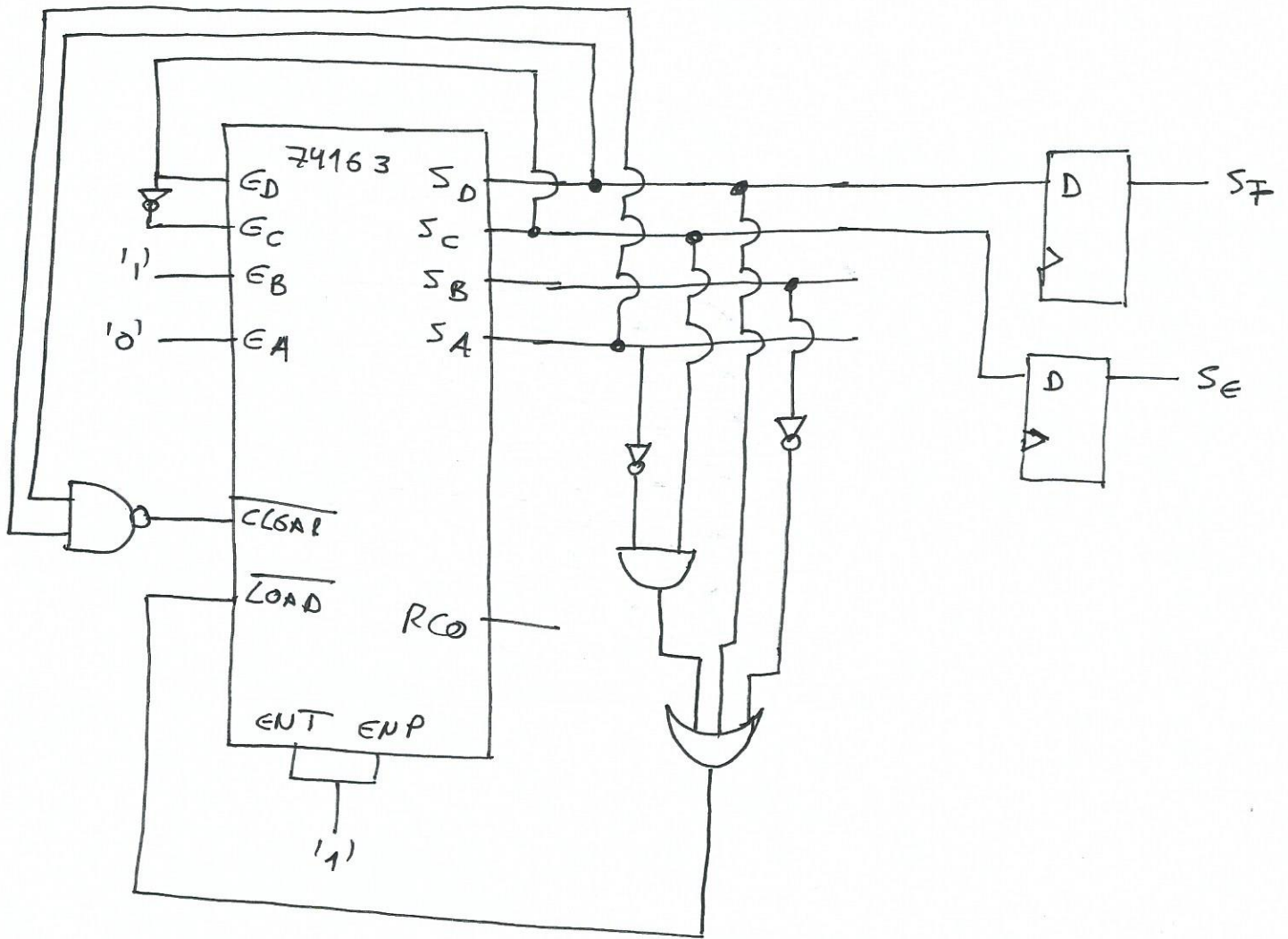
$$M = S + Q \cdot \bar{A}$$

f Diagrama lógico do circuito



EXERCICIO 4 → EXAME ÉPOCA NORMAL.

①



Análise do contêdor.

TABELA DE VERDAD

- $E_D = S_C$
- $E_C = \overline{S_C}$
- $E_B = 1$
- $E_A = 0$
- $\overline{CLEAR} = \overline{S_D \cdot S_A} = \overline{S_D} + \overline{S_A}$
- $\overline{LOAD} = \overline{S_A \cdot S_C + S_D + S_B}$

DEC	S_D	S_C	S_B	S_A	\overline{CLEAR}	\overline{LOAD}	E_D	E_C	E_B	E_A
0	0	0	0	0	1	1	0	1	1	0
1	0	0	0	1	1	1	0	1	1	0
2	0	0	1	0	1	0	0	1	1	0
3	0	0	1	1	1	0	0	1	1	0
4	0	1	0	0	1	1	1	0	1	0
5	0	1	0	1	1	1	1	0	1	0
6	0	1	1	0	1	1	1	0	1	0
7	0	1	1	1	1	0	1	0	1	0
8	1	0	0	0	1	1	0	1	1	0
9	1	0	0	1	0	1	0	1	1	0
10	1	0	1	0	1	1	0	1	1	0
11	1	0	1	1	0	1	0	1	1	0
12	1	1	0	0	1	1	1	0	1	0
13	1	1	0	1	0	1	1	0	1	0
14	1	1	1	0	1	1	1	0	1	0
15	1	1	1	1	0	1	1	0	1	0

$\overline{LOAD} = 0$

ZERO

→ 0, 1, 2, 6, 7, 10, 11

Cont'd

$\rightarrow 0, 1, 2, 6, 7, 10, 11$

S_F	S_E	S_D	S_C	S_B	S_A
1	0	0	0	0	0
0	0	0	0	0	1
0	0	0	0	1	0
0	0	0	1	1	0
0	1	0	1	1	1
0	1	1	0	1	0
1	0	1	0	1	1

Tabel
Fungsi

D	$(A+1)$
0	0
1	1

Cont'jem Binau

S_F	S_E	S_D	S_C	S_B	S_A	DEC
1	0	0	0	0	0	$2^5 = 32$
0	0	0	0	0	1	$2^0 = 1$
0	0	0	0	1	0	$2^1 = 2$
0	0	0	1	1	0	$2^2 + 2 = 6$
0	1	0	1	1	1	$2^4 + 2^2 + 2 + 1 = 23$
0	1	1	0	1	0	$2^4 + 2^3 + 2 = 26$
1	0	1	0	1	1	$2^5 + 2^3 + 2 + 1 = 43$

DEC $\rightarrow 1, 2, 6, 23, 26, 43, 32$