
- Folha de Exercícios -

Sistemas de Numeração

1. Converta os seguintes números de binário para decimal:
 - a) $(101.01)_{(2)}$
 - b) $(11001.0011)_{(2)}$
 - c) $(01011.0101)_{(2)}$
 - d) $(1.0001)_{(2)}$
 - e) $(101001,101)_{(2)}$

2. Converta os seguintes números de octal para decimal:
 - a) $234.5_{(8)}$
 - b) $12.3_{(8)}$
 - c) $7767.07_{(8)}$
 - d) $123.45_{(8)}$
 - e) $72.72_{(8)}$

3. Converta os seguintes números de hexadecimal para decimal:
 - a) $A3.3_{(16)}$
 - b) $129.C_{(16)}$
 - c) $AC.DC_{(16)}$
 - d) $FAB.3_{(16)}$
 - e) $BB8.0D_{(16)}$
 - f) $EF_{(16)}$

4. Converta os seguintes números de decimal para binário, octal e hexadecimal:
 - a) $625_{(10)}$
 - b) $0.00390625_{(10)}$
 - c) $0.62890625_{(10)}$
 - d) $0.75_{(10)}$
 - e) $0.9375_{(10)}$

f) $(123,662)_{(10)}$

5. Converta $1001010011010,11101011_2$ para as bases hexadecimal e octal.

6. Converta $(ABC1,FE8)_{(16)}$ para as bases octal e binária.

7. Converta $(A2,5)_{(16)}$ para binário e octal.

8. Converta $(72)_{(8)}$ para binário e hexadecimal.

9. Converta $(101)_{(3)}$ para a base 4.

Simplificação de expressões algébricas

10. Simplifique $A \cdot (A \cdot B + C)$

11. Simplifique $A \cdot B + A \cdot \bar{B} + \bar{A} \cdot \bar{B}$

12. Simplifique $A \cdot B \cdot C \cdot A + A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B + \bar{A} \cdot \bar{B} + A \cdot B \cdot \bar{A}$

13. Simplifique $A \cdot \bar{C} + A \cdot B \cdot \bar{A} + A \cdot B \cdot C \cdot A + B \cdot B \cdot \bar{C} + B \cdot \bar{A}$

14. Simplifique $A \cdot B \cdot C + C \cdot A \cdot B + A \cdot B + A$

15. Simplifique $B \cdot C + A \cdot D + A \cdot B \cdot C \cdot D + C \cdot D \cdot A + \bar{A}$

16. Simplifique $\bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C$

17. Simplifique $\overline{\overline{A \cdot A \cdot B \cdot B \cdot A \cdot B}}$

18. Simplifique $\overline{\overline{A + B}} + A + A \cdot \overline{B \cdot C \cdot D}$

19. Simplifique $(A \cdot B + C) \cdot (A + B) \cdot C$

20. Simplifique

$$\overline{A \cdot B + B \cdot C + C \cdot D + A \cdot C \cdot D}$$

21. Demonstre que

$$(\overline{A + C + A \cdot B})(A + C) = A \cdot C$$

22. Demonstre que $(A + B) \cdot (\overline{A} + C) = (A + B) \cdot (\overline{A} + C) \cdot (B + C)$

23. Demonstre que $(A + B) \cdot (\overline{A} + C) = (A + B) \cdot (B + C) \cdot [\overline{A} + C \cdot (B + C)]$

Obtenção de diagramas lógicos

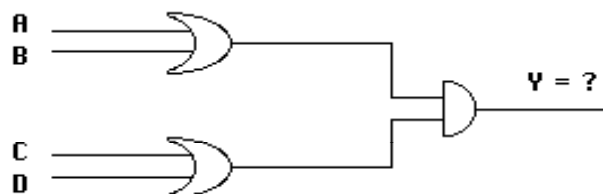
24. Obtenha o diagrama lógico correspondente à seguinte expressão:

$$Y = A \cdot B \cdot C + \overline{A} \cdot \overline{B}$$

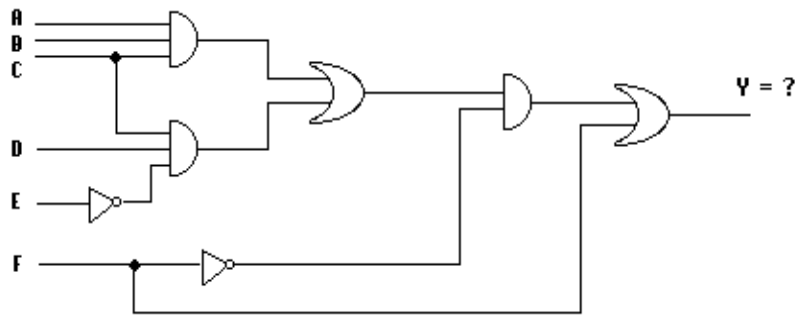
25. Obtenha o diagrama lógico correspondente à função $Y = \overline{A} \cdot B + A \cdot \overline{B}$ utilizando apenas portas "NAND".

Análise de circuitos combinacionais

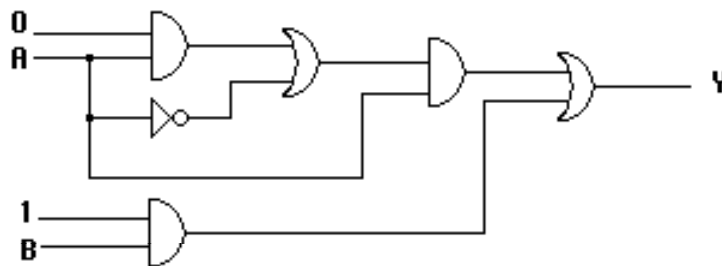
26. Obtenha uma expressão para a função realizada pelo circuito representado:



27. Obtenha uma expressão para a função realizada pelo circuito representado:



28. Minimize a expressão da função realizada pelo circuito representado:



Simplificação com mapas de Karnaugh

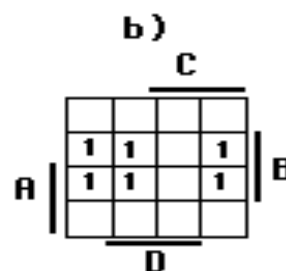
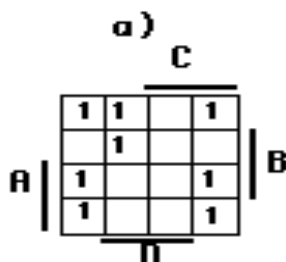
29. Obtenha, através de mapas de Karnaugh, a forma mínima de produto de somas e soma de produtos das funções seguintes:

a) $F1 = \bar{A} \cdot B \cdot \bar{C} \cdot D + A \cdot B \cdot \bar{C} \cdot D + A \cdot B \cdot C \cdot D$

b) $F2 = \bar{C} + \bar{A} \cdot \bar{B} \cdot C$

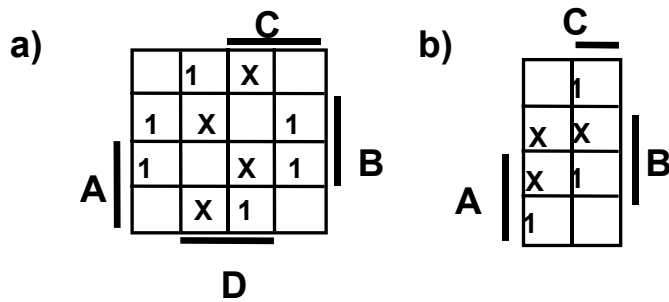
c) $F3 = \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C}$

30. Determine as funções lógicas simplificadas (forma mínima soma de produtos e forma mínima produto de somas) correspondentes aos mapas de Karnaugh seguintes:

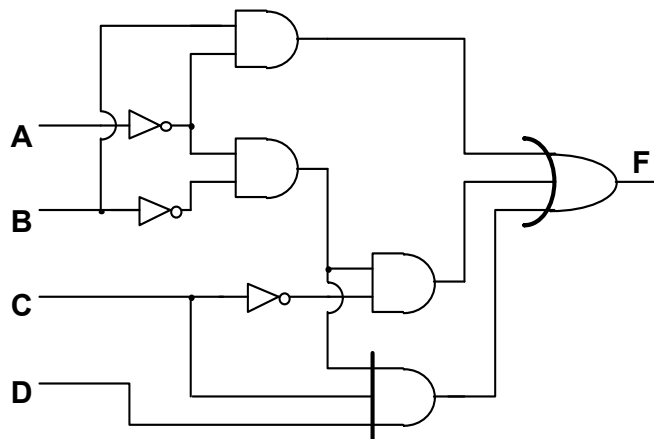


31. Determine as funções lógicas simplificadas (forma mínima soma de produtos e forma mínima produto de somas) correspondentes aos mapas de Karnaugh seguintes:

forma mínima produto de somas) correspondentes aos mapas de Karnaugh seguintes:



32. Dado o circuito da figura,



a) Minimize a função **F** em *soma de produtos* e em *produto de somas*.

b) Supondo que as combinações de entrada:

A	B	C	D
0	0	1	0
0	1	0	1

nunca podem surgir, isto é, devem ser consideradas como condições opcionais, obtenha novamente a *forma mínima soma de produtos* e a *forma mínima produto de somas*.

33. Para o circuito da figura determine a expressão da função **F** na *forma mínima soma de produtos*.

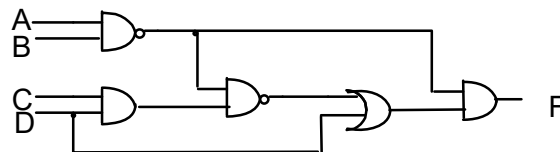
		\overline{E}			
		A		B	
C	D	0	0	0	0
		1	1	0	0
		1	1	1	1
		0	0	0	0

		E			
		A		B	
C	D	0	0	X	X
		X	1	0	0
		1	1	1	0
		0	0	1	1

Multiplexers

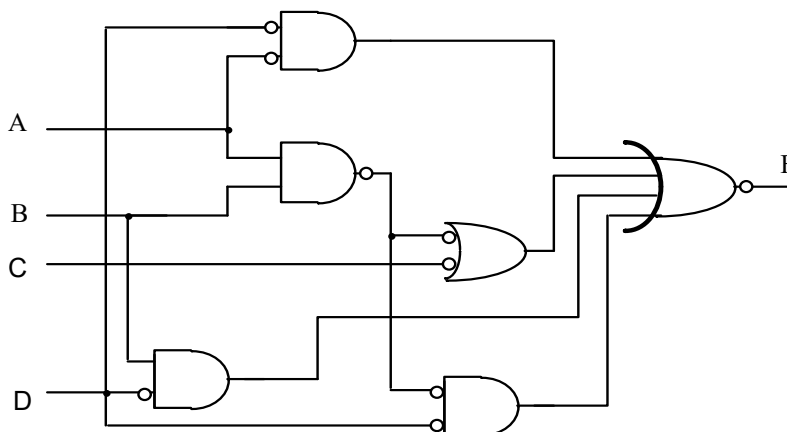
36. Considere o seguinte circuito combinacional:

- a) Obtenha a expressão da função lógica nas formas mínimas soma de produtos e produtos de somas.



- b) Implemente a função lógica da alínea anterior, usando um multiplexer 8:1 (MUX 151).

37. Dado o circuito da figura,

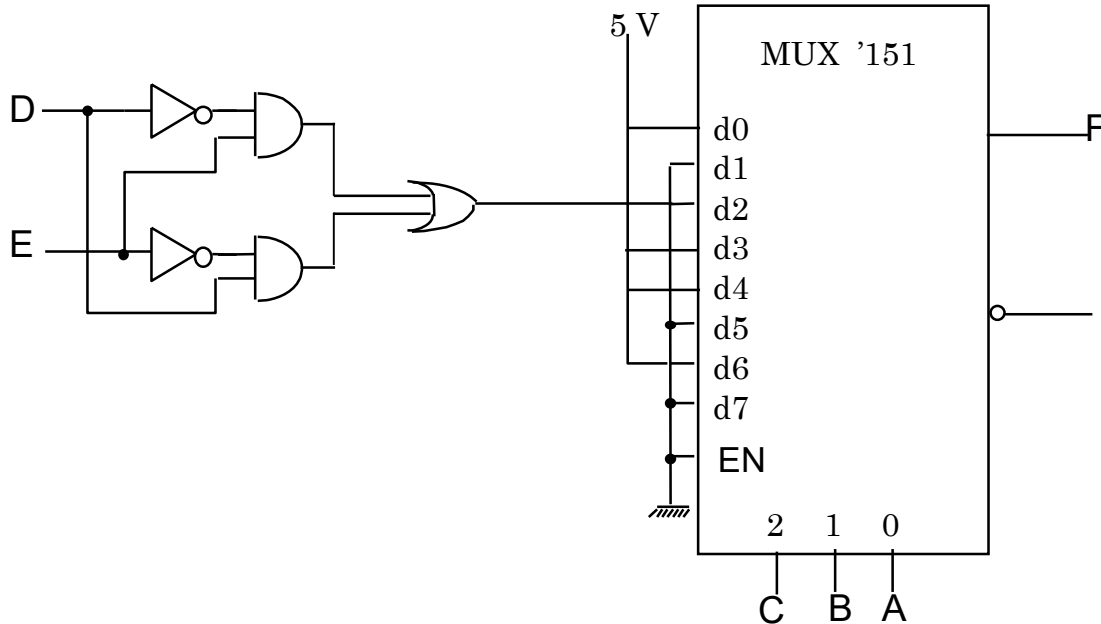


- a) Determine a expressão da função na *forma mínima produto de somas*.
- b) Realize a função com um multiplexer de 8:1 (74151) e eventual lógica adicional que considere necessária.

38. Implemente a seguinte função lógica utilizando apenas um *multiplexer* de 8:1:

$$F(A, B, C, D) = A \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot D + \bar{A} \cdot C$$

39. Considere a seguinte figura:



a) Quando nas entradas de selecção estiver presente o valor binário **010**, qual será o valor de F ?

b) Obtenha a função F na forma mínima soma de produtos.

40. Obtenha as expressões lógicas das funções F para:

a) O circuito da figura 1

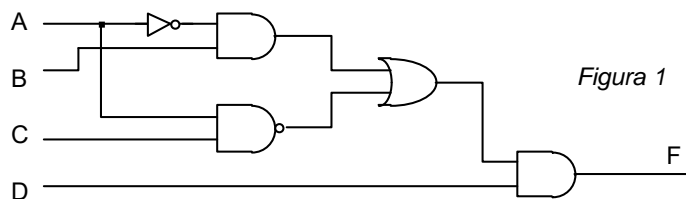


Figura 1

b) O diagrama temporal da figura 2

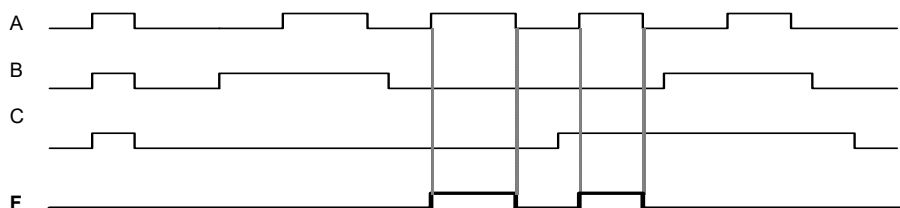
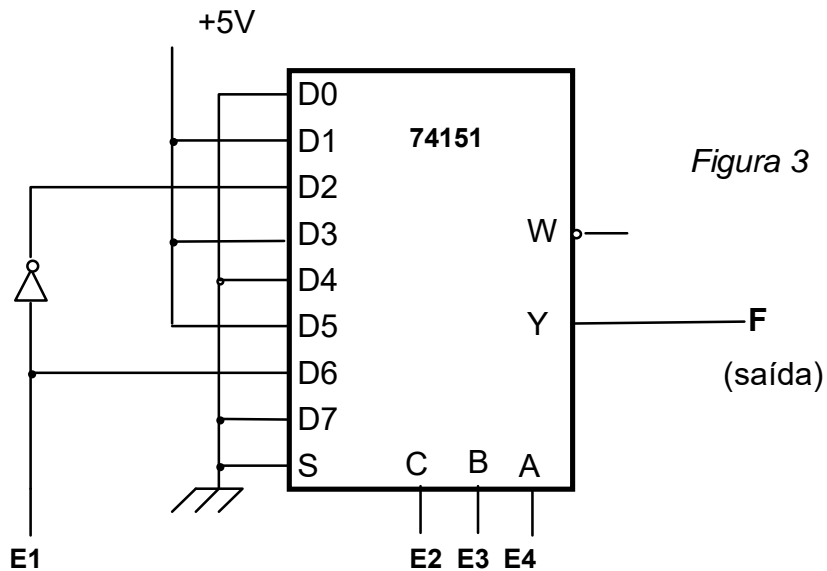
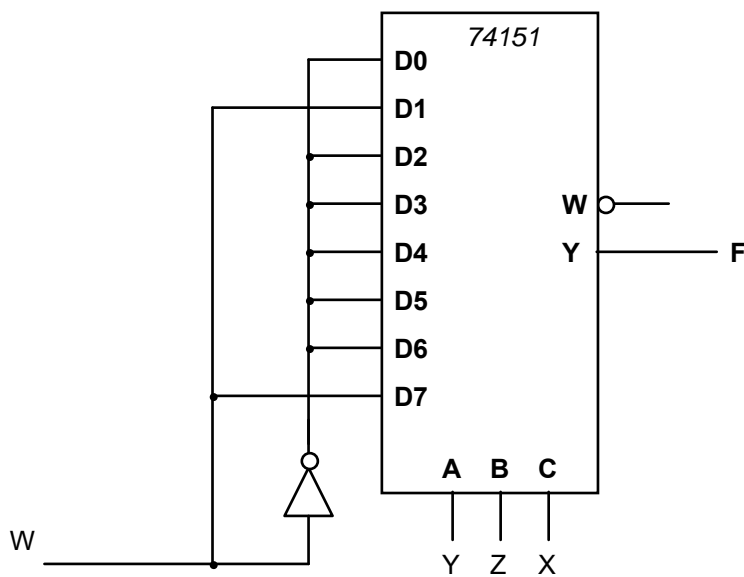


Figura 2

c) O circuito da figura 3, implementado com um multiplexer 74151



41. O circuito da figura representa um sistema que utiliza um multiplexer 8:1 para realizar uma função lógica F de variáveis W, Z, Y, X.



Implemente a mesma função lógica F, mas utilizando portas lógicas elementares (AND's e OR's).

42. Obtenha na forma mínima soma de produtos:

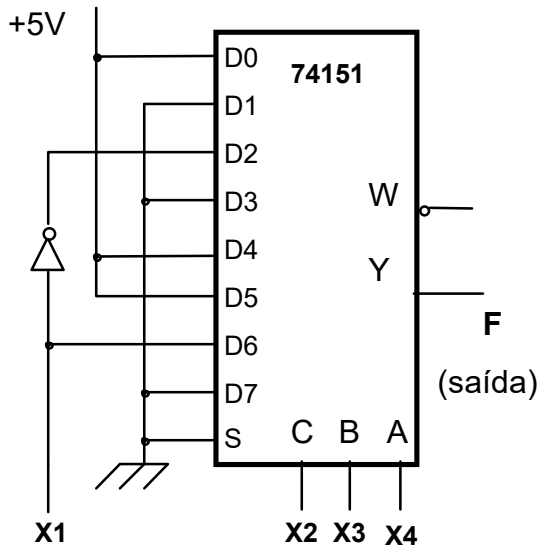


Figura 1 - alínea a)

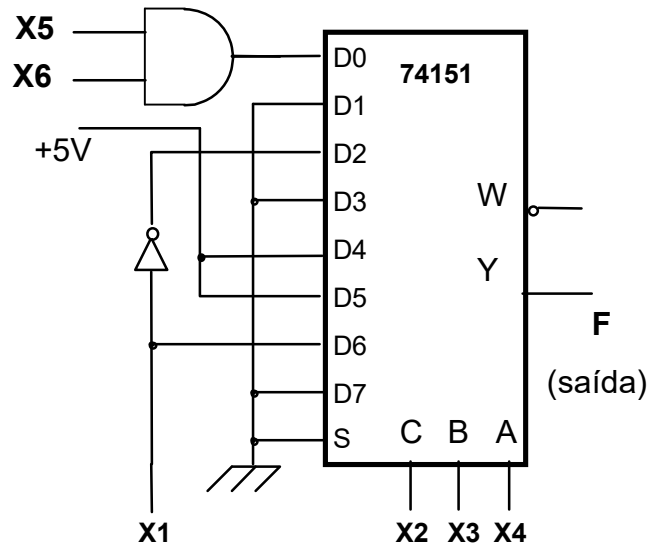
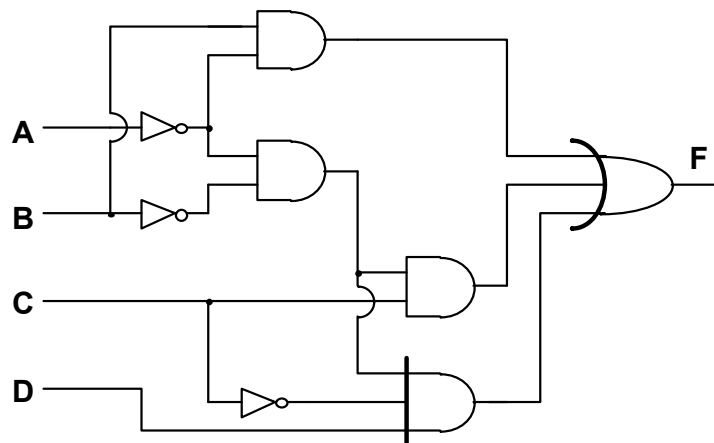


Figura 2 - alínea b)

a) A expressão da função F que está implementada com um multiplexer na Fig.1

b) A expressão da função F que está implementada com um multiplexer na Fig.2

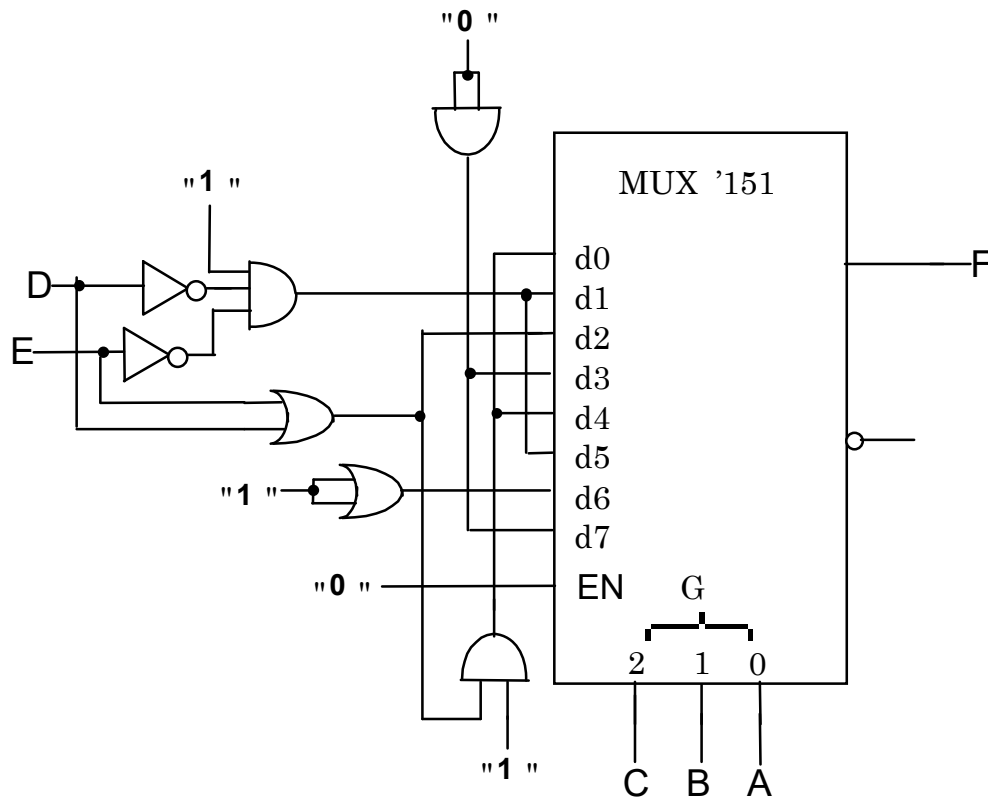
43. Dado o circuito da figura,



a) Minimize a função F em *soma de produtos* e *produto de somas*.

b) Implemente a função F com um multiplexer 8:1 (como o 74151).

44. Considere a seguinte figura:



- Quando nas entradas de selecção estiver presente o valor binário **001**, qual será o valor de F?
- Obtenha a função F na *forma mínima soma de produtos*.

Síntese de circuitos combinacionais

- Sintetize um circuito votador de três entradas com portas lógicas. Um circuito votador de três entradas tem a saída a "0" se duas ou mais entradas estão a "0" e a "1" se duas ou mais entradas estão a "1".
- Projecte um circuito combinacional com três entradas, I1, I2 e I3, e duas saídas, O1 e O2, que obedeça às seguintes especificações :
 - Todas as entradas a "0", O1 e O2 tomam o valor "00".
 - I1 a "1", O1 e O2 tomam o valor "01".
 - I2 a "1", mas I1 a "0", O1 e O2 tomam o valor "10".
 - Apenas I3 a "1", O1 e O2 tomam o valor "11".

As entradas são activas ao nível lógico "1". Valorizam-se soluções que minimizem

o número de C.I.s, bem como o número de portas utilizadas.

47. Um júri é composto por quatro membros A, B, C e D. Cada membro só pode votar a favor ou contra; o membro A vota a favor carregando num botão que faz o sinal A tomar o valor 1 e vota contra se não carregar no botão (e então o sinal A toma o valor 0). O resultado da votação pode ser:

Aprovação - 3 ou mais votos a favor

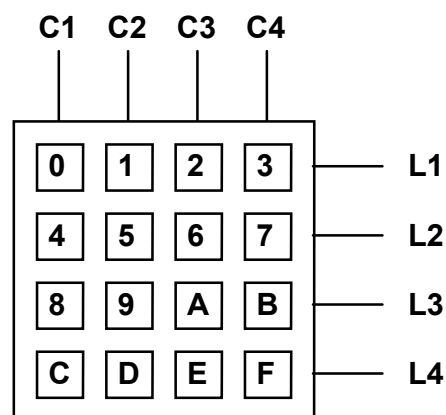
Reprovação - 3 ou mais votos contra

Empate - 2 votos a favor e 2 votos contra

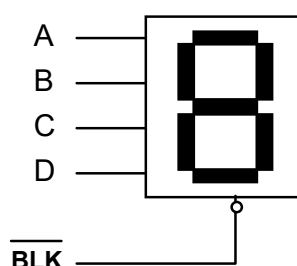
Projecte e implemente com portas lógicas o circuito que gera os sinais

Aprovação, Reprovação e Empate.

48. Suponha que dispõe de um teclado hexadecimal como o representado na figura. O teclado dispõe de quatro sinais C1, C2, C3 e C4 que são postos a "1" quando se pressiona uma tecla da respectiva coluna e de quatro sinais L1, L2, L3 e L4 que são postos a "1" quando se pressiona uma tecla da respectiva linha. Por exemplo, quando se pressiona a tecla 9, são postos a "1" os sinais C2 e L3.



Suponha ainda que dispõe de um visor de 7 segmentos com decodificador incorporado, permitindo visualizar um dígito hexadecimal por simples aplicação do respectivo código de 4 bits. A entrada \overline{BLK} permite apagar o visor quando não se pretende visualizar nenhum código.



Projecte o circuito combinacional a interpor entre o teclado e o visor de 7 segmentos, de modo a permitir a visualização do dígito correspondente à tecla pressionada.

49. Pretende-se fazer a comparação em paralelo de duas palavras de 12 bits X e Y utilizando três CIs 7485 e um circuito combinacional adicional.

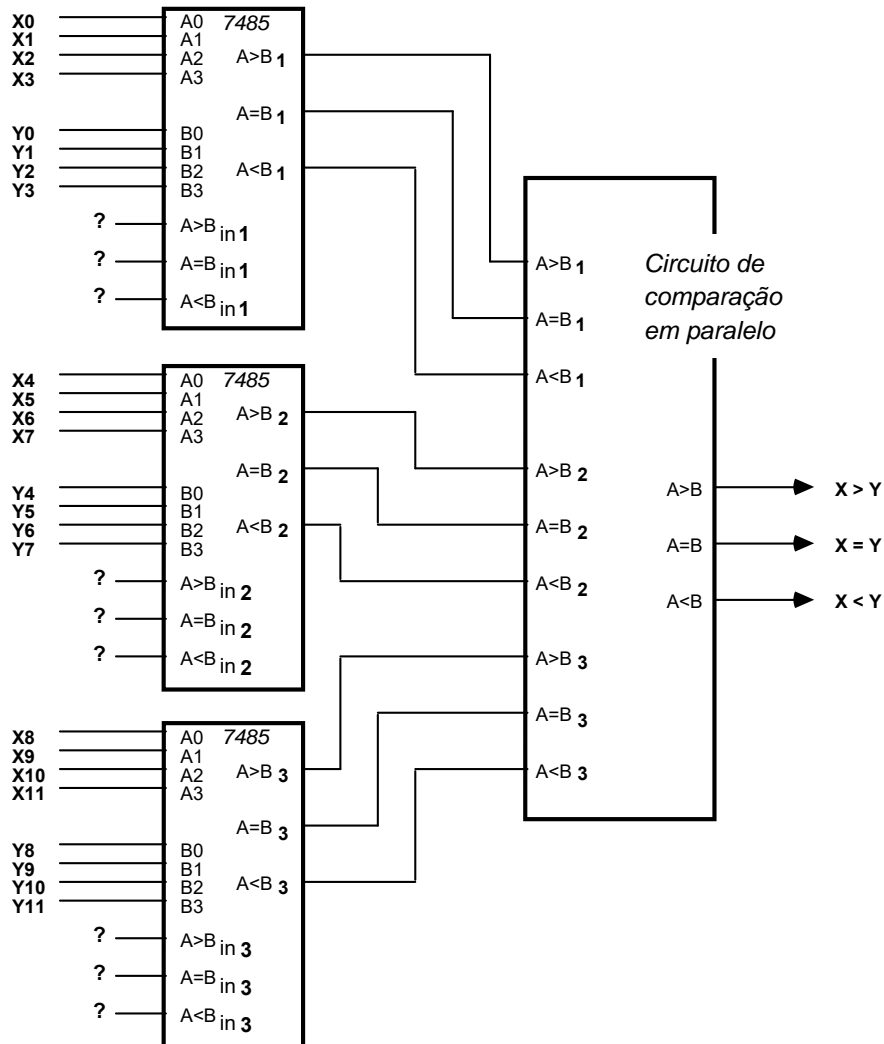
a) Diga quais são as ligações a fazer (valores fixos) às entradas:

$A > B_{in1}$, $A = B_{in1}$, $A < B_{in1}$, $A > B_{in2}$, $A = B_{in2}$, $A < B_{in2}$, $A > B_{in3}$, $A = B_{in3}$,
 $A < B_{in3}$

b) Projecte o circuito de comparação em paralelo (fig. seguinte)

Comece por fazer uma tabela de verdade compactada (usando Xs para as entradas $A > B_1$, $A = B_1$, $A < B_1$, $A > B_2$, $A = B_2$, $A < B_2$, $A > B_3$, $A = B_3$, $A < B_3$ sempre que possível) para as funções de saída $A > B$, $A = B$, $A < B$.

Como as funções são de 9 variáveis, não são aplicáveis mapas de Karnaugh. Formule por palavras as condições para que cada uma das saídas tome o valor “1” e desenhe directamente o diagrama lógico utilizando Inversores, ANDs e ORs.



Análise e síntese de circuitos sequências

50. Usando a metodologia dada nas aulas teóricas e justificando todos os passos seguidos, simule:

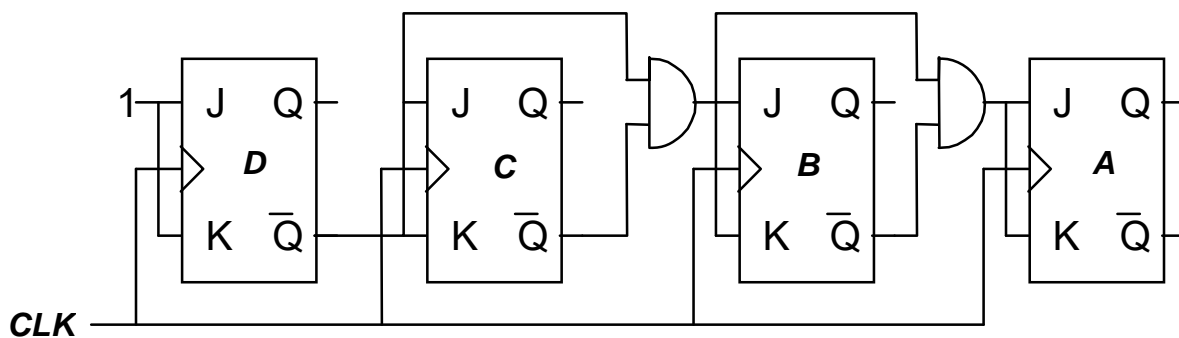
- Um flip-flop D à custa de um flip-flop J-K e eventual lógica adicional (desenhe o diagrama lógico obtido).
- Um flip-flop J-K à custa de um flip-flop D e eventual lógica adicional (desenhe o diagrama lógico obtido).
- Um flip-flop T à custa de um flip-flop D e eventual lógica adicional (desenhe o diagrama lógico obtido).

- Um flip-flop T à custa de um flip-flop J-K e eventual lógica adicional (desenhe o diagrama lógico obtido).

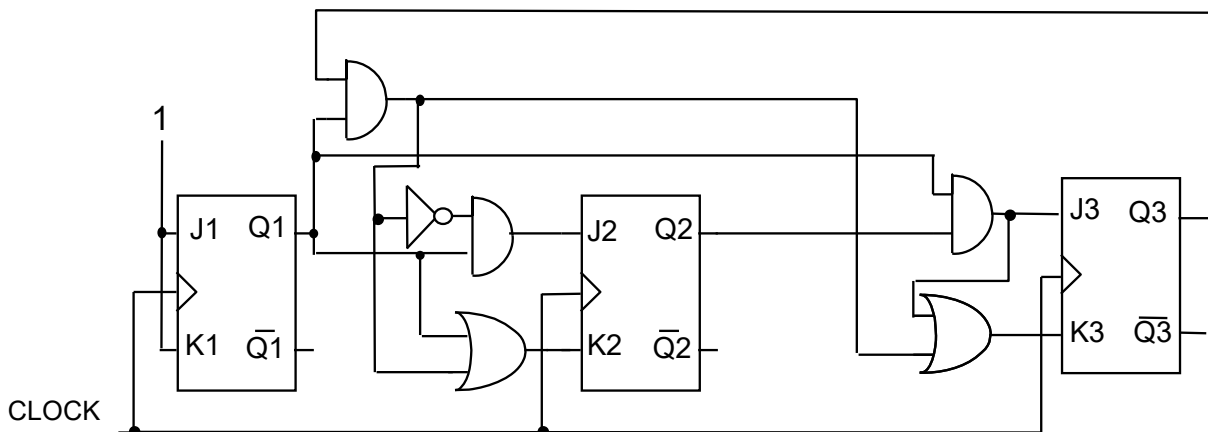
o diagrama lógico obtido).

51. Faça a síntese de um circuito síncrono utilizando flip-flops do tipo T, que realize a contagem binária natural de 2 bits (Q_1 , Q_0), ascendente caso a entrada externa "UP" esteja no estado lógico "1", ou descendente caso a entrada externa "UP" esteja a "0". A mudança do sentido da contagem pode ocorrer em qualquer instante.

52. Determine o diagrama de estados do circuito da figura seguinte.



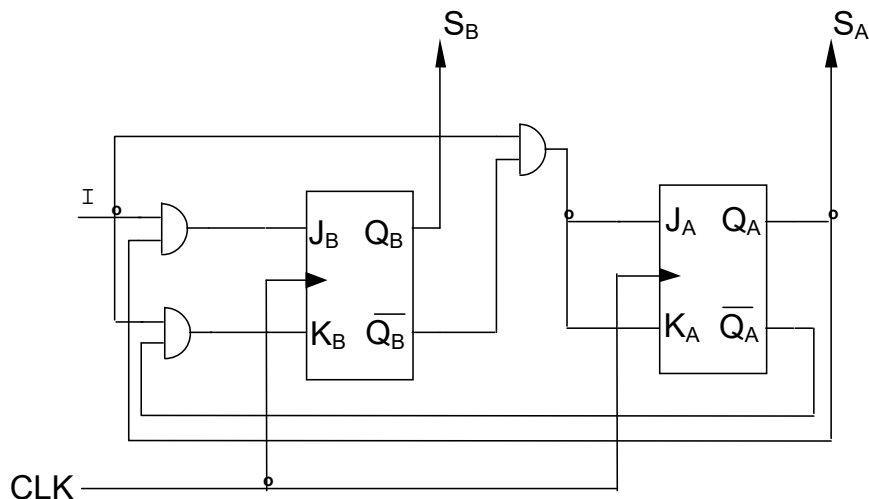
53. Considere o circuito da figura seguinte



- Faça uma análise formal do circuito apresentando o diagrama de estados completo.
- Realize as modificações necessárias para que o circuito se comporte como um contador binário módulo 8 (sequência binária natural 0...7). Obtenha as novas tabelas do estado seguinte e o diagrama equivalente do novo circuito.

54. A figura representa um contador síncrono de dois bits com uma entrada auxiliar I.

- Faça uma análise formal do circuito de forma a obter o seu diagrama de estados completo e uma descrição funcional.
- Verifique se o circuito é autocorrector. Em caso negativo faça as modificações necessárias para o tornar autocorrector e desenhe o novo diagrama lógico do circuito.



55. Sintetize um circuito sequencial com flip-flops J-K, que coloque uma saída S a “1” quando detectar um número ímpar de zeros em 3 valores sucessivos de uma linha de entrada E, voltando depois ao início.

56. Sintetize com flip-flops T um detector da sequência 1011 numa linha de entrada E. O circuito volta ao início após a detecção da referida sequência.

57. Uma porta abre apenas quando as sequências 1101 e 0010 são detectadas simultaneamente em duas linhas de entrada, E e Z, respectivamente, do circuito de abertura da referida porta. Implemente este circuito de abertura com flip-flops D. O circuito deve ser autocorrector.

58. Converta cada um dos modelos de Mealy dos exercícios 45, 46 e 47 para o modelo de Moore equivalente.

59. Projecte um contador que apresente nas suas saídas a seguinte sequência:

... , 0, 1, 2, 3, 4, 5, 0, 1, ...

O contador deve ter uma função COUNT ENABLE - associada a uma entrada ENABLE. Quando ENABLE = 0 não há contagem (o contador mantém o seu estado independentemente das transições no relógio) e quando ENABLE = 1 o contador funciona normalmente.

O contador deve ser auto-corrector.

Use flip-flops J-K e lógica adicional implementada com portas.

60. Faça a síntese de um circuito síncrono, utilizando flip-flops J-K, que apresente à sua saída a sequência de números ímpares até 13, ou seja,

... ,1, 3, 5, 7, 9, 11, 13,1, 3, ...

Refira se o circuito é autocorrector e porquê.

61. Pretende-se construir um contador que apresente a seguinte sequência de saída:

... , 0, 1, 2, 3, 4, 5, 6, 7, 8, 7, 6, 5, 4, 3, 2, 1, 0, 1, 2, 3, ...

- a) Construa uma tabela que relacione a sequência de saída com os estados já codificados (basta utilizar apenas uma das regras referidas nas aulas)
- b) Desenhe o diagrama de estados (já codificados)
- c) Construa a tabela de transição
- d) Obtenha as funções de excitação para flip-flops D e J-K.
- e) Obtenha o decodificador de saída (apenas as funções)

f) Realize um contador com a sequência:

... , 0 , 1 , 2 , 3 , 2 , 3 , 4 , 5 , 0 , 1 , 2 , ...

O contador deve ser auto-corrector.

Utilize flip-flops e portas lógicas à sua escolha.

62. Utilizando um contador 74163 e eventualmente lógica adicional implemente a seguinte sequência:

... , 3 , 4 , 5 , 6 , 7 , 8 , 9 , 3 , 4 , 5 , ...

63. Implemente um contador binário de módulo 120, com a sequência

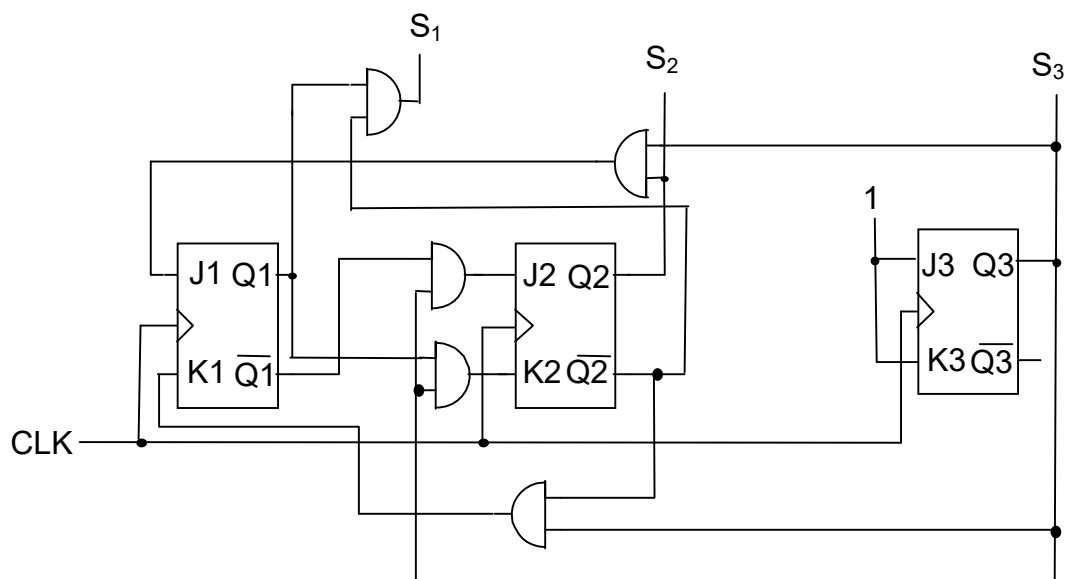
0 , 1 , 2 , ... , 118 , 119 , 0 , 1 , ...

utilizando dois circuitos integrados 74163 e lógica adicional.

64. Utilizando um contador 74163 e eventual lógica adicional, implemente a seguinte sequência:

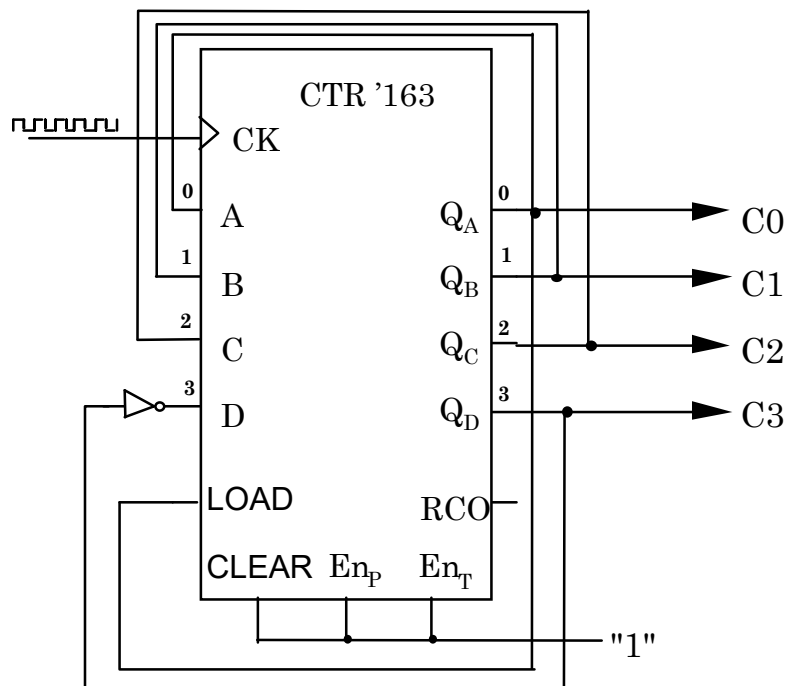
... , 0 , 1 , 2 , 3 , 4 , 11 , 0 , ...

65. Considere o circuito da figura seguinte:



- Faça uma análise formal do circuito apresentando o diagrama de estados completo.
- Projecte o contador pretendido, mas usando o CI 74LS163. Desenhe o diagrama lógico.

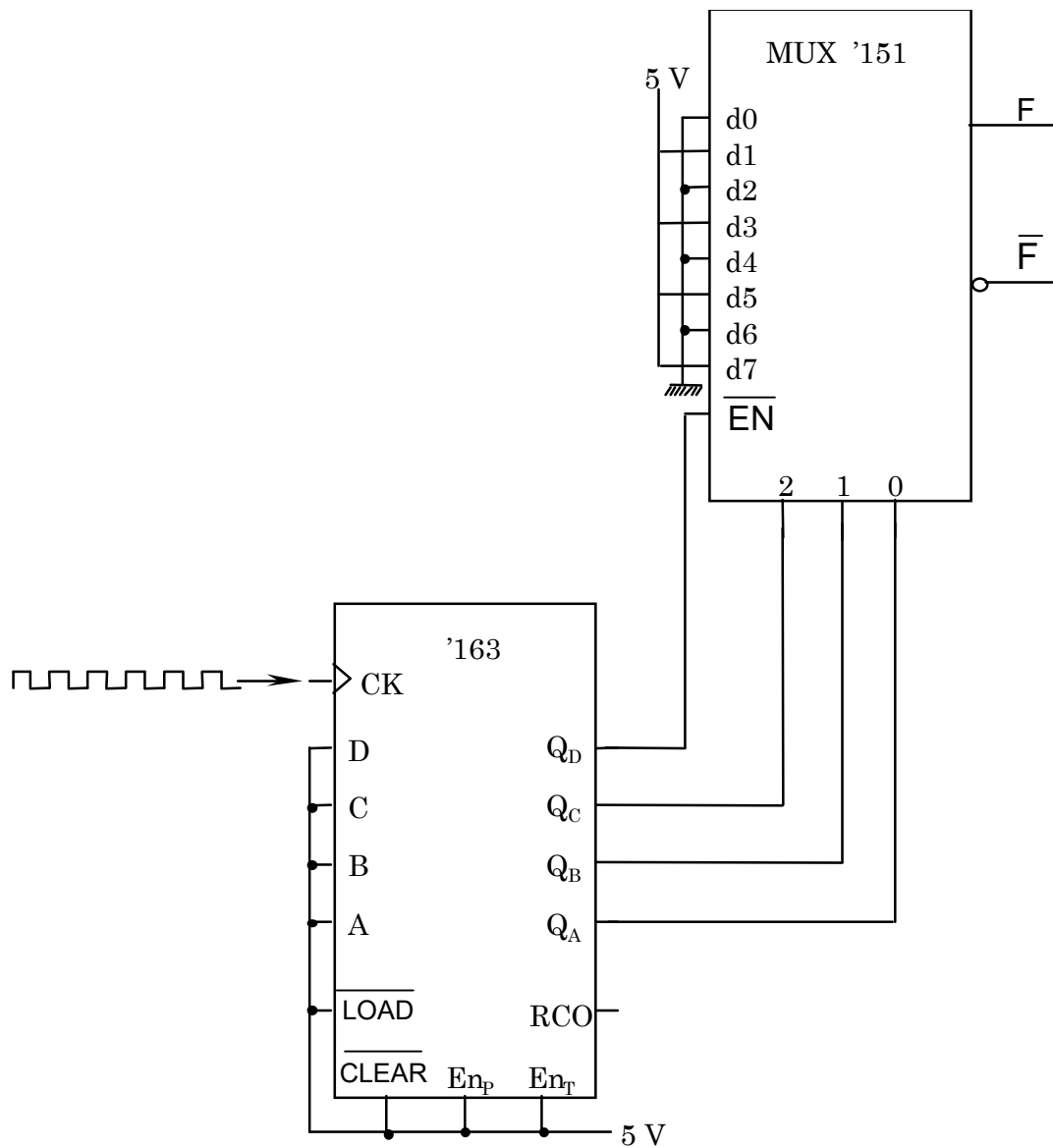
66. Construa, justificando, a tabela de transição de estados e o diagrama de estados para o seguinte circuito:



67. Construa um contador BCD (decimal) utilizando:

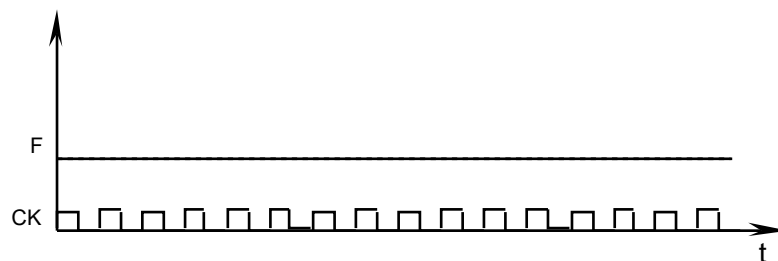
- Flip-flops D ou J-K. Obtenha apenas as expressões.
- Um contador 74163 e eventual lógica adicional. Desenhe o diagrama lógico da implementação.

68. Dada a seguinte figura:



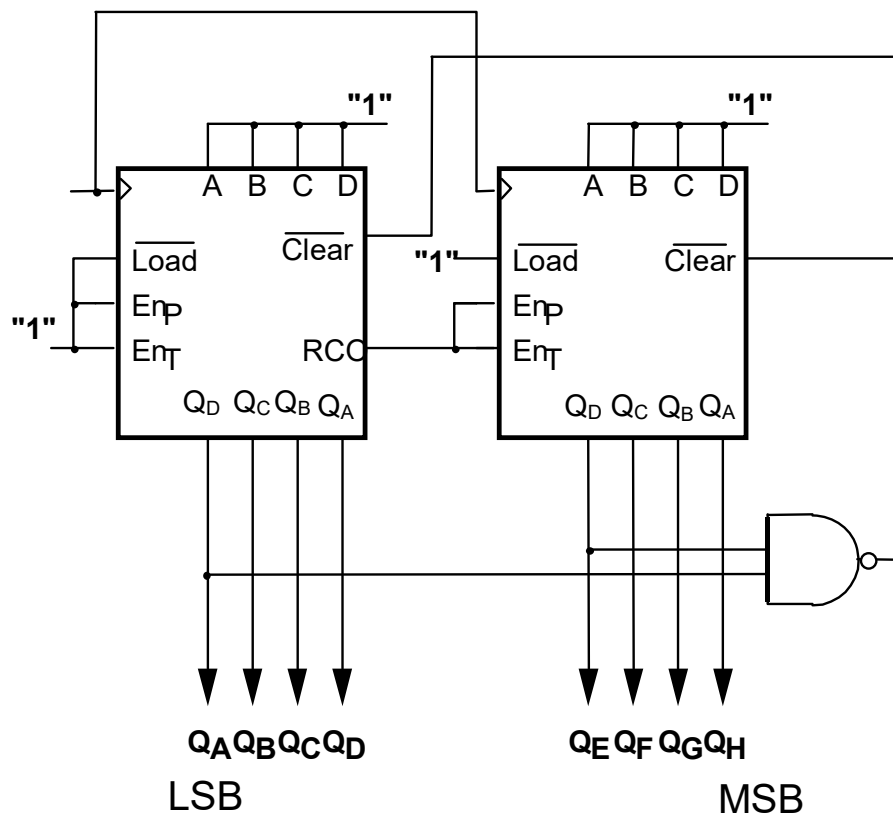
a) Obtenha a expressão lógica da expressão F .

b) Desenhe o diagrama temporal da função F .

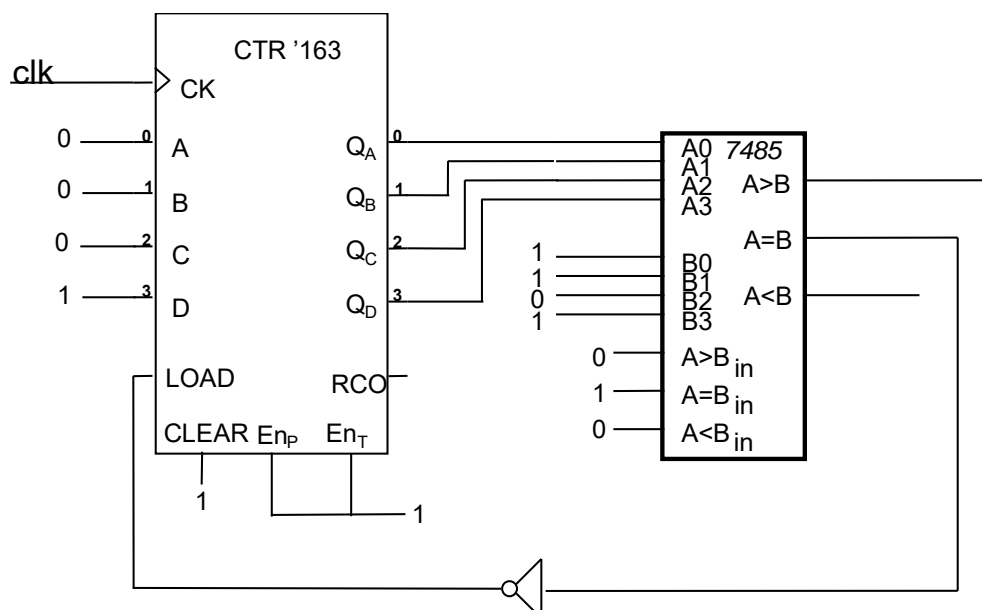


69.

60. Obtenha o diagrama de estados para o circuito mostrado na figura seguinte, implementado com dois circuitos integrados 74163 (contador binário de 4 bits).



61. Obtenha o diagrama de estados para o circuito mostrado na figura seguinte, (sendo as variáveis de estado fornecidas pelas saídas QD, QC, QB e QA do contador 74163), implementado com um circuito integrado 74163 (contador binário de 4 bits) e um circuito integrado 7485 (comparador de 4 bits).



62. Considere o circuito da figura que utiliza um contador binário do tipo 74163 para realizar um contador cuja sequência de saída (C3, C2, C1 e C0) depende do valor lógico do sinal Entrada. Obtenha o diagrama de estados do circuito, justificando-o.

