

Atividade Prática 1.2:

VHDL: Tipos de Descrições

DIM0128 Circuitos Lógicos

Edgard de Faria Corrêa

- ❖ Para a tabela verdade ao lado foram propostos dois códigos VHDL:

```
ENTITY exercicio1a IS
  PORT ( a : IN bit_vector(0 to 3);
         b : IN bit_vector(0 to 3);
         s : OUT bit_vector(0 to 3));
END;

ARCHITECTURE arq1a OF exercicio1a IS
BEGIN
  s(0) <= (NOT a(0)) AND (NOT b(0));
  s(1) <= (NOT a(1)) AND b(1);
  s(2) <= a(2) AND (NOT b(2));
  s(3) <= NOT (a(3) AND b(3));
END arq1a;
```

```
ENTITY exercicio1b IS
  PORT ( a : IN std_logic;
         b : IN std_logic;
         s : OUT std_logic);
END;

ARCHITECTURE arq1b OF exercicio1b IS
BEGIN
  s <= a nand b;
END arq1b;
```

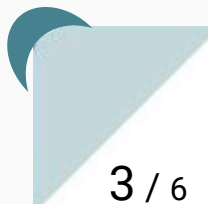
A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Exercício 1

❖ Utilizando um ambiente de desenvolvimento (Quartus, Vivado, EDA Playground, etc.):

1. Crie projetos para cada um desses códigos e **compile** esses dois códigos.
 - Caso existam erros, execute as devidas correções.
2. Execute a **simulação** para cada um dos códigos e **analise** os resultados.
 - Os resultados corresponderam ao esperado, descritos na tabela verdade?

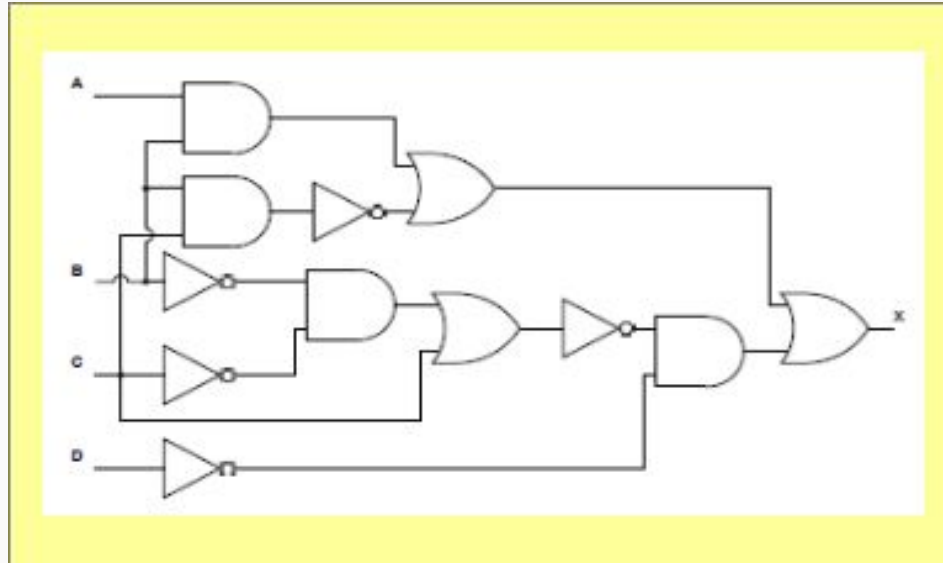
A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



1 / 2

Exercício 2

❖ CIRCUITO:



- ❖ Proponha arquiteturas para esse circuito com **descrições**:
- ❖ Execute as simulações e verifique se, em ambas as arquiteturas, a saída corresponde ao esperado para esse circuito.

- **Dataflow**
- **Estrutural**

Atividade Prática 1.2:

VHDL: Tipos de Descrições

DIM0128 Circuitos Lógicos