

# Atividade Prática 2.2:

## Circuitos Combinacionais:

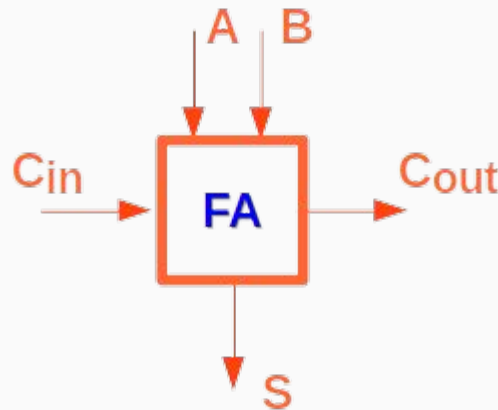
### Somador / Subtrator

**DIM0128 Circuitos Lógicos**

Edgard de Faria Corrêa

# Exercício 1 1 / 3

❖ Um **somador completo** de **1bit** possui a seguinte caracterização:



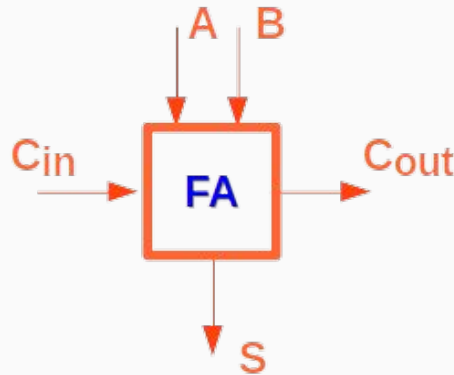
A	B	C <sub>in</sub>	C <sub>out</sub>	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

➤  $S = A \oplus B \oplus C_{in}$

➤  $C_{out} = ((A \oplus B) \cdot C_{in}) + (A \cdot B)$

# Exercício 1 2 / 3

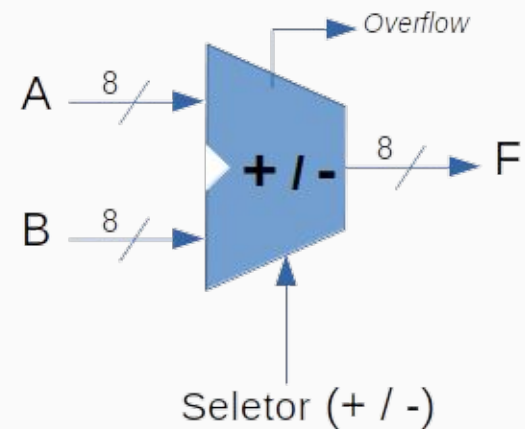
- ❖ Considere a seguinte implementação (*dataflow*) desse **somador completo de 1bit**



```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY SomaComp IS  
PORT ( A, B, Cin : IN STD_LOGIC;  
        S, Cout : OUT STD_LOGIC);  
END;  
  
ARCHITECTURE s OF SomaComp IS  
BEGIN  
    S <= A XOR B XOR Cin;  
    Cout <= ((A XOR B) AND Cin) OR (A AND B);  
END s;
```

## ❖ Implemente em VHDL um **Somador/Subtrator de 8 bits**:

- O subtrator deve usar complemento de dois.
- Os operandos (A e B) são de 8 bits.
- Não é permitido usar o pacote ARITH na realização da soma ou subtração.
- Pode ser usada descrição estrutural, reusando o código de somador completo de 1 bit.



# Atividade Prática 2.2:

## Circuitos Combinacionais:

### Somador / Subtrator

**DIM0128 Circuitos Lógicos**