

Oscilador digital basado en un filtro IIR.

Queremos implementar un oscilador digital basado en un filtro paso banda realimentado. La figura 3.1 muestra el diagrama de bloques del oscilador. Los triángulos modelan etapas de ganancia, los círculos sumadores, los bloques $1/z$ unidades de retardo y la función $\text{sgn}(u)$ calcula el signo de u : su salida será 1 si su entrada es positiva o nula y 0 si es negativa.

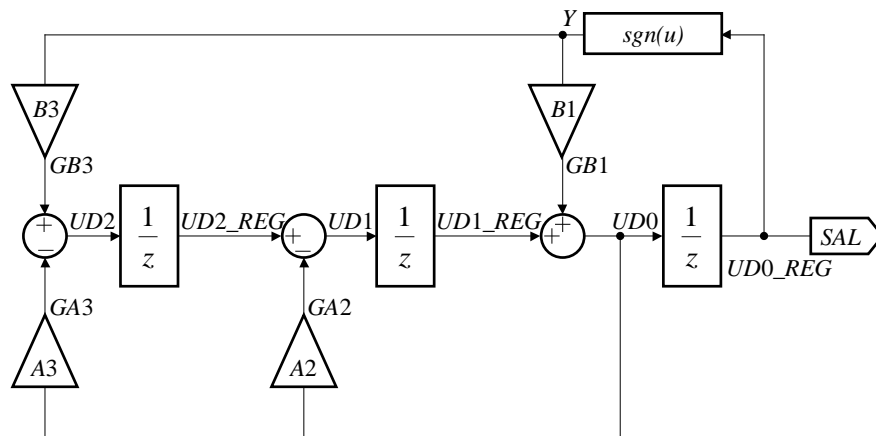


Figura 3.1: Diagrama de bloques.

El sistema es capaz de sintetizar dos frecuencias distintas: 2120 Hz y 2365 Hz. La primera representa un '0' lógico y la segunda un '1' lógico en un modem con modulación FSK (*Frequency Shift Keying*). La frecuencia se selecciona con una señal de control externa SEL. Los coeficientes de las etapas de ganancia para sintetizar estas frecuencias se muestran en la tabla 3.1. Estos valores corresponden a una frecuencia de muestreo $f_s=48$ KHz.

La frecuencia de reloj es de 100 Mhz.

Los registros tienen un rango dinámico de $[-1,1)$.

	$SEL=0$ (2120Hz)	$SEL=1$ (2365 Hz)
$B1$	0,0048828125	0,0048828125
$B3$	-0,0048828125	-0,0048828125
$A2$	-1,912109375	-1,89453125
$A3$	0,9892578125	0,9892578125

Tabla 3.1 Valores de los coeficientes de las etapas de ganancia.

La tabla 3.2 muestra el número de bits requerido para codificar los coeficientes y las unidades de retardo. Esta tabla se ha obtenido con una herramienta de diseño y simulación de sistemas (Simulink-Matlab) para unas especificaciones de respuesta en frecuencia dadas.

El resultado de la simulación se escribe en un fichero (osci.txt) para ser procesado por Matlab (osci.m).

Para poder observar la senoide generada se conectan los 21 bits a un bloque ILA (Integrated Logic Analyzer).

<i>B1</i>	<i>B3</i>	<i>A2</i>	<i>A3</i>	<i>UD0_REG</i>	<i>UD1_REG</i>	<i>UD2_REG</i>
4 bits	4 bits	12 bits	11 bits	21 bits	21 bits	21 bits

Tabla3.2: número de bits necesarios.