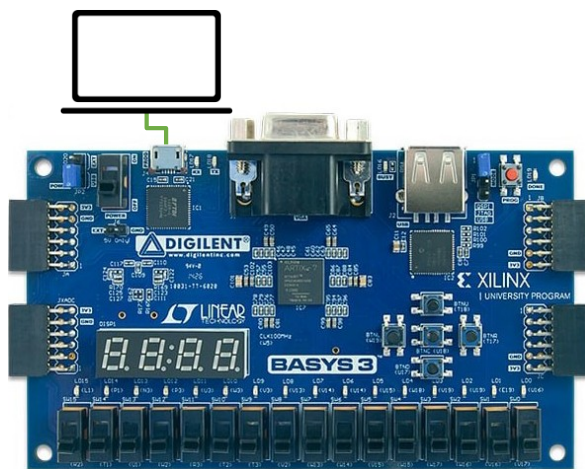


Comunicación serie asíncrona

En esta práctica repasaremos los procedimientos utilizados para modelar, simular e implementar en una FPGA un circuito digital secuencial.

El propósito de esta práctica es diseñar la parte digital de una comunicación serie asíncrona a 115200 bits/s. El sistema se modelará en VHDL, se simulará en Vivado, se sintetizará utilizando las herramientas de Xilinx y se demostrará su funcionamiento en una placa de prototipado Basys-3.

El sistema se muestra en la figura siguiente:



Consta de una placa de prototipado (Basys 3), un ordenador conectado a la placa a través del puerto serie RS232 que permitirá visualizar en un terminal el carácter enviado desde la placa.

El sistema implementado deberá enviar al PC el dato recibido incrementado de 1. La transmisión se ajusta a una tasa de 115200 bits por segundo, siguiendo el protocolo de comunicación serie asíncrona con datos de 8 bits, sin paridad, 1 bit de stop.

El diseño seguirá la metodología basada en máquinas de estado vista en clase para la parte de transmisión.

En esta primera práctica se suministran todos los ficheros salvo el bloque de recepción que está vacío. Se deberá de modificar el test-bench para que mande más de un dato.