

Mandelbrot V4DL

réalisé par :Baddou anass

1 .Introduction

Les fractales sont des ensembles mathématiques liés dans un plan complexe. L'Ensemble de Mandelbrot est régi par le équation $z_{n+1} = z_n^2 + C$ où C est une constante représentant un point dans le plan complexe. Points dans le les plans complexes de l'ensemble sont liés, tandis que ceux en dehors de l'ensemble tendent vers l'infini. Les itérations nécessaire pour déterminer qu'un point n'est pas borné peut être utilisé pour coloriser une image de l'ensemble. Le vrai composante, affichée sur l'axe des x, est donnée par l'équation $x_{n+1} = x_n^2$

$y_{n+1} = y_n^2 + 2x_n y_n$ et l'imaginaire la composante sur l'axe y est $y_{n+1} = y_n^2 + 2x_n y_n + y_0^2$ où x_0 et y_0 sont les composantes x et y de la constante C respectivement. Enfin, les composantes réelles et imaginaires sont mises au carré, additionnées, et par rapport à la valeur entière de 4. Si la somme des carrés est supérieure à 4, le point est considéré comme illimité et le nombre d'itérations est écrit en mémoire. Comparer de petites portions de l'ensemble de Mandelbrot avec l'ensemble dans son ensemble révèle des caractéristiques similaires. Cela permet de "zoomer" une caractéristique intéressante de la génération de l'ensemble de Mandelbrot sur du matériel informatique. Les FPGA fournissent une excellente plate-forme pour le calcul de fractales en raison de la possibilité de parallélisant une grande partie des fonctions mathématiques. Le plan initial du projet était de créer une structure où les calculs pour chaque pixel seraient effectués sur l'équivalent d'une étape du pipeline. Il a été déterminé que cela était complexe en termes de signalisation à la fois pour le chemin de données en aval et à la logique de commande en amont que l'achèvement s'était produit.

Une architecture pipeline est beaucoup moins complexe, mais le compromis est que bien que tous les multiplicateurs soient dans le chemin de données, certains peuvent être inutiles lorsqu'un point est déterminé comme étant hors de l'ensemble au début des calculs. Le projet a été vu comme une opportunité d'en apprendre davantage sur l'arithmétique à point fixe en VHDL puisqu'il est utilisé dans d'autres scénarios tels que les projets DSP.

Le projet teste également les capacités du FPGA et composants de la carte pour fonctionner plus rapidement que les 50 MHz de l'horloge fournie. Calculer le Mandelbrot

Set est une application bien connue d'un algorithme en informatique et en génie électrique beaucoup comme le jeu de Conway

2.Design

2.1.Plan

Le plan original était une architecture parallèle. Une interface DRAM était également prévue, mais cela a été abandonné en raison de problèmes de calendrier entre les sections du projet. La figure 1 ci-dessous montre le plan d'origine. Le planning a été rédigé avec un mois pour la construction des composants et un mois pour les tests.

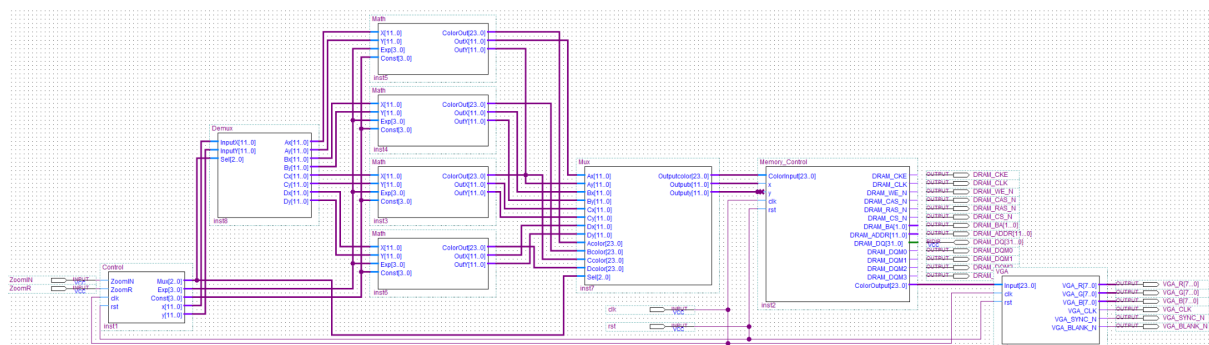


Figure 1: Original submitted design.

2.2.méthode utilisé

Le calendrier utilisé a construit le projet à partir de la fin du chemin de données. Cela a été fait en raison d'une familiarité avec VGA et la capacité de tester en permanence sur le matériel ainsi que dans la simulation. Pour exemple, le composant VGA, bien qu'il n'ait rien à voir avec le chemin de données, peut être utilisé dans un

tester la configuration pour déterminer si des signaux de synchronisation et de blanc acceptables sont transmis au moniteur connecté à la carte. Ceci est illustré dans la figure 2 ci-dessous.

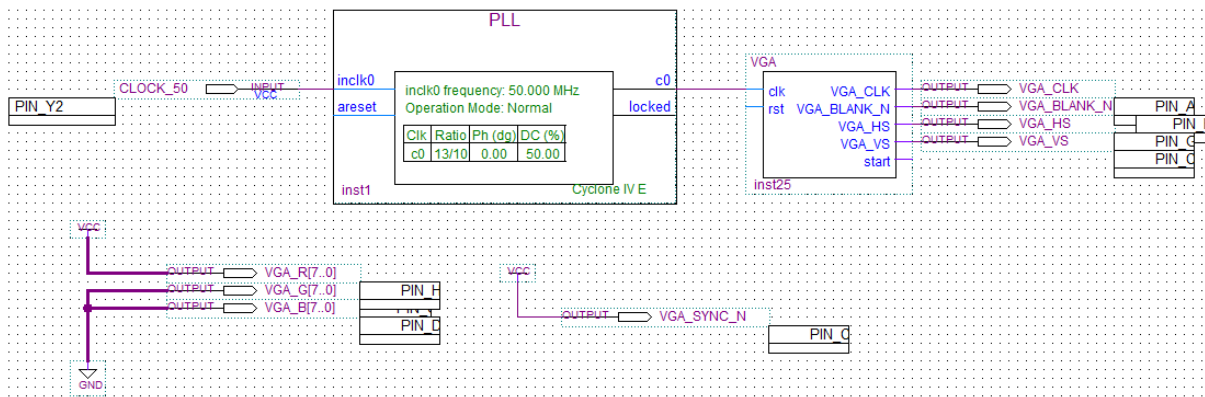
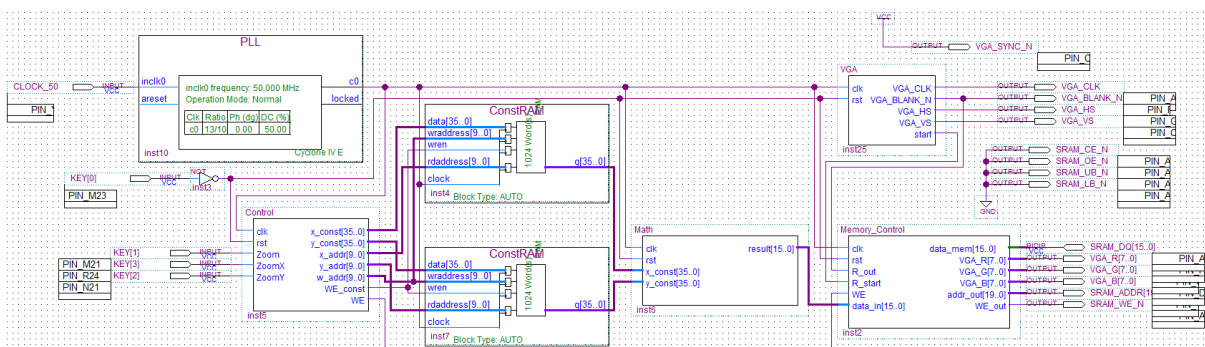


Figure 2: VGA composant sous le test

De la même manière l'unité de contrôle de mémoire a été alimentée en sortie d'un compteur à l'entrée d'itération et le système a testé une sortie de gradient multicolore sur le moniteur. Enfin les maths et le contrôle les unités ont été ajoutées après simulation et testées avec du matériel.

2.3.Design réalisé



2.3.1 Mandelbrot

Le composant Mandelbrot est au cœur de la conception est responsable de tous les calculs pour une itération du calcul de l'ensemble de Mandelbrot.

Le composant est composé de 3 multiplis, un décalage arithmétique (équivalent au décalage logique dû à la direction gauche), une soustraction et trois additions avec un ajout supplémentaire pour garder le compte des itérations. Les valeurs et constantes X et Y sont toutes Point xe 36 bits avec 1 bit de signe, 3 bits entiers et 32 bits fractionnaires.

Les sorties du composant sont cadencés, et ces registres forment les barrières entre les étages du pipeline. Ci-dessous une liste de l'architecture de Mandelbrot.

l'architecture du composant :

```
ARCHITECTURE Behavior of Mandelbrot IS
CONSTANT Limit : s f i x e d (3 downto 0) := X"2";
SIGNAL x_sqr , y_sqr : s f i x e d (3 downto 0)32);
BEGIN
x_sqr <= resize ( x_in x_in , x_sqr ) ;
y_sqr <= resize ( y_in y_in , y_sqr ) ;
Process ( clk , r s t )
BEGIN
IF ( clk 'EVENT and c l k = ' 1 ' ) THEN
IF ( rst = ' 1 ' ) THEN
iteration_out <= X"0000";
done_out <= ' 0 ' ;
ELSE
x_out <= resize (x_sqr - y_sqr + x_const , x_sqr ) ;
y_out <= resize ( ( ( x_in y_in ) s l l 1) + y_cons t , y_sqr ) ;
x_const_out <= x_cons t ;
y_const_out <= y_cons t ;
IF ( done_in = ' 1 ' ) THEN
done_out <= ' 1 ' ;
iteration_out <= iteration_in ;
ELSE
IF ( resize ( x_sqr + y_sqr , x_sqr ) > Limit ) THEN
done_out <= ' 1 ' ;
iteration_out <= iteration_in ;
ELSE
done_out <= ' 0 ' ;
iteration_out <= iteration_in + 1 ;
END IF ;
END IF ;
END IF ;
END IF ;
END PROCESS;END Behavior ;
```

2.3.2 Math

L'unité mathématique contient 23 étapes de pipeline Mandelbrot dans une instruction GENERATE et 1 étape initiale. Rien dans l'unité mathématique n'est cadencé, cependant les signaux clk et premiers doivent être transmis au Mandelbrot unités.

L'instruction GENERATE est répertoriée ici :

```
FOR i IN 1 TO 23 GENERATE
stageX : Mandelbrot PORT MAP( x_cons t => x_const_array ( i -1) ,
y _cons t => y_constarray ( i -1) , x in => x_array ( i -1) ,
y in => y_array ( i -1) , iteration i n => result_array ( i -1) ,
done in => done array ( i -1) , c l k => clk , rst => rst ,
x_const_out => x_constarray ( i ) ,
y_const_out => y_constarray ( i ) , x_out => x_array ( i ) ,
y_out => y_array( i ) , itteration_out=> result_array( i ) ,
done out => done ar ray ( i ) ) ;
END GENERATE gen math
```

Notez que tout sauf le tableau done est un tableau de vecteurs logiques STD ou de valeurs xes signées. Contributions à l'étape initiale proviennent d'entrées d'unités mathématiques et ne sont donc pas adressables dans les tableaux. Les sorties de l'unité Math sont des affectations continues des 23e emplacements dans les tableaux.

2.3.3.VGA

L'unité VGA fonctionne indépendamment de l'unité logique de contrôle et utilise uniquement l'horloge globale et la réinitialisation comme entrées. Les sorties alimentent directement le contrôleur VGA embarqué ainsi que le contrôleur mémoire.

L'opération et de l'inverse des signaux de synchronisation horizontale et verticale est utilisée pour réinitialiser l'adresse de lecture dans le contrôleur de mémoire. Le signal vide indique au contrôleur de mémoire qu'une valeur doit être lu de la mémoire et l'adresse de lecture incrémentée.

3.résultats

3.1.simulation

L'unité de contrôle a été simulée à plusieurs reprises jusqu'à ce que la séquence de sortie appropriée soit générée. Dans certains cas, la simulation a divergé des résultats attendus. Par exemple, on s'attendait à ce que la transition de l'état D à E devrait se produire lorsque le compteur d'écriture constant était à 1023, mais il était trouvé que la valeur devrait en fait être 1022. L'entrée de zoom n'a pas été testée dans l'unité de contrôle en raison de le temps requis pour simuler l'écriture de tous les 786432 pixels avant que l'entrée de l'utilisateur ne soit prise en compte. Cette conduire à un certain débogage de la logique de contrôle à l'aide du matériel.

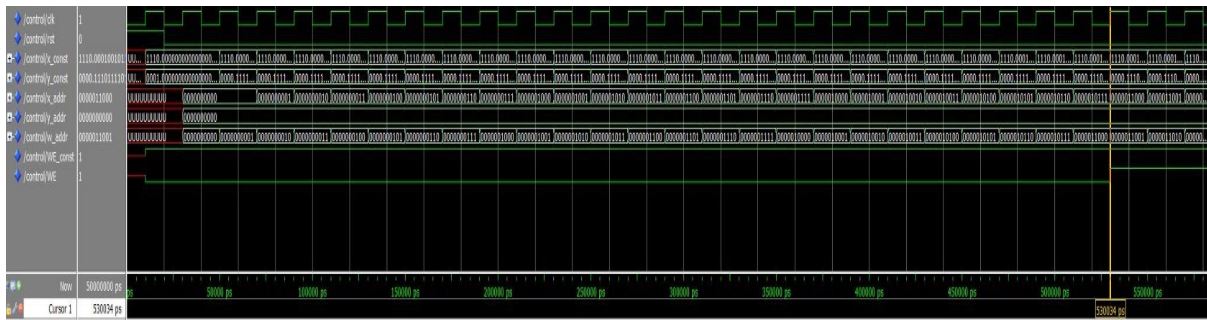


Figure 5 : Simulation des premiers cycles d'horloge de la logique de commande.

3.1.3.math

L'unité mathématique a été simulée au début du processus de conception lorsque le nombre exact d'étapes possibles n'était pas connu.

C'est pour cette raison que 23 étapes plutôt que 24 apparaissent dans les résultats de la simulation. La sortie de l'itération était comme prévu.

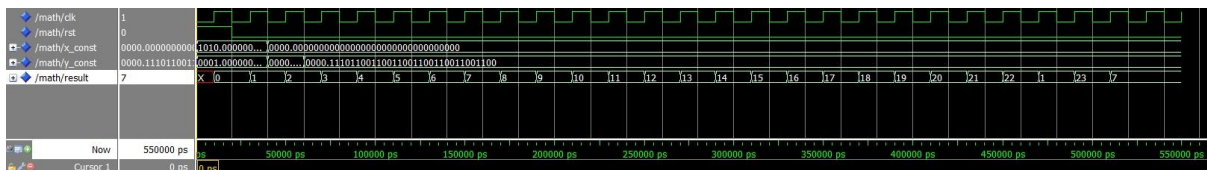


Figure 6 : Forme d'onde pour pipeline à 23 étages.

4.conclusion

La génération de fractales et en particulier de l'ensemble de Mandelbrot est possible sur le FPGA .

Les mathématiques à virgule fixe peuvent être utilisées avec l'ajout de bibliothèques externes. L'interaction avec l'utilisateur est intuitive en utilisant seulement quatre boutons-poussoirs. Le projet a été réalisé par une personne en deux mois, mais plus de travail en amont dans la recherche de la conception aurait conduit à moins d'écart entre la conception prévue et résultante.

