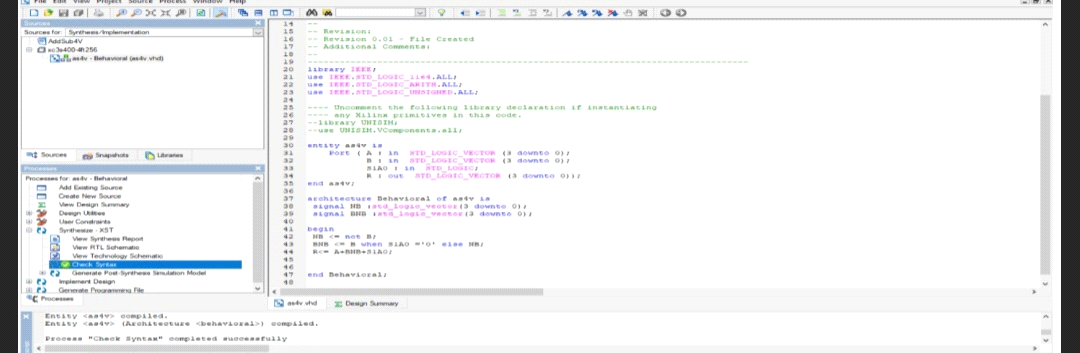
Laborator 4

Sorejevic Ana CR2.3A

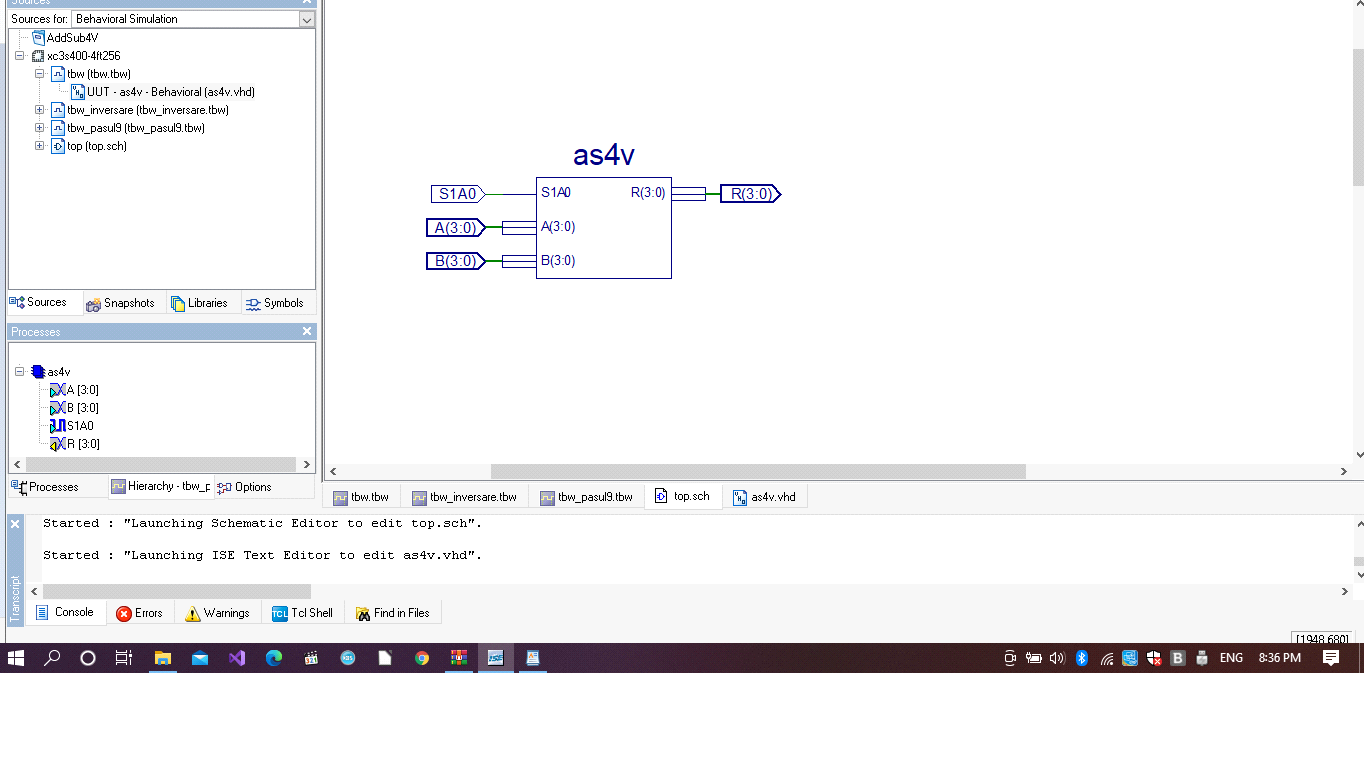
Data- 15.04.2022.

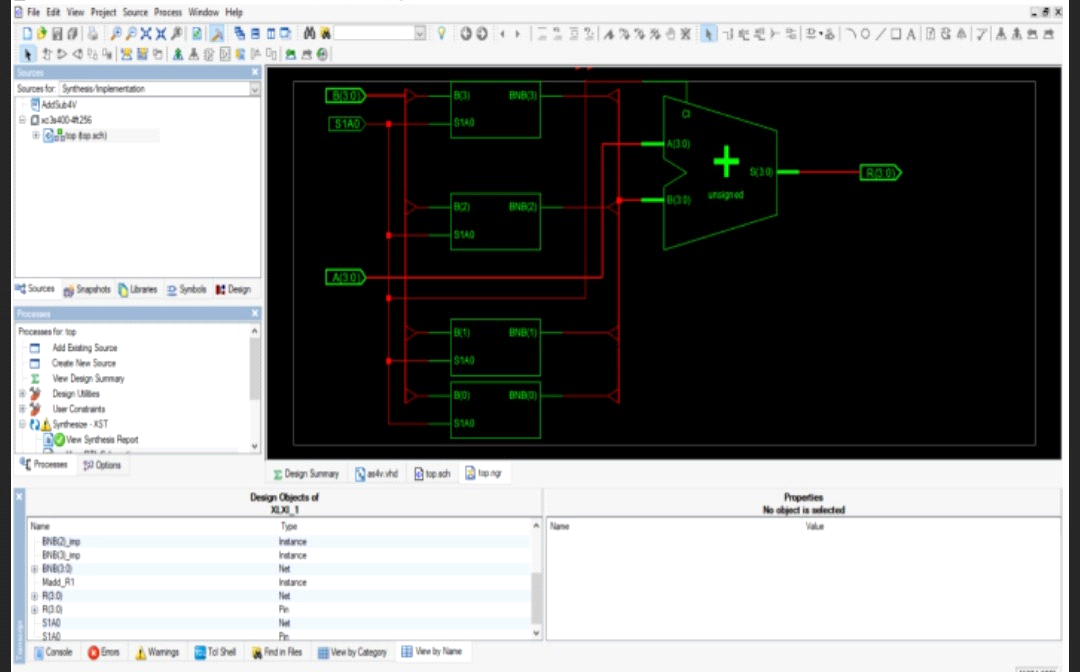
La primul pas am creat proiectul conform procedurii prezentate in primul laborator , numit AddSub4V.

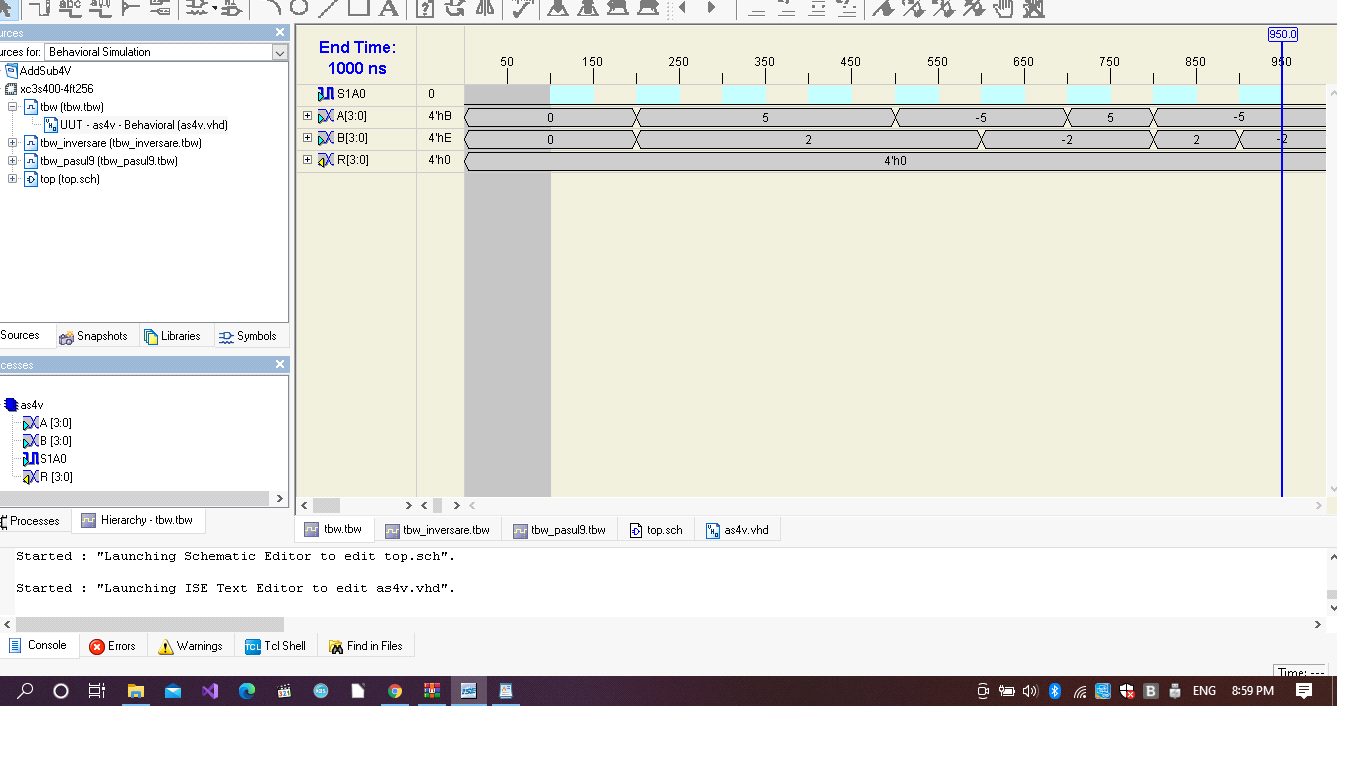
La al doilea am creat fisierul VHDL in care se va descrie sumatorul/scazatorul pe 4 biti conform laboratorului . Apoi am realizat descrierea celor 4 inversoare, urmata de descrierea celor 4 MUX2, apoi de descrierea sumatorului pe 4 biti dupa cum a fost prezentat.

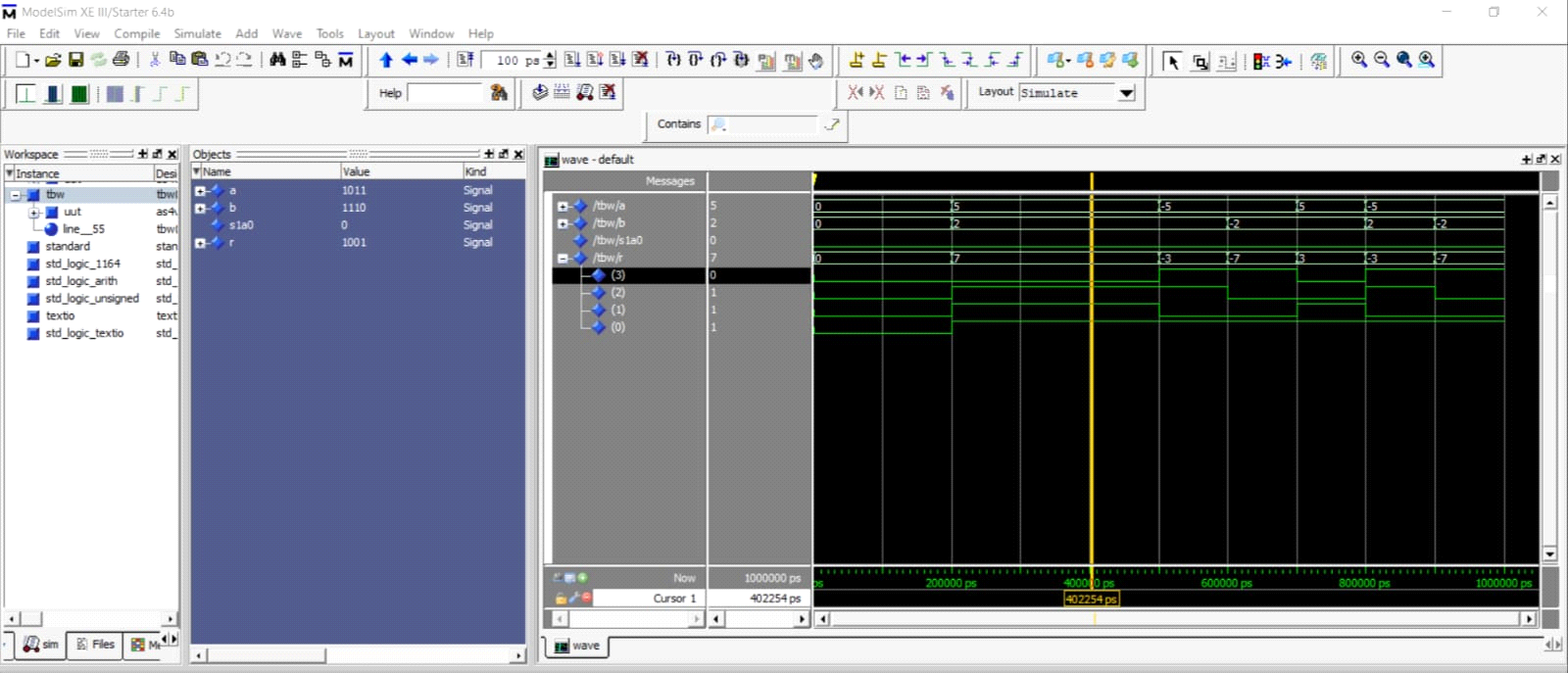


Dupa indeplinirea tuturor cerintelor anterioare am creat schema sumatorului/scazatorului pe 4 biti pe care am simulat-o.





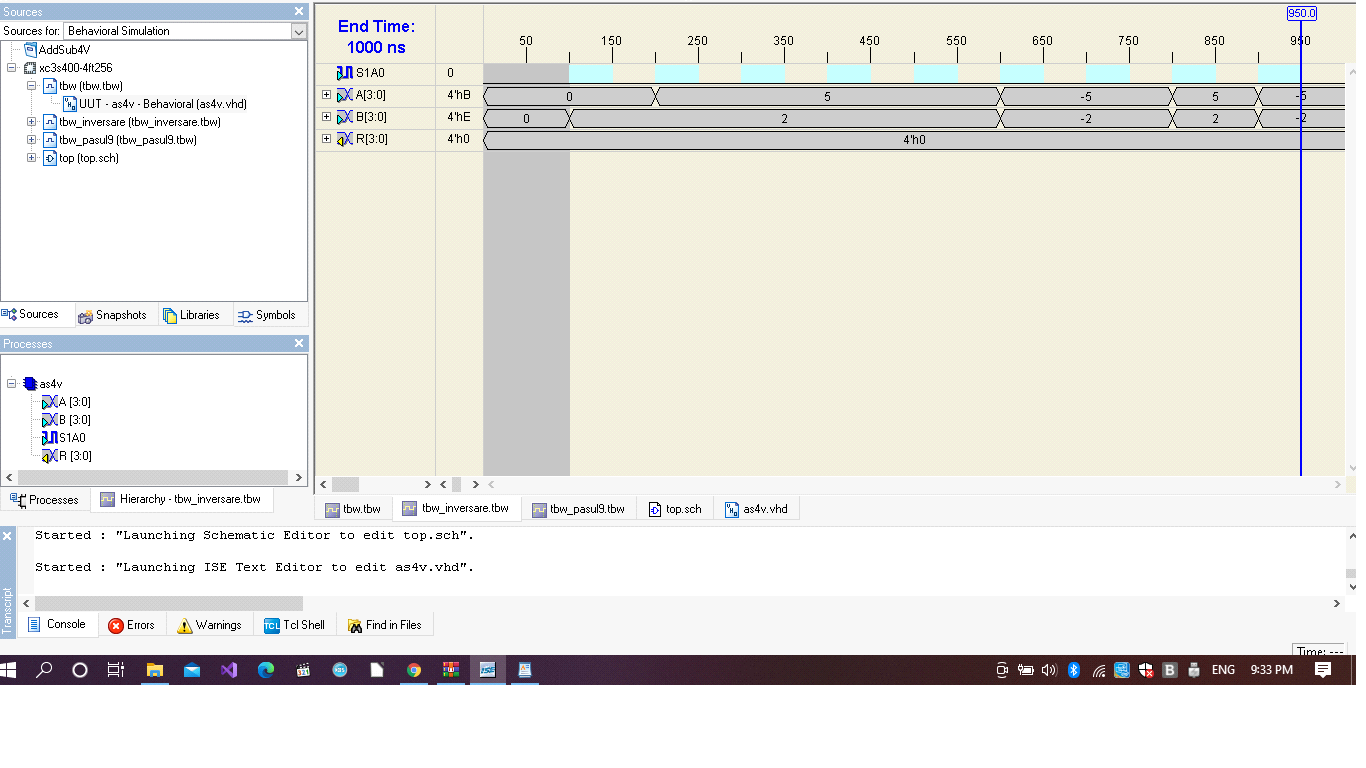




Pasul 8:

Raspuns 1: Figura 10 din platforma de laborator este inversa figurii 1 de acolo=> daca parcurgem figura 1 de sus in jos, sunt intalnite prima data cele 4 inversoare apoi cele 4 MUX2, iar apoi sumatorul. Daca aplicam aceeasi procedura pentru fig10 => sumatorul, apoi cele 4 MUX2 ,apoi cele 4 inversoare , dpdv structural cele doua figuri sunt echivalente.

Raspuns 2: Am inversat ordinea declaratiilor , apoi am simulat proiectul din nou , rezultatele obtinute par a fi neschimbate , comparativ cu cele obtinute mai sus



Pasul 9: Am renuntat la declaratia pentru cele 4 inversoare adaugand-o la declaratia celor 4MUX2 . BNB <= B when S1a0='0' else not B;

Mai jos se poate observa ca rezultatul este aproape identic ca cele anterioare

