# МИНИСТЕРСТВО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

ТАГАНРОГСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ



Руководство к лабораторным работам по курсу

АРХИТЕКТУРА И программирование сигнальных процессоров

# ПРОГРАММИРОВАНИЕ DMA-КОНТРОЛЛЕРА ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-2106x

Для студентов специальности 220400



Таганрог 2001

УДК 681.3.06 (076.5) + 681.325.5. (076.5)

# Составитель Н.Ш. Хусаинов

Руководство к лабораторным работам по курсу "Архитектура и программирование сигнальных процессоров. Программирование DMA-контроллера процессоров семейства ADSP-2106x". Таганрог: Изд-во ТРТУ, 2001. 24c.

Предназначено для студентов специальности 2204, изучающих курс "Архитектура и программирование сигнальных процессоров". Содержит описание архитектуры, основных возможностей и принципов программирования контроллера прямого доступа к памяти сигнальных процессоров семейства ADSP-2106х.

Ил.2. Библиогр.: 4 назв.

Рецензент П.П.Кравченко, д-р. техн. наук, профессор кафедры МОП ЭВМ ТРТУ.

# Хусаинов Наиль Шавкятович

Руководство к лабораторным работам по курсу

## АРХИТЕКТУРА и программирование

#### сигнальных процессоров

# ПРОГРАММИРОВАНИЕ DMA-КОНТРОЛЛЕРА ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-2106x

Для студентов специальности 220400

Ответственный за выпуск Хусаинов Н.Ш. Редактор Белова Л.Ф. Корректор Пономарева Н.В.

ЛР № 020565 от 23.06.1997г. Подписано к печати . .2001г. Формат 60х84 1/16 Бумага офсетная. Гарнитура литературная. Офсетная печать. Усл.п.л. — 1,5. Уч.-изд. л. — 1,4. Заказ № Тираж 200 экз.

Издательство Таганрогского государственного радиотехнического университета ГСП 17А, Таганрог, 28, Некрасовский, 44 Типография Таганрогского государственного радиотехнического университета ГСП 17А, Таганрог, 28, Энгельса, 1

#### 1. Архитектура DMA-контроллера

Механизм прямого доступа к памяти (Direct Memory Access, DMA) обеспечивает передачу целых блоков данных между внешними устройствами, внешней памятью, последовательными или линк-портами ADSP-21060 и внутренней памятью. DMA-контроллер освобождает процессорное ядро от выполнения операций по пересылке данных и функционирует параллельно и независимо от него. DMA-контроллер может выполнять следующие виды обмена данными:

- внутренняя память  $\leftrightarrow$  внешняя память или отображаемое во внешнюю память периферийное устройство;
- внутренняя память ↔ внутренняя память другого ADSP-2106x;
  - внутренняя память ↔ хост-процессор;
  - внутренняя память ↔ последовательный порт ввода/вывода;
  - внутренняя память ↔ линк-порт ввода/вывода;
  - внешняя память ↔ внешнее периферийное устройство.

Структура DMA-контроллера приведена на рис. 1.

Для согласования внутренней 32/48-разрядной памяти на кристалле с внешними 16/32-разрядными устройствами внешняя шина поддерживает режим упаковки слов. Для обеспечения интерфейса с асинхронными устройствами ADSP-21060 использует линии запроса и предоставления DMA-пересылок (соответственно, DMARx и DMAGx), используя которые внешнее устройство может обмениваться данными с внутренней или внешней памятью процессора.

В ADSP-21060 имеются 10 DMA-каналов, с каждым из которых связан собственный буфер данных.

Номер	Буфер данных	Описание
DMA-канала		
0	RX0	Последовательный порт SPORT0, прием
1	RX1 (или	Последовательный порт SPORT1, прием (или
	LBUF0)	линк-буфер № 0)
2	TX0	Последовательный порт SPORT0, передача
3	ТХ1 (или	Последовательный порт SPORT1, передача
	LBUF1)	(или линк-буфер № 1)
4	LBUF2	Линк-буфер № 2
5	LBUF3	Линк-буфер № 3
6	ЕРВО (или	FIFO-буфер № 0 внешнего порта (или линк-
	LBUF4)	буфер № 4)
7	ЕРВ1 (или	FIFO-буфер № 1 внешнего порта (или линк-
	LBUF5)	буфер № 5)
8	EPB2	FIFO-буфер № 2 внешнего порта
9	EPB3	FIFO-буфер № 3 внешнего порта

Основное назначение DMA-контроллера – выполнение двух типов пересылок: пересылки блоков данных через внешний порт и пересылки блоков данных через порты ввода/вывода (т.е. линк-порты и последовательные порты).

Обмен блоками данных через внешний порт заключается в пересылке данных между внутренней и внешней памятью. В регистры управления соответствующим каналом DMA-контроллера заносятся адреса буферов во внутренней и внешней памяти, их размеры и величина инкремента адреса (по аналогии с генераторами адреса данных DAGx), а также направление передачи данных. DMA-пересылка начинается автоматически после разрешения канала и продолжается до тех пор, пока не будет передан или принят весь буфер данных.

При DMA-пересылках через порты ввода/вывода передаются данные, которые поступают в ADSP или которые необходимо передать вовне через последовательные или линк-порты. При этом задаются адрес и размеры буфера во внутренней памяти, а также величина инкремента адреса. Направление пересылки определяется направлением передачи данных самого порта ввода/вывода. Когда данные принимаются в порт, они автоматически передаются во внутреннюю память, а когда они должны передаваться через порт — автоматически выбираются из внутренней памяти.

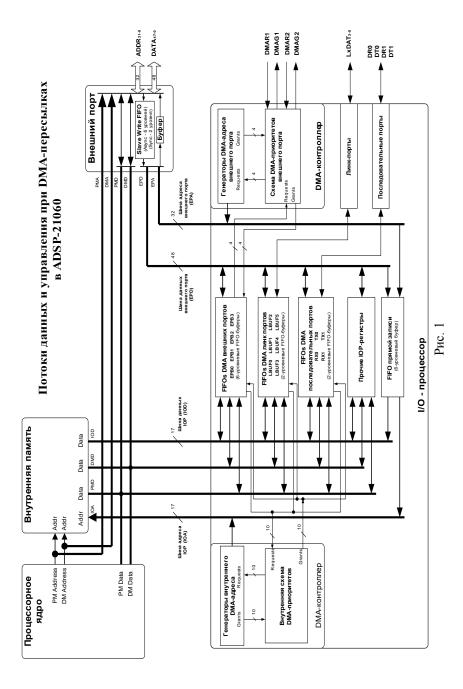
Дополнительной возможностью DMA-контроллера является поддержка передачи данных между внешним устройством и внешней памятью. При этом этот обмен не оказывает влияния на выполнение операций ADSP-21060, которые не работают с внешним портом.

Внешние устройства могут участвовать в DMA-пересылках двумя способами: записывать или читать какой-либо DMA-буфер или выставлять сигнал с запросом DMA (DMARx) и ожидать обработки.

В режиме цепочечных DMA-пересылок один DMA-обмен может автоматически инициализировать запуск другого DMA-обмена до тех пор, пока вся цепочка не будет выполнена.

DMA-операция может быть запрограммирована процессорным ядром, внешним хост-процессором или внешним ADSP-2106х, являющимся мастером внешней шины. DMA-пересылка программируется записью соответствующих значений в отображаемые во внутреннюю память регистры управления DMA и регистры параметров.

Каждый из внешних портов, последовательных и линк-портов имеет в своем главном регистре управления бит разрешения DMA (DEN). Если DMA-канал порта включен и разрешен, данные, получаемые этим портом, автоматически передаются во внутреннюю память, а передаваемые — выбираются из внутренней памяти и помещаются в буфер данных порта. По завершении DMA-пересылки блока данных (при достижении счетчиком соответствующего DMA-канала значения 0) может быть сгенерировано прерывание. DMA-прерывания, как и все остальные прерывания, защелкиваются и маскируются в регистрах процессорного ядра IRPTL и IMASK.



Для запуска новой DMA-передачи после завершения предыдущей (за исключением цепочечной DMA) программа должна сначала очистить бит разрешения DMA в соответствующем регистре управления, записать новые параметры (адрес буфера, размер, модификатор адреса) и вновь установить бит разрешения DMA.

## 2. Регистры параметров и управления DMA-пересылками

Регистры, управляющие работой и конфигурацией DMA-операций, являются частью отображаемого в память набора регистров процессора ввода/вывода, доступ к которым осуществляется путем чтения или записи соответствующих адресов памяти. Полный перечень регистров управления DMA-пересылками приведен в табл. 1.

Таблица 1

		Таолица Т
Имя регистра	Кол-во	Назначение
	битов	
EPB0, EPB1, EPB2, EPB3	48	Внешние FIFO-буферы 03
DMAC6	16	Регистр управления DMA-канала № 6 (буфер № 0 внешнего порта или линк-буфер № 4)
DMAC7	16	Регистр управления DMA-канала № 7 (буфер № 1 внешнего порта или линк-буфер № 5)
DMAC8	16	Регистр управления DMA-канала № 6 (буфер № 2 внешнего порта)
DMAC9	16	Регистр управления DMA-канала № 6 (буфер № 3 внешнего порта)
DMASTAT	32	Регистр статуса каналов DMA
II0, IM0, C0, CP0, GP0, DB0, DA0	16-18	Регистры параметров DMA-канала № 0 (прием через последовательный порт SPORT0)
II1, IM1, C1, CP1, GP1, DB1, DA1	16-18	Регистры параметров DMA-канала № 1 (прием через последовательный порт SPORT1 или линк-буфер № 0)
II2, IM2, C2, CP2, GP2, DB2, DA2	16-18	Регистры параметров DMA-канала № 2 (передача через последовательный порт SPORT0)
II3, IM3, C3, CP3, GP3, DB3, DA3	16-18	Регистры параметров DMA-канала № 3 (передача через последовательный порт SPORT1 или линк-буфер № 1)
II4, IM4, C3, CP4, GP4, DB4, DA4	16-18	Регистры параметров DMA-канала № 4 (линк-буфер № 2)
II5, IM5, C5, CP5, GP5, DB5, DA5	16-18	Регистры параметров DMA-канала № 5 (линк-буфер № 3)
II6, IM6, C6, CP6, GP6, EI6, EM6, EC6	16-32	Регистры параметров DMA-канала № 6 (буфер внешнего порта № 0 или линк-буфер № 4)
II7, IM7, C7, CP7, GP7, EI7, EM7, EC7	16-32	Регистры параметров DMA-канала № 7 (буфер внешнего порта № 1 или линк-буфер № 5)
II8, IM8, C8, CP8, GP8, EI8, EM8, EC8	16-32	Регистры параметров DMA-канала № 8 (буфер внешнего порта № 2)
II9, IM9, C9, CP9, GP9, EI9, EM9, EC9	16-32	Регистры параметров DMA-канала № 9 (буфер внешнего порта № 3)

#### 2.1. Регистры управления DMA-пересылками через внешний порт

Каждый DMA-канал внешнего порта имеет собственный регистр управления. Назначение битов в регистрах DMAC6...DMAC9 приведено в табл. 2.

Таблица 2

№	Имя	Назначение
бита		
0	DEN	Разрешение DMA-пересылки через внешний порт
1	CHEN	Разрешение цепочечной DMA-последовательности через внешний порт
2	TRAN	Направление пересылки (1 – из ADSP-21060, 0 – в ADSP-21060). При бите EXTERN=1 значение TRAN=1 задает чтение данных из внешней памяти, а TRAN=0 – запись данных во внешнюю память)
3-4	PS	Состояние упаковки (00 — упаковка завершена, 01 — первая стадия любой упаковки или распаковки, 10 — вторая стадия упаковки, 11 — зарезервировано)
5	DTYPE	Тип данных (1 – инструкции, 0 – данные, причем разрядность пересылаемых данных 30/40 бит определяется битом IMDW в регистре управления SYSCON)
6-7	PMODE	Режим упаковки EPBx — буфера $(00 - \text{отсутствует}, 01 - 16-$ битное внешнее/32-битное внутреннее, $10 - 16/48$ , $11 - 32/48$ )
8	MSWF	Направление упаковки для режимов упаковки 16/48 и 16/32 (1 – начиная со старшего слова, 0 – с младшего слова)
9	MASTER	Разрешение режима Master
10		Разрешение режима Handshake (DMARx, DMAGx)
11	INTIO	Разрешить прерывание после передачи каждого слова для буфера внешнего порта (используется при DEN=0). При TRAN=0 прерывание может происходить если буфер "не пуст", а при TRAN=1 – если буфер не полон
12	EXTERN	Разрешение режима External Handshake
13	FLSH	Сбросить DMA-буферы и статус (можно использовать только при неактивном DMA-канале)
14-15	FS	Состояние буфера внешнего порта (00 – пуст, 11 – полон, 10 – неполон)
16-31		Зарезервировано

В листинге 1 приведен пример программного кода для выполнения DMA-пересылки блока из N-слов из внешней памяти во внутреннюю с использованием DMA-канала № 6.

```
/***********************
/* ADSP-21060 DMA-пересылки через буфер внешнего порта EPB0 */
/****************
#define N 8
#include "def21060.h"
/* Сегмент - приемник данных во внутренней памяти */
.segment/dm dm32 bl;
.var destination[N];
.endseq;
/* Сегмент с данными во внешней памяти */
.segment/dm extdata1;
.var source[N] = 0x111111111, 0x22222222, 0x33333333,
                                                         0x44444444.
0x5555555, 0x66666666, 0x7777777, 0x88888888;
.endseq;
/* Прерывание по сбросу */
.segment/pm rst svc;
      nop;
                          /* первое слово используется для booting */
      jump start;
.endseq;
/* Пустой обработчик прерывания по окончанию DMA-пересылки */
.segment/pm epb0 svc;
      rti;
.endseq;
/* Инициализационный фрагмент программы */
.segment/pm pm48 1b0;
start:
      r0=source;
      dm(EI6)=r0;
                     /* адрес источника DMA во внешней памяти */
      r0=destination;
      dm(II6)=r0;
                     /* адрес приемника DMA во внутренней памяти */
      r0=1:
      dm(IM6)=r0;
                    /* модификатор */
      dm(EM6)=r0;
      r0=@source;
      dm(C6)=r0;
                     /* длина буфера - число пересылок */
      dm(EC6)=r0;
      r0=0x00000001;
                            /* значение регистра управления DMAC6 */
      dm(DMAC6) = r0;
                           // DEN=1, разрешить DMA
                           // TRAN=0, из внешней памяти во внутреннюю
      /* DMA-пересылка запущена */
      bit set imask EP0I; /* разрешить прерывания для EPB0 */
      bit set model IRPTEN; /* глобальное разрешение прерываний */
       /* Цикл ожидания прерываний от ЕРВО (может работать ядро) */
wait:
      idle;
      jump wait;
.endsea;
```

#### Листинг 1

# 2.1.1. Регистры управления DMA-пересылками через последовательные порты

Два последовательных порта ADSP-2106х (SPORT0 и SPORT1) позволяют использовать DMA-пересылки для управления передачей или приемом данных. Последовательным портам соответствуют DMA-каналы с 0-го по 3-й, причем каналы № 1 и 3 для SPORT1 являются разделяемыми с линк-буферами № 0 и 1. Направления DMA-пересылок через последовательные порты жестко фиксировано — приемные каналы передают данные во внутреннюю память, а передающие читают данные из внутренней памяти.

Биты, управляющие DMA-пересылками через последовательные порты, располагаются в регистрах управления STCTL0, SRCTL0, STCTL1 и SRCTL1.

#### 2.1.2. Регистры управления DMA-пересылками через линк-порты

Аналогично последовательным портам 6 линк-портов ADSP-21060 также позволяют использовать DMA-пересылки при передаче или приеме данных. DMA-каналы 4 и 5 отведены для использования с линк-буферами 2 и 3 соответственно. Другие линк-буферы разделяют DMA-каналы с последовательным и внешними портами.

Биты управления DMA-пересылками через линк-буферы находятся в регистрах LCTL и LCOM.

#### 2.1.3. Разделение DMA-каналов

DMA-каналы 1 и 3 являются общими для последовательного порта SPORT1 и линк-буферов 0 и 1. DMA-каналы 6 и 7 являются общими для буферов внешнего порта 0 и 1 и линк-буферов 4 и 5.

Канал № 1 назначается либо последовательному порту SPORT1 (для приема данных), либо линк-буферу № 0 в соответствии со следующими правилами:

- если бит разрешения DMA для приема через SPORT1 установлен (SDEN=1), то DMA-канал № 1 назначается SPORT1 (для приема);
- если бит разрешения DMA через линк-буфер № 0 установлен (L0DEN=1), то DMA-канал № 1 назначается линк-буферу № 0;
- если оба бита разрешения DMA установлены, то DMA-канал назначается последовательному порту SPORT1 (для приема);

- если оба бита разрешения DMA сброшены, то сигналы прерывания от двух буферов накладываются по логическому "ИЛИ".

Аналогично выполняются правила назначения DMA-канала № 3 последовательному порту SPORT1 (для передачи) или линк-буферу № 1.

Для DMA-каналов № 6 и 7 используются такие же правила их разделения, причем больший приоритет имеют буферы внешнего порта EPB0 (для канала № 6) и EPB1 (для канала № 7).

#### 2.2. Регистр статуса DMA-каналов (DMASTAT)

DMA-контроллер ADSP-21060 отображает состояния DMA-пересылок по каждому каналу в регистре статуса DMASTAT, доступном только для чтения. Биты с 0 по 9 отображают состояние соответствующих DMA-каналов, причем активное состояние бита означает, что DMA-пересылка по данному каналу разрешена и текущая DMA-последовательность еще не завершена. Сброшенный бит означает, что в данный момент времени по каналу выполняется передача ТСВ-блока (загрузка параметров следующей DMA-пересылки) или что DMA для данного канала запрещена.

Биты с 10 по 19 показывают текущий статус цепочечного связывания DMA-пересылок по соответствующему каналу. Если бит установлен, то выполняется пересылка ТСВ-блока (или ожидается пересылка ТСВ-блока), т.е. когда процесс связывания не закончен. В противном случае (цепочечная DMA запрещена или по данному каналу передаются данные) бит сброшен.

В качестве альтернативы использованию прерываний для отслеживания завершения единичной (не цепочечной) DMA-пересылки по какому-либо каналу может быть использовано чтение соответствующих ему битов в регистре DMASTAT. Если оба статусных бита для данного канала сброшены, то DMA-пересылка завершена.

Например, чтобы приостановить выполнение задачи ядром процессора до окончания выполнения пересылки по DMA-каналу № 6 (буфер внешнего порта EPB0), следует выполнить следующие действия:

```
R0 = dm(DMASTAT); // напрямую нельзя работать, так как в памяти wait: BTST R0 BY 0x6; // проверка канала № 6 на передачу данных IF NOT SZ JUMP wait; // вернуться если бит=1 (DMA-пересылка активна)

BTST R0 BY 0x10; // проверка канала № 6 на передачу ТСВ IF NOT SZ JUMP wait; // вернуться если бит=1 (загрузка ТСВ) // далее можно работать с полученным буфером .......
```

#### 3. Функционирование DMA-контроллера

Последовательные и линк-порты, а также внешний порт обмениваются данными с внутренней памятью посредством шины данных ввода-вывода (IOD), а адрес во внутренней памяти выставляется на шину адреса ввода/вывода (IOA).

Для передачи данных DMA-контроллер принимает внутренний запрос от порта ввода/вывода и предоставляет ему управление шинами ввода/вывода в соответствии с логикой приоритетов, позволяющей определить, какой из DMA-каналов должен получить управление шиной в текущий момент времени. Благодаря использованию раздельных портов доступа к внутренней памяти процессор ввода/вывода никогда не конфликтует с ядром ADSP-21060 при обращениях к внутренней памяти.

Каналы DMA функционируют аналогично генераторам адресов данных ADSP. Каждый канал имеет набор регистров параметров, включая 17-разрядный регистр адреса IIх и 16-разрядный регистр модификатора адреса ІМх, которые используются для задания буфера данных во внутренней памяти. После передачи каждого слова данных контроллер DMA прибавляет знаковое значение регистра модификатора к соответствующему индексному регистру и записывает модифицированное значение обратно в индексный регистр для получения адреса следующего DMA-обращения. Адрес, содержащийся в регистре IIx, при выставлении на шину адреса ІОА смещается на 0х0002 0000. Таким образом, DMAконтроллер может генерировать адреса во внутренней памяти только в пространстве нормальных слов (тем не менее, 16-разрядные данные могут передаваться путем их упаковки в 32-разрядные значения при DMAпересылке). Принцип работы адресного генератора DMA проиллюстрирован на рис. 2.

В начале DMA-пересылки индексный регистр IIх должен содержать адрес первого слова буфера данных во внутренней памяти. Количество слов, которое должно быть передано с использованием DMA-канала, определяется значением соответствующего регистра Сх, которое декрементируется каждый раз при передаче очередного слова. По достижении нуля DMA-пересылка считается завершенной и при этом может быть сгенерировано маскируемое прерывание для данного канала В режиме цепочечной DMA необходимость генерации маскируемого прерывания по завершении DMA-пересылки по данному каналу определяется битом PCI в соответствующем регистре CPх. При отсутствии цепочечного DMA всегда генерируется маскируемое прерывание по

<sup>&</sup>lt;sup>1</sup> Если после завершения DMA-пересылки до сброса бита DEN в регистр Сх будет записано новое значение, то DMA-последовательность будет продолжена с новым значением счетчика.

завершении DMA-пересылки по данному каналу. Смещение адресов обработчиков прерываний от начала таблицы векторов прерываний для каждого DMA-канала приведено в табл.  $3^2$ .

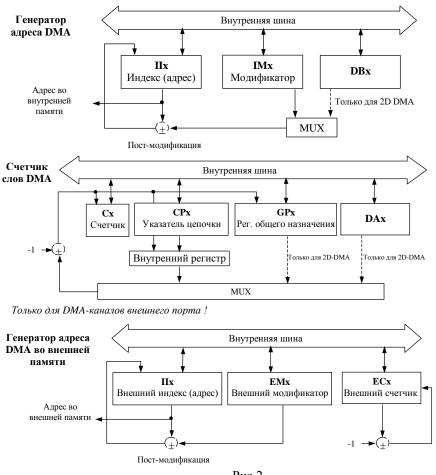


Рис.2

2

Таблица 3

№ бита в IRPTL / IMASK	Смещ. вектора	Имя прерывания	DMA-канал	Приоритет
10	0x28	SPR0I	№ 0 (последовательный порт SPORTO,	- высший
11	0x2C	SPR1I	прием) № 1 (последовательный порт SPORT1, прием или линк-буфер № 0)	приоритет
12	0x30	SPT0I	№ 2 (последовательный порт SPORT0, передача)	
13	0x34	SPT1I	№ 3 (последовательный порт SPORT1, передача или линк-буфер № 1)	
14	0x38	LP2I	№ 4 (линк-буфер № 2)	
15	0x3C	LP3I	№ 5 (Линк-буфер № 3)	
16	0x40	EP0I	№ 6 (FIFO-буфер № 0 внешнего порта или линк-буфер № 4)	
17	0x44	EP1I	№ 7 (FIFO-буфер № 1 внешнего порта или линк-буфер № 5)	
18	0x48	EP2I	№ 8 (FIFO-буфер № 2 внешнего порта)	*
19	0x4C	EP3I	№ 9 (FIFO-буфер № 3 внешнего порта)	- низший
				приоритет

Для запуска новой DMA-пересылки после окончания предыдущей (если для данного канала не используется цепочечная DMA) необходимо сбросить бит разрешения DMA (DEN в соответствующем регистре управления), записать новые параметры в регистры IIx, IMx, Cx и вновь установить бит DEN для разрешения (запуска) следующей DMA-пересылки.

Каждый DMA-канал имеет регистр указателя цепочки CPx, который используется для организации цепочечной DMA, и регистр общего назначения GPx, который может быть использован для любых целей, в частности, для передачи параметров для следующей DMA-последовательности.

DMA-каналы, связанные с внешним портом, имеют по три дополнительных регистра: регистр внешнего адреса EIx, регистр модификатора внешнего адреса EMx и регистр внешнего счетчика ECx. Эти регистры используются для генерации 32-разрядного адреса внешней памяти при DMA-пересылке в режиме MASTER между внутренней памятью и внешней памятью или внешним устройством. В регистр ECx загружается значение, равное требуемому количеству пересылок по внешней шине, которое при использовании режима упаковки данных при DMA-обмене может отличаться от количества слов, переданных DMA-контроллером. Адрес, на который указывает регистр EIx, не может находиться во внутренней памяти.

Вместо регистров EIx, EMx и ECx DMA-каналы последовательных и линк-портов имеют DAx- и DBx-регистры, которые могут использоваться

<sup>&</sup>lt;sup>2</sup> DMA-переывания могут быть сгенерированы портами ввода/вывода в режиме, когда DMA-пересылки не разрешены (бит DEN=0).В этом случае прерывание, соответствующее DMA-каналу генерируется когда во входном буфере появляется принятое слово данных или в выходном буфере появляется место для записи очередного слова. Такая возможность используется при работе в режиме ввода/вывода под управлением ядра ADSP-21060. Для выполнения пословного ввода/вывода через внешний порт под управлением процессорного ядра без использования необходимо установить бит INTIO в соответствующем регистре управления DMACx.

либо в режиме двухмерной 2D-DMA, либо в качестве регистров общего назначения в режиме обычной (одномерной) DMA.

В табл. 4 приведены регистры параметров DMA-пересылок для различных каналов DMA.

Таблица 4

Имя регистра	Кол-во битов	Назначение	
IIx	17	Адрес (индекс) во внутренней памяти от адреса 0х0002 0000	
IMx	16	Модификатор внутреннего адреса (значение со знаком)	
Cx	16	Внутренний счетчик (количество слов, которое необходимо передать)	
СРх	18	Указатель цепочки (адрес блока параметров следующей DMA- последовательности). Младшие 17 бит содержат адрес TCB-блока, а MSB-бит задает необходимость генерации прерывания по завершении DMA-пересылки.	
GPx	17	Регистр общего назначения или для 2D DMA	
EIx	32	Адрес (индекс) во внешней памяти (только для DMA-каналов внешнего порта)	
EMx	32	Модификатор адреса внешней памяти (только для DMA-каналов внешнего порта)	
ECx	32	Счетчик пересылок по внешней шине (только для DMA-каналов внешнего порта)	
DBx	16	Регистр общего назначения или для 2D DMA (только для DMA-каналов последовательных и линк-портов)	
DAx	16	Регистр общего назначения или для 2D DMA (только для DMA- каналов последовательных и линк-портов)	

#### 3. Приоритеты DMA-каналов

Порты ввода/вывода взаимодействуют с DMA-контроллером посредством генерации запросов на обслуживание и предоставления контроллером канала по запросу. С каждым портом (последовательным, внешним, линк-портом) связаны один или более DMA-каналов, каждый из которых имеет собственный сигнал запроса и сигнал предоставления, упорядоченные по приоритету. Если порту требуется передать данные во внутреннюю память, он выставляет запрос на использование DMA-канала. Когда приоритет данного запроса становится максимальным, DMA-контроллер выставляет сигнал предоставления канала и DMA-обмен выполняется в следующем такте. Если порту требуются данные из внутренней памяти, то последовательность действий аналогична.

Если DMA-канал запрещен, то DMA-контроллер не генерирует сигнал предоставления канала вне зависимости от того, имеется ли сигнал запроса от порта ввода/вывода.

Поскольку в течение одного такта более одного DMA-канала могут генерировать запрос на обслуживание, то для выбора единственного канала, которому предоставляется право управления шинами данных и адреса IOD и IOA в данном процессорном цикле, используется схема приоритетов. Приоритеты ADSP-21060 фиксированы (за исключением приоритетов каналов внешнего порта) и расположены в следующем порядке:

```
- обращения ядра
- канал № 0 (SPORT0 – прием)
- канал № 1 (SPORT1 – прием или линк-буфер № 0)
- канал № 2 (SPORT0 – передача)
- канал № 3 (SPORT1 – передача или линк-буфер № 1)
- запрос на загрузку ТСВ-блока при цепочечной DMA
- обращения внешнего устройства к внутренней памяти
- канал № 4 (линк-буфер № 2)
- канал № 5 (линк-буфер № 3)
- канал № 6 (буфер внешнего порта № 0 или линк-буфер 4)
- канал № 7 (буфер внешнего порта № 1 или линк-буфер 5)
- канал № 8 (буфер внешнего порта № 2)
- канал № 9 (буфер внешнего порта № 3)
- низший приоритет
```

Следует обратить внимание на то, что операции обращения внешнего устройства к внутренней памяти ADSP и цепочечной загрузки TCB-блоков требуют установки приоритетов наряду с DMA-каналами. Это необходимо, поскольку эти операции также используют для доступа к внутренней памяти шины I/O.

На листинге 2 приведен пример программного кода, использующий DMA-пересылки одновременно по двум DMA-каналам.

```
/****************************
/* DMA-передача через ТХО с одновременным приемом через
/* последовательный порт RX1 с зацикливанием порта SPORT0
/**********************
#define N 8
#include "def21060.h"
/* Сегмент - источник данных во внутренней памяти */
.segment/dm dm32 src;
.var source[N] = 0x11111111, 0x22222222, 0x33333333, 0x44444444,
0x5555555, 0x66666666, 0x7777777, 0x88888888;
.endsea;
/* Сегмент - приемник данных во внутренней памяти */
.segment/dm dm32 dst;
.var destination[N];
.endseq;
/* Прерывание по сбросу */
```

```
.segment/pm rst svc;
       nop;
                        /* зарезервировано для загрузчика */
       jump start;
.endsea;
/* Обработчик прерывания по окончанию DMA-пересылки по приему */
.segment/pm spr0 svc;
       rti;
.endseg;
/* Инициализационный фрагмент программы */
.segment/pm pm48 1b0;
start:
       r0=source;
       dm(II2)=r0;
                     /* адрес источника DMA во внутренней памяти */
       r0=destination;
       dm(II0)=r0;
                     /* адрес приемника DMA во внутренней памяти */
       r0=1;
                     /* модификатор */
       dm(IM2)=r0;
       dm(IM0)=r0;
       r0=@source;
       dm(C2)=r0;
                     /* длина буфера - число пересылок */
       dm(C0)=r0;
       r0=0x000405E1; /* регистр управления передачей через SPORTO */
       dm(STCTL0)=r0; // DEN=1, разрешить передачу через SPORT0
                     // SDEN=1, разрешение DMA через TX0
                     // SPL=1, зациклить TX0 с RX0
       /* DMA-передача запущена */
       r0=0x004401E1; /* регистр управления приемом через SPORTO */
       dm(SRCTL0)=r0; // DEN=1, разрешить прием через SPORT0
       /* DMA-прием запущен */
      bit set imask SPR0I; /* прерывания для SPORTO-Receive */
      bit set model IRPTEN; /* глобальное разрешение прерываний */
       /* дальше ядро может выполнять другую задачу */
       .endseq;
```

#### Листинг 2

Несмотря на то, что приоритеты DMA-каналов фиксированы, в ADSP-21060 предусмотрена возможность циклического изменения приоритетов для каналов внешнего порта. Схема циклического изменения приоритетов включается установкой бита DCPR в регистре SYSCON.

В данном режиме наивысший приоритет сдвигается (по кругу) к следующему каналу внешнего порта после передачи каждого слова данных. Например:

- 1. После сброса по умолчанию порядок приоритетов каналов имеет вид: 6, 7, 8, 9.
  - 2. Происходит передача слова данных по каналу № 7.
  - 3. Если DCPR=1, то порядок приоритетов каналов изменяется на 8, 9, 6, 7.

Несмотря на изменение приоритетов каналов, приоритеты прерываний каждого из каналов остаются неизменными!

Таким образом, появляется возможность переопределения приоритетов для DMA-каналов внешнего порта. Для этого необходимо выполнить следующую последовательность действий.

- 1. Запретить все DMA-каналы внешнего порта за исключением канала, который должен иметь низший приоритет.
  - 2. Включить схему циклического изменения приоритетов.
- 3. Инициировать передачу по крайней мере одного слова данных по разрешенному DMA-каналу.
- 4. Выключить схему циклического изменения приоритетов и разрешить все DMA-каналы внешнего порта.

#### 4. Цепочечные DMA-пересылки

Связывание DMA-пересылок позволяет контроллеру автоматически инициализироваться для выполнения следующей DMAпоследовательности по одному и тому же каналу. При использовании цепочечных DMA ADSP-21060 автоматически установит параметры следующей DMA-пересылки после того, как содержимое текущего буфера данных будет передано или принято. Для задания адреса во внутренней памяти, где хранятся параметры следующей DMA-последовательности (ТСВ-блок), используется 18-разрядный регистр указателя цепочки СРх. 17 младших битов регистра СРх содержат адрес ТСВ-блока (смещенный на 0х0002 0000), а старший бит (бит PCI) указывает на то, произойдет ли прерывание по окончании текущей DMA-последовательности. Если бит РСІ установлен, то по окончании DMA-пересылки (сброс в 0 регистра Сх) будет сгенерировано маскируемое прерывание для данного DMA-канала. Значение бита РСІ учитывается только в том случае, если для канала разрешен режим цепочечной DMA (бит CHEN в соответствующем регистре управления установлен). Если режим связывания DMA запрещен, то всегда по завершении DMA-пересылки будет генерироваться маскируемое прерывание для данного DMA-канала.

В процессе загрузки ТСВ-блока контроллер DMA автоматически читает значения из внутренней памяти и записывает их в регистры параметров DMA-канала. Порядок загрузки значений из внутренней памяти в регистры параметров имеет следующий вид.

Адрес	Для каналов внешнего порта и линк-буферов № 4,5	Для каналов последовательных портов и линк-буферов № 0-3
CPx-8 + 0x0002 0000	-	LPATH3
CPx-7 + 0x0002 0000	ECx	LPATH2
CPx-6 + 0x0002 0000	EMx	LPATH1
CPx-5 + 0x0002 0000	EIx	DBx (загружается только для 2D DMA)
CPx-4 + 0x0002 0000	GPx	GPx
CPx-3 + 0x0002 0000	CPx	CPx
CPx-2 + 0x0002 0000	Cx	Сх (и DAх для 2D DMA)
CPx-1 + 0x0002 0000	IMx	IMx
CPx + 0x0002 0000	IIx	IIx

CPx

Примечания.

- 1. При загрузке TCB в режиме одномерной цепочечной DMA (1D DMA) в регистры DAx и DBx значения не загружаются. В режиме 2D DMA загружает только значение в регистр DBx, а в регистр DAx дублируется значение, загружаемое в регистр Cx.
- 2. Загрузка регистров LPATH3, LPATH2, LPATH1 выполняется, только если бит LMSP в регистре управления LCOM линк-буферов № 0,1,2 или 3 установлен (в режиме mesh multiprocessing).
- 3. Для линк-буферов № 4 и 5 всегда загружаются все 8 тех же регистров параметров, что используются для DMA через внешний порт, однако если используется DMA именно через линк-буферы, то регистры EIx, EMx и ECx не используются.

Для обеспечения корректной загрузки всех регистров параметров используется вспомогательный рабочий регистр. Перед началом загрузки ТСВ-блока в рабочий регистр загружается значение из регистра СРх. Во время загрузки параметров рабочий регистр декрементируется после загрузки каждого слова. По завершении загрузки в рабочий регистр копируется новое значение регистра СРх.

Запрос на использование шины для загрузки ТСВ-блока имеет свой приоритет и аналогично запросам на обслуживание от DMA-каналов защелкивается и удерживается DMA-контроллером до тех пор, пока не получит наивысший приоритет и не будет обслужен. Если имеют место запросы на загрузку ТСВ-блоков сразу для нескольких каналов, то в первую очередь загружаются новые параметры для канала с наивысшим приоритетом. Процесс загрузки ТСВ-блока не может быть прерван другим запросом, даже с более высоким приоритетом.

Для установки и запуск цепочки DMA-последовательностей может быть использован следующий алгоритм.

1. Инициализировать все ТСВ-блоки во внутренней памяти.

- 2. Записать необходимые значения в регистр управления DMA для соответствующего канала, установив при этом биты разрешения DMA (DEN) и разрешения режима цепочечной DMA (CHEN).
- 3. Записать адрес последнего слова (т.е. адрес значения IIx) в первом блоке параметров ТСВ в младшие 17 бит регистра CPx это инициирует начало цепочечной DMA.

После этого DMA-контроллер автоматически загрузит первый ТСВблок и начнет выполнение первой DMA-последовательности. По ее завершении будет инициирована следующая DMA-пересылка, если загруженное в регистр CPx значение не будет равно нулю.

На листинге 3 приведен пример программы с использованием цепочечной DMA для посменного переключения внутреннего буфера при выводе данных через последовательный порт.

```
/* DMA-передача через ТХО с использованием цепочечной DMA
/* После передачи очередного буфера выполняется переключение
/* на другую DMA-пересылку и передается другой буфер.
/* Каждый раз по завершении пересылки происходит прерывание
/*****************
#include "def21060.h"
// длина первого буфера
#define N1 16
// длина второго буфера
#define N2 8
// длина ТСВ-Блока в памяти
#define S 8
/* Сегмент - источник данных во внутренней памяти */
.segment/dm dm32 src;
.var source1[N1] = 0,1,2,3,4,5,6,7,8,9,10,11,12,13,14,15;
.var source2[N2] = 20,21,22,23,24,25,26,27;
      /* Описание ТСВ-блоков в памяти */
.var TCB Block1[S] = 0,
                            // для SPORTx не используется
                            // для SPORTx не используется
                            // регистр DB - в 1D-DMA не использ.
                            // регистр GP - не используется
   СРО в
             TCB Block2+S-1,// регистр CP - указатель на след. TCB
TCB Block1
                            //если не надо прерывания еще -0x20000
              @source1.
                            // регистр С - счетчик
                            // регистр IM - модификатор адреса
                            // регистр II - адрес буфера
              source1;
.var TCB Block2[S] = 0, 0, 0, TCB Block1+S-1, @source2, 1,
source2;
                             — CP0 в TCB Block2
.endseq;
/* Прерывание по сбросу */
.segment/pm rst svc;
      nop;
                             /* зарезервировано для загрузчика */
      iump start;
```

```
.endseq;
/* Обработчик прерывания по окончанию DMA-пересылки по приему */
.segment/pm spt0 svc;
       rti;
.endseq;
/* Инициализационный фрагмент программы */
.segment/pm pm48 1b0;
start:
       R0 = TCB Block1+S-1; /* инициализировать цепочечную DMA */
                     // если не нужно после передачи каждого буфера
                     // генерировать прерываний с переходом на spt0 svc
                     // TO HAGO TAK: R0 = TCB BLock1+S-1-0x20000
       dm(CP2) = R0; /* пусть контроллер сам загружает все регистры */
       r0=0x000C0481; /* регистр управления STCTL0: SPORT0-Transmit */
       dm(STCTL0)=r0; // DEN=1, разрешить ТХ0
                     // SDEN=1, DMA vepes TX0
                     // CHEN=1, цепочечная DMA
                     // SLEN=8, длина передаваемых слов - 8 бит
       bit set imask SPT0I; /* прерывания для SPORT0-Transmit */
       bit set model IRPTEN; /* глобальное разрешение прерываний */
       // далее ядро может заниматься другой задачей
       .endseg;
```

#### Листинг 3

### 5. Двухмерная DMA (2D-DMA)

В 2D-режиме для адресации во внутренней памяти может использоваться двухмерный DMA-буфер с построчной организацией. Данный режим поддерживается 6 первыми DMA-каналами (с 0-го по 5-й) и используется в режиме mesh-multiprocessing. Однако назначение DMA-каналов портам ввода/вывода в 2D-режиме отличается от стандартного.

Порт и направление передачи	Номер DMA-канала
Передача через линк-буфер	5
Прием через линк-буфер	4
Передача через SPORT	3 или 1
Прием через SPORT	2 или 0

Кроме того, в 2D-режиме содержимое некоторых регистров параметров DMA трактуется следующим образом.

Назначение в 2D-режиме	Регистр DMA-канала
Индекс (адрес)	IIx
Модификатор по X	IMx
Счетчик по Х	Cx
Указатель цепочки	CPx
Модификатор по Ү	DBx
Счетчик по Ү	GPx
Начальное значение счетчика X	DAх (не является частью цепочки,
	а инициализируется при загрузке
	значением регистра Сх)

В индексный регистр IIх загружается адрес первого элемента массива. IIх-регистр всегда указывает на текущий элемент буфера во внутренней памяти благодаря тому, что после передачи каждого слова его значение модифицируется на значение регистра IMх. Регистр начального значения счетчика по X (DAx) содержит количество элементов в каждой строке массива. Это значение используется для обновления значения регистра счетчика по строке (Cx) после того, как все элементы строки пройдены (значение Cx декрементируется при передаче каждого слова).

Регистр модификатора по Y (DBx) содержит значение, прибавляемое к текущему адресу для перехода к первому элементу следующей строки буфера при достижении регистром Сх значения 0. При этом следует учесть, что при переходе на следующую строку выполняется модификация адреса как по горизонтали (в Х-направлении), так и по вертикали (в У-направлении)! Регистр счетчика по Y (GPx) инициализируется значением числа строк двумерного буфера и декрементируется каждый раз при переходе на следующую строку (когда Сх сбрасывается в 0). При достижении регистром GPx значения 0 DMA-пересылка завершается (если регистр СРх указывает на ТСВ-блок с параметрами DMA-пересылки, то выполняется цепочечная загрузка ТСВ-блока и автозапуск следующей DMA-пресылки).

DMA-контроллер взаимодействует с линк-портами и последовательными портами, используя сигналы запроса и предоставления обслуживания, аналогичные функционированию DMA-контроллера в обычном режиме.

#### Контрольные вопросы

- 1. Что произойдет, если установить бит разрешения DMA при нулевом значении регистра счетчика Cx?
- 2. Каким образом может инициироваться выполнение DMAпересылки?
  - 3. В каких случаях завершается DMA-последовательность?

- 4. Каким образом можно сымитировать цепочечную DMA по двум разным каналам?
- 5. Чем отличается TCB-блок для DMA-каналов внешнего порта и каналов последовательного или параллельных портов?
- 6. Какое значение необходимо записать в регистр счетчика по Y в 2Dрежиме для выполнения одномерной DMA-пересылки?

#### Варианты заданий

Написать программу для покадровой обработки сигнала с использованием DMA-пересылок. Способ переключения входного и выходного буфера — на основе цепочечной DMA. Порты приема исходного сигнала и передачи обработанного сигнала, а также алгоритм обработки указаны в варианте задания.

- 1. Прием исходного сигнала через внешний порт, передача через последовательный порт. Алгоритм обработки преобразование 32-разрядных значений в дифференциальную форму с последующим кодированием разностей как 8-разрядных значений, компандированных по А-закону (разность для первого отсчета каждого блока считается относительного нулевого уровня сигнала).
- 2. Прием исходного сигнала через последовательный порт, передача также через последовательный порт. Алгоритм обработки преобразование 8-разрядных значений, компандированных по µ-закону, в дифференциальную форму с последующим кодированием разностей как 8-разрядных значений, компандированных по А-закону (разность для первого отсчета каждого блока считается относительного нулевого уровня сигнала).
- 3. Прием исходного сигнала через последовательный порт, передача через внешний порт. Алгоритм обработки преобразование 8-разрядных значений в дифференциальной форме, компандированных по µ-закону, в 32-разрядные значения (разность для первого отсчета каждого блока считается относительного нулевого уровня сигнала).
- 4. Прием исходного сигнала через внешний порт, передача также через внешний порт. Алгоритм обработки преобразование 32-разрядных значений в дифференциальную форму (разность для первого отсчета каждого блока считается относительного нулевого уровня сигнала).
- 5. Прием исходного сигнала через внешний порт, передача через последовательный порт. Алгоритм обработки преобразование 32-разрядных значений в дифференциальную форму с последующим квантованием до 16 разрядов (разность для первого отсчета каждого блока считается относительного нулевого уровня сигнала).
- 6. Прием исходного сигнала через последовательный порт, передача через внешний порт. Алгоритм обработки преобразование 16-разрядных значений из дифференциальной формы в 32-разрядные значения амплитуды

(разность для первого отсчета каждого блока считается относительного нулевого уровня сигнала).

## Литература

- 1. ADSP-21020/21010 User's Manual. Second Edition. Norwood: Analog Devices Inc., 1994. 396 p.
- 2. ADSP-21060 SHARC Preliminary User's Manual. Second Edition 3/94. Norwood: Analog Devices Inc., 1994. 186 p.
- 3. ADSP-21000 Family Assembler Tools & Simulator Manual. Second Edition. Norwood: Analog Devices Inc., 1994. 236 p.
- 4. ADSP-21000 Family Application Handbook Volume 1. First Edition. Norwood: Analog Devices Inc., 1994. 352 p.

28