**ΗΥ330 – Ψηφιακά Συστήματα VLSI**

**ΣΕΤ ΑΣΚΗΣΕΩΝ 2**

8/11/2019

Βαγενάς Αναστάσης

ΑΕΜ : 2496

Για τις ασκήσεις 1,2,3 θα χρησιμοποιηθούν μοντέλα transistor διεργασίας MOSIS-TSMC 0.25μm σε επίπεδο 3 του SPICE .

Τα PMOS και NMOS έχουν W=3μm και L=2μm και τάση 2.5V.

Αν σε κάποιο μέρος υπάρχει διαφοροποίηση σε κάποια τάση ή διάσταση τότε θα αναφερθεί.

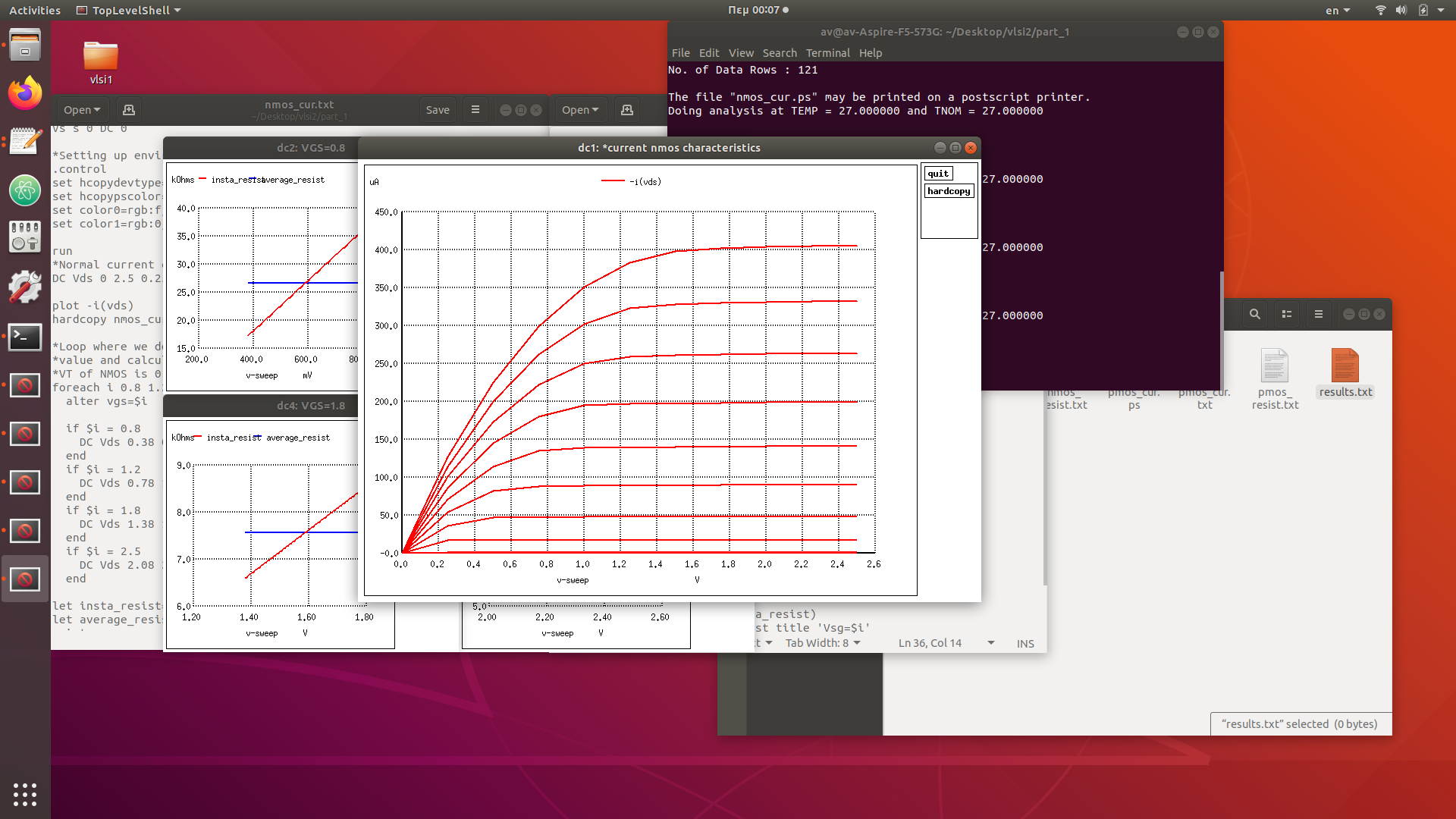
**Άσκηση 1**

Χαρακτηριστικές Ids/(Vds, Vgs)

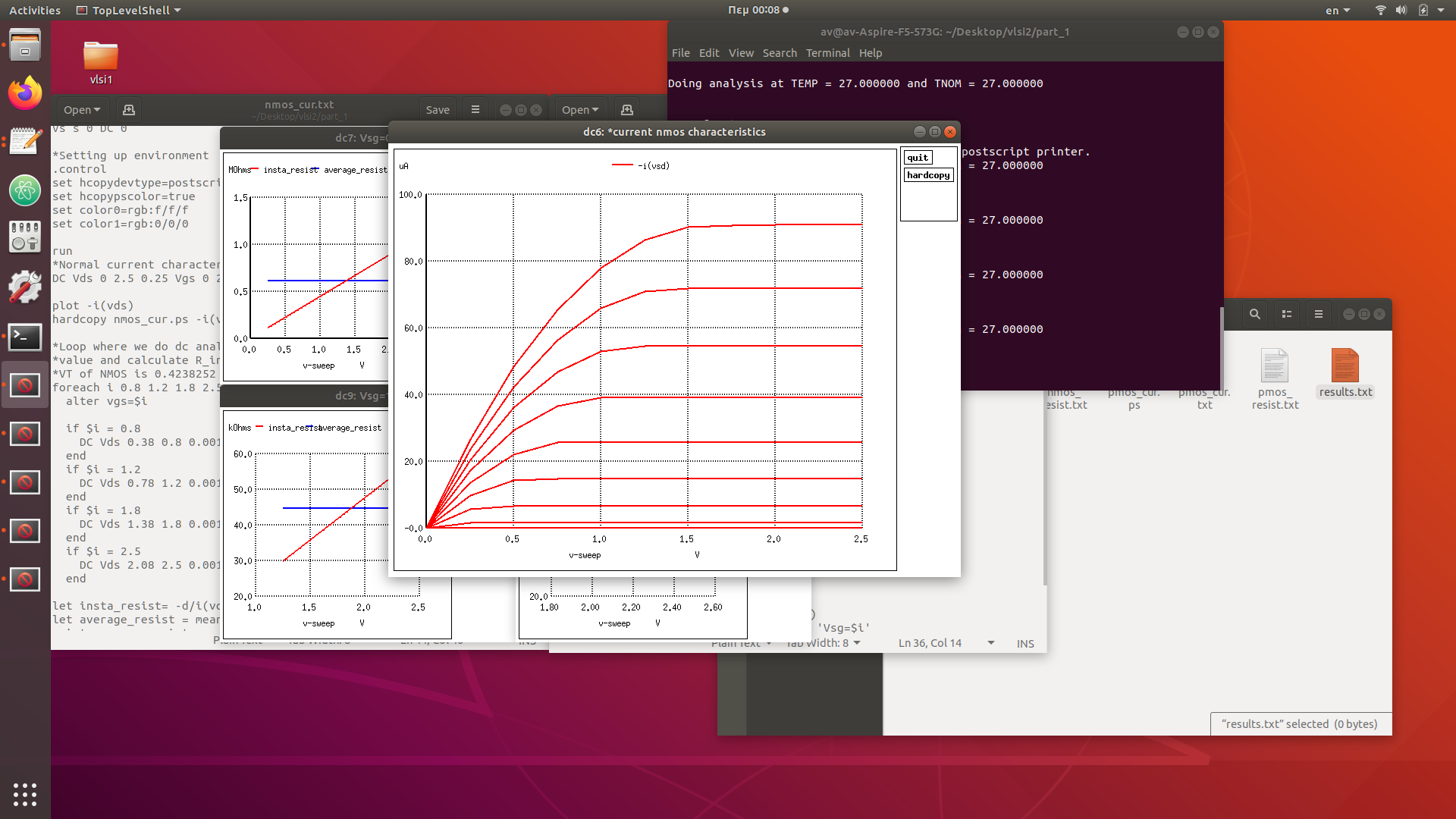
α)Σε αυτό το σκέλος θέλουμε να κάνουμε στατική ανάλυση DC σε transistor NMOS και PMOS .

Αρχικά οι χαρακτηριστικές ρεύματος για διάφορες τιμές του VGS στο NMOS και VSG στο PMOS ως προς VDS και VSD.

Για το NMOS:



Για το PMOS



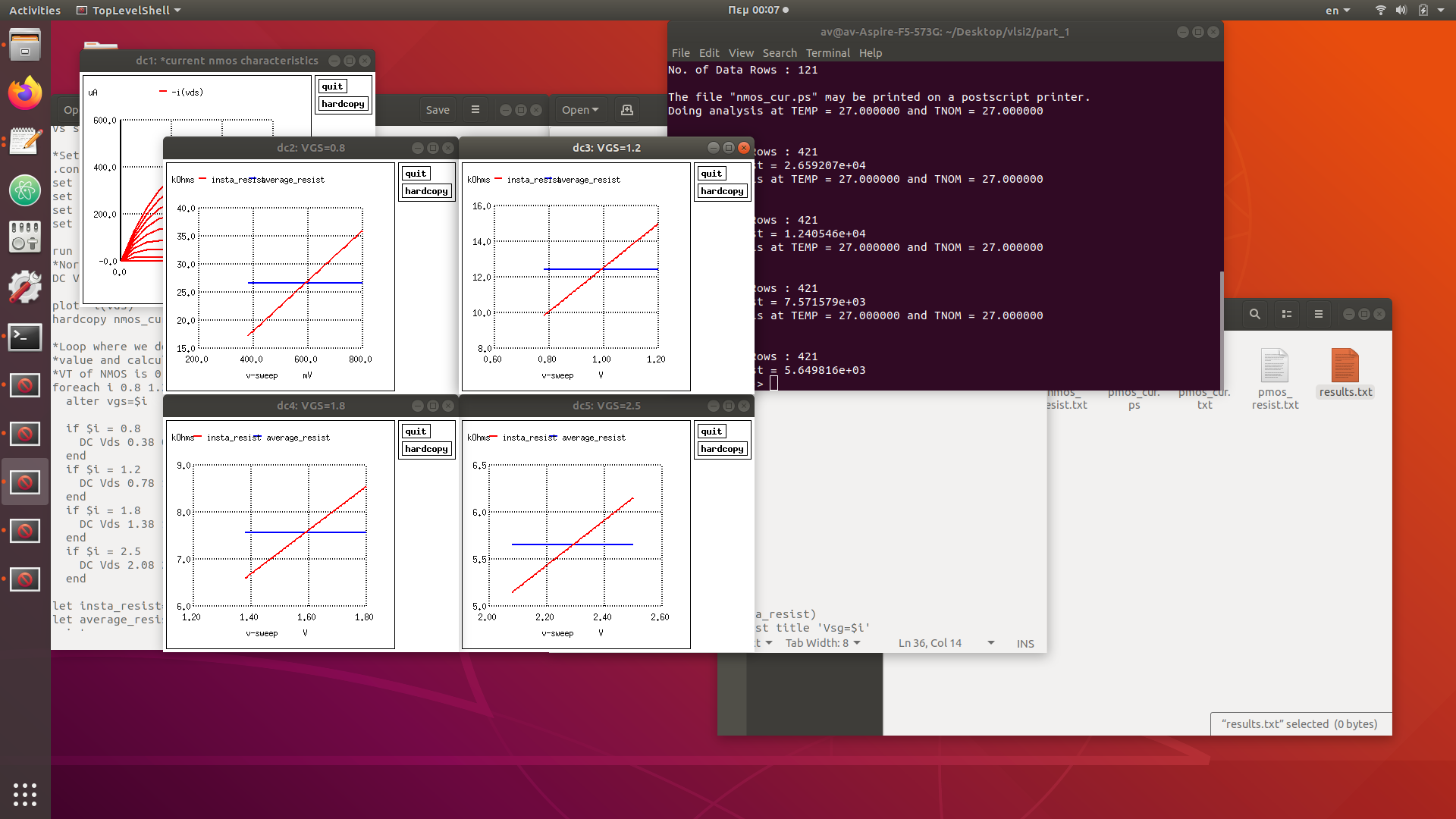
‘Οπως φαίνεται το ρεύμα που άγει το NMOS είναι σε κάθε περίπτωση αρκετές φορές μεγαλύτερο από το ρεύμα του PMOS ,το οποίο οφείλεται στη μεγαλύτερη κινητικότητα των ηλεκτρονίων από ότι των οπών.

Επιπλέον μπορούμε να δούμε ότι οι αποστάσεις μεταξύ των γραφικών δεν έχουν σταθερή απόσταση μεταξύ τους ,αλλά διαρκώς αυξανόμενη το οποίο οφείλεται στην τετραγωνική εξάρτηση από το VGS όταν βρισκόμαστε στην περιοχή του κόρου.

Τέλος τα σημεία τομής των γραφικών με τη μπλε γραμμή σε κάθε σχήμα είναι το σημείο όπου έχουμε την είσοδο στην περιοχή του κόρου (δηλαδή το VGS-VT).

β)Για το επόμενο σκέλος πρέπει να μετρήσουμε την στιγμιαία αντίσταση και την ισοδύναμη αντίσταση (ή τη μέση αντίσταση) στη περιοχή του κόρου για κάθε transistor.

Παρακάτω οι γραφικές για NMOS:



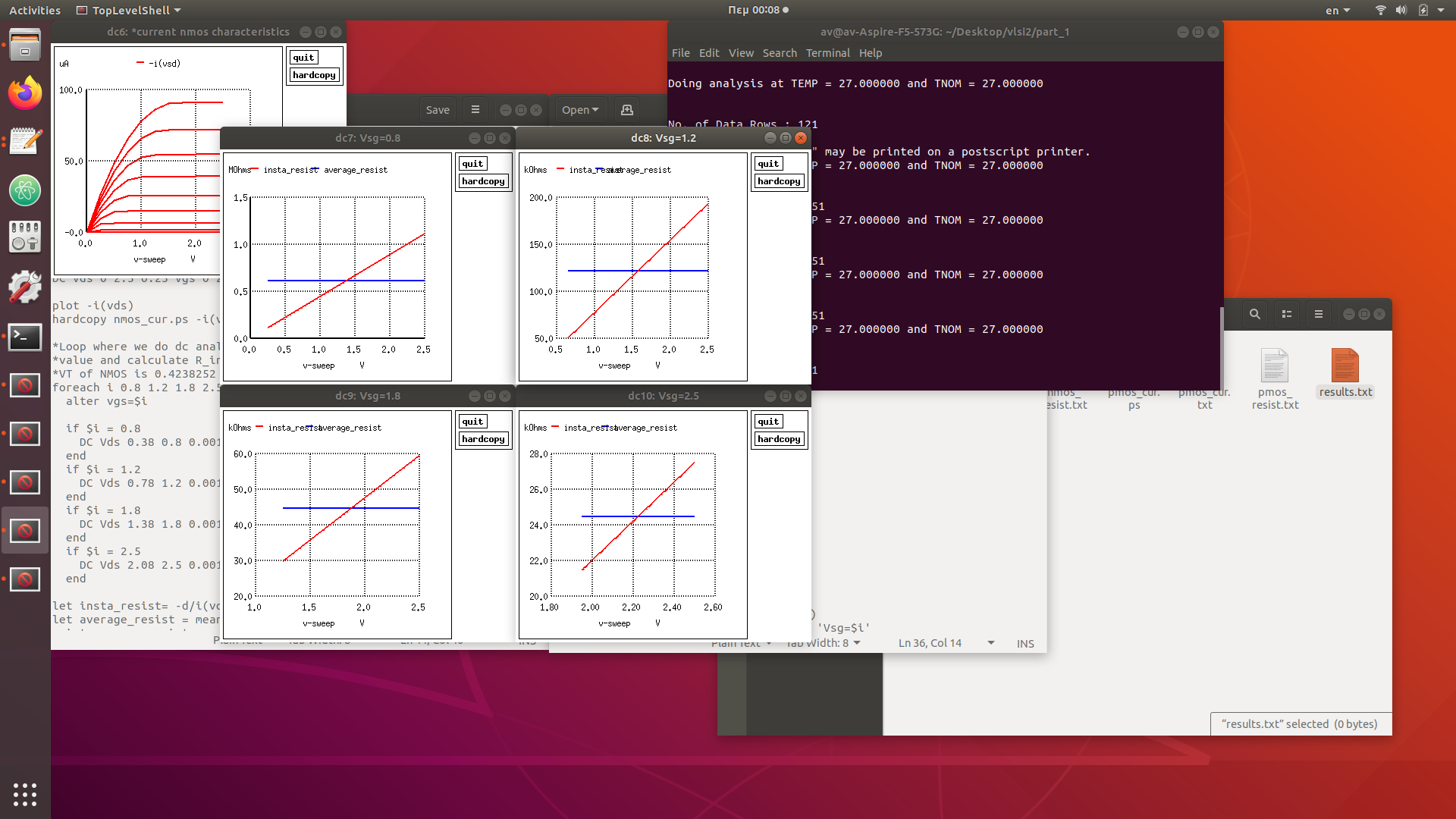
Οι μέσες αντιστάσεις είναι:

* 5.64κΩ για 2.5V
* 7.57κΩ για 1.8V
* 12.40κΩ για 1.2V
* 26.59κΩ για 0.8V

Όπως φαίνεται η αύξηση της ανίστασης είναι γραμική ,το οποίο επιβεβαιώνεται από το γεγονός ότι στη περιοχή του κόρου το ρεύμα είναι σχεδόν σταθερό για μεταβολές του VDS ( R = VDS/IDS => R = α VDS όπου α σταθερά).

Επιπλέον όσο αυξάνεται το VGS αυξάνεται το ρεύμα που μπορεί να άγει το transistor (μιας και η εξάρτηση στην περιοχή του κόρου είναι μόνο από το VGS) άρα κατα συνέπεια μειώνεται η αντίσταση του (στιγμιαία και μέση).

Παρακάτω οι γραφικές για PMOS:



Οι μέσες αντιστάσεις είναι:

* 24.48κΩ για 2.5V
* 44.62κΩ για 1.8V
* 121.81κΩ για 1.2V
* 611.74κΩ για 0.8V

Όμοια αποτελέσματα βλέπουμε και στο PMOS με μόνη διαφορά να έχουμε πολυ μεγαλύτερη αντίσταση λόγω της μικρότερης σταθεράς KP (η κινητικότητα των οπών είναι μικρότερη από αυτή των ηλεκτρονίων) ,με αποτέλεσμα να έχουμε μικρότερη ρεύμα και εν συνεχεία μεγαλύτερη αντίσταση.

Τέλος , στα 0.8V όπου πλησιάζουμε κοντά στη τάση κατωφλίου βλέπουμε πολύ απότομη αύξηση της αντίστασης.

Ισοδύναμη Αντίσταση RC Τρανζίστορ

Σε αυτό το σκέλος θέλουμε να βρούμε την ισοδύναμη αντίσταση σε NMOS και PMOS μέσω της φόρτισης ενός πυκνωτή και εκφόρτισης αντίστοιχα.

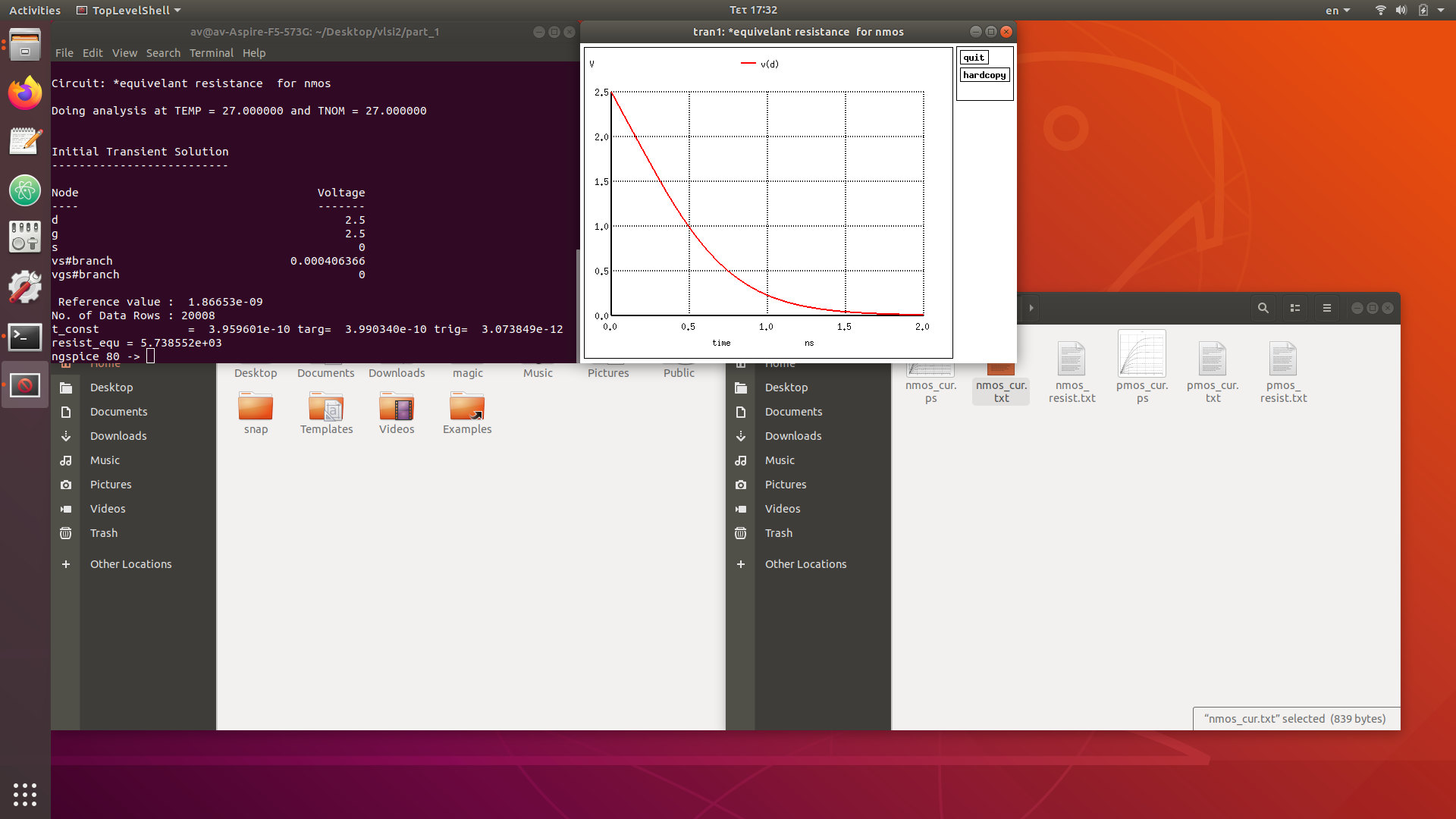
Για να το πετύχουμε αυτό χρησιμοποιούμε τη σχέση *t = ln2\*R\*C* ,όπου *C* η χωρητικότητα που φορτίζουμε ,*R* η ισοδύναμη αντίσταση και *t* ο χρόνος για να πάει ο πυκνωτής από 100% ->50% της τάσης ή 0% ->50% .

Άρα αν εμείς κάνουμε μια μεταβατική προσομείωση τότε αφού μπορούμε να ξέρουμε τον χρόνο ,η χωρητικότητα *C* είναι γνώστη και *ln2 0.69* τότε η εξίσωση γίνεται:

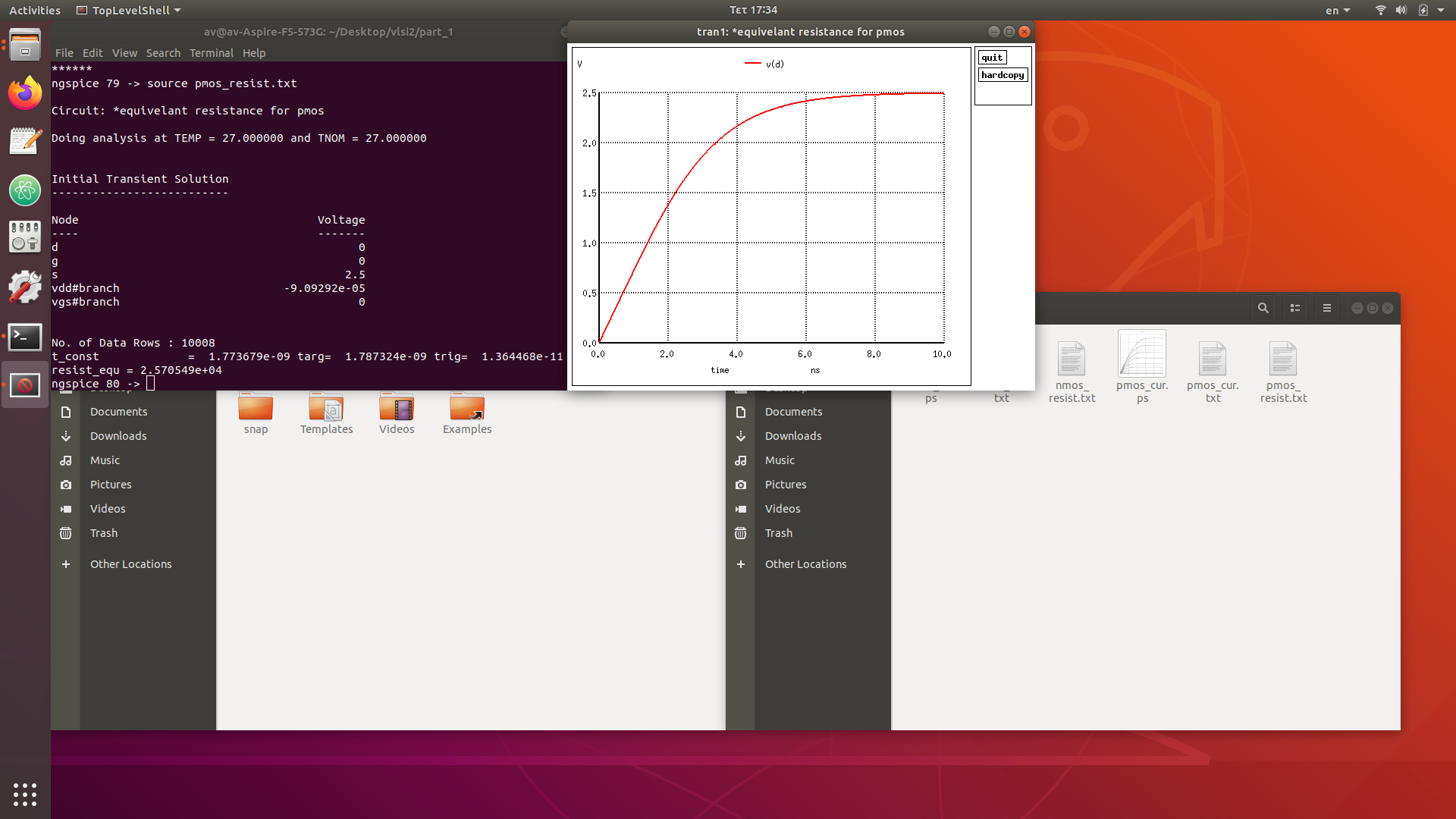
*Req* =

Παρακάτω τα αποτελέσματα της προσομείωσης:

Για NMOS



Για PMOS



Όπως φαίνεται στα τερματικά των δυο εικόνων η ισοδύναμη αντίσταση για το NMOS είναι **5.73kΩ** και για το PMOS είναι **25.70kΩ**. Το αποτέλεσμα είναι λογικό μιας και η αντίσταση του PMOS πρέπει να είναι μεγαλύτερη γιατί η σταθερά Κp του PMOS είναι περίπου 5-6 φορές μικρότερη από αυτή του NMOS.

Σε σχέση με το προηγούμενο μέρος η αντίσταση είναι πολύ κοντά σε τιμή με τη μέση αντίσταση για την περιοχή του κόρου (στην περίπτωση των 2.5V) .Αυτό συμβαίνει γιατί κατά την εκφόρτιση και φόρτιση του πυκνωτή ,εμείς μετράμε μέχρι το 50%, που είναι τιμή πολυ κόντα στην περιοχή του κόρου για κάθε transistor .

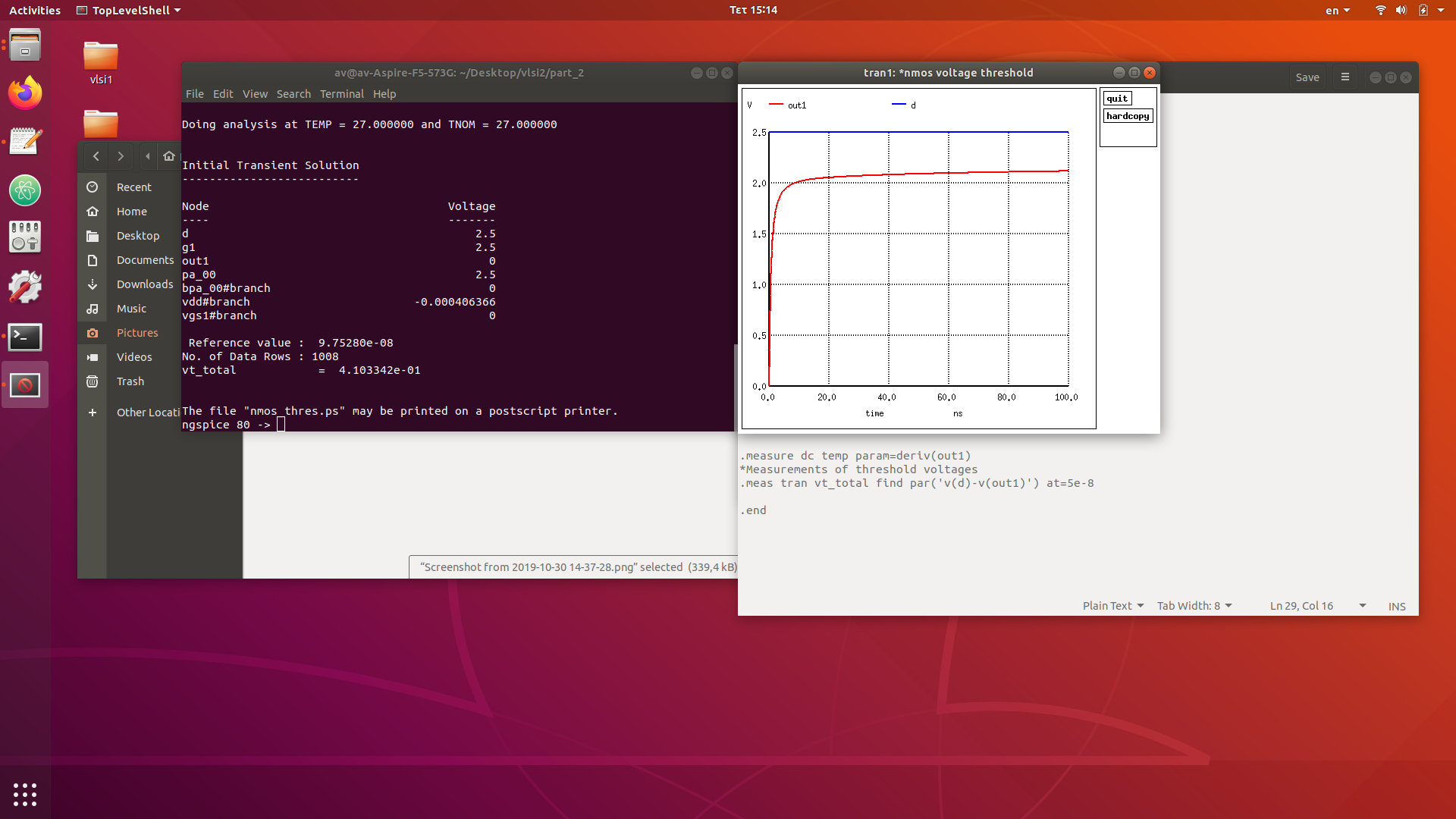
Αυτό έχει ως αποτέλεσμα το ρεύμα να παραμένει αν όχι σταθερό – αρκετά υψηλό για να μας φτάσει την αντίσταση να είναι πολύ κοντά με την μέση αντίσταση που παρουσιάζει το transistor στην περιοχή του κόρου.

**Άσκηση 2**

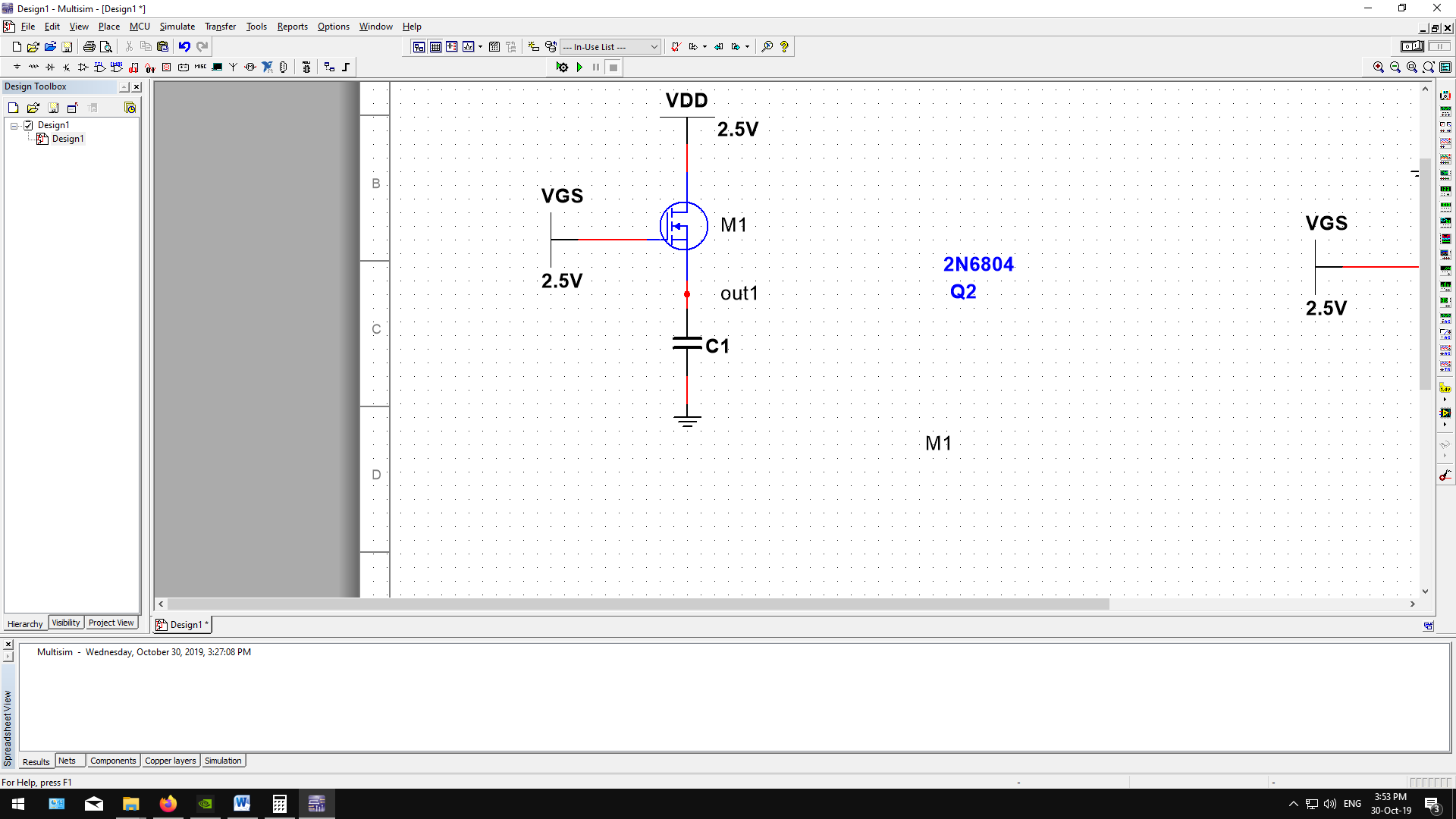
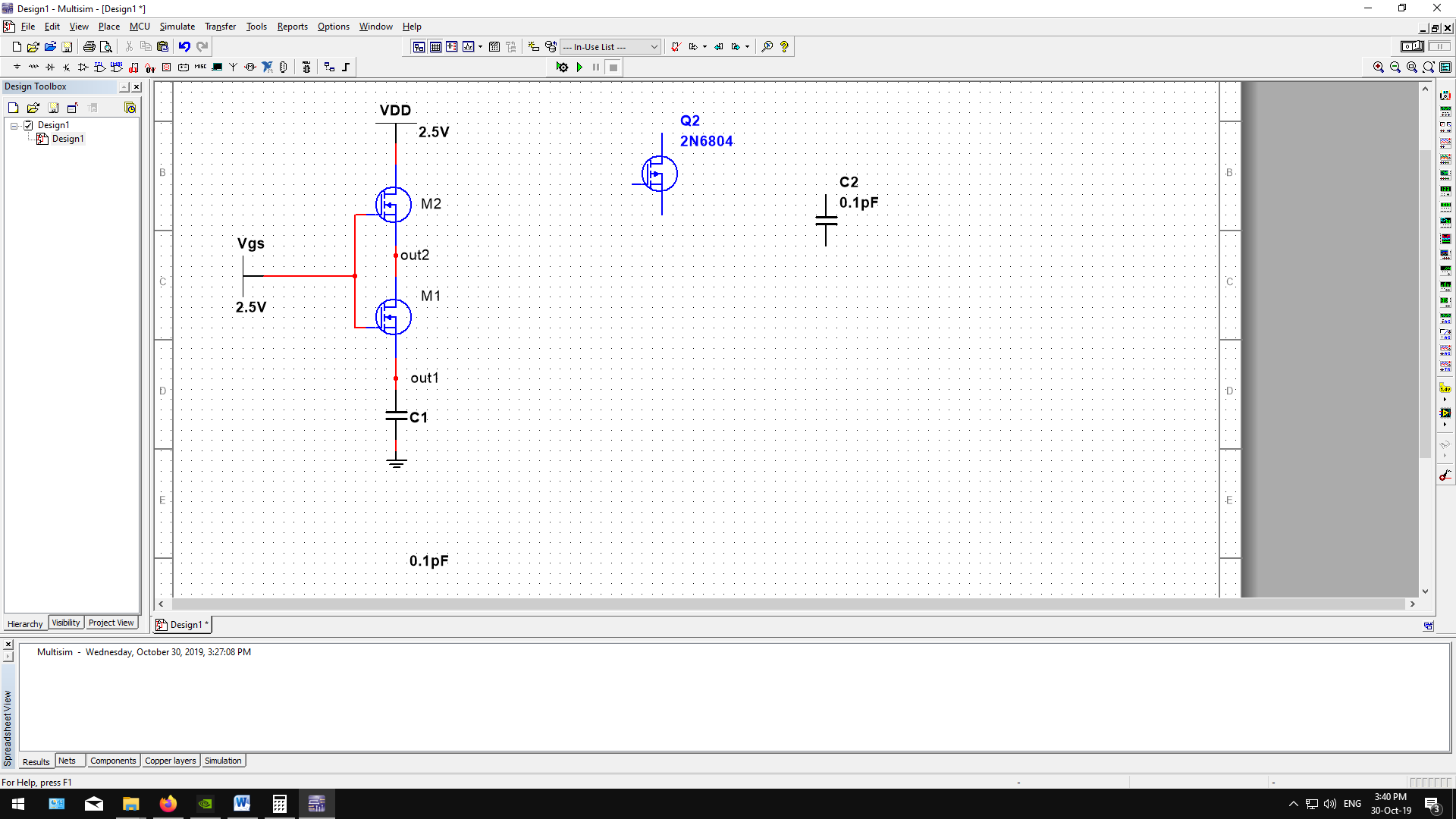
Σε αυτή την άσκηση θα προσπαθήσουμε να φορτίσουμε ένα πυκνωτή με NMOS και να τον αποφορτίσουμε με PMOS για να δούμε το φαινόμενο πτώσης τάσης.

Για NMOS τα αποτελέσματα:

Για ένα NMOS Για 2 NMOS στη σειρά



Και τα σχεδιαγράμματα της συνδεσμολογίας:



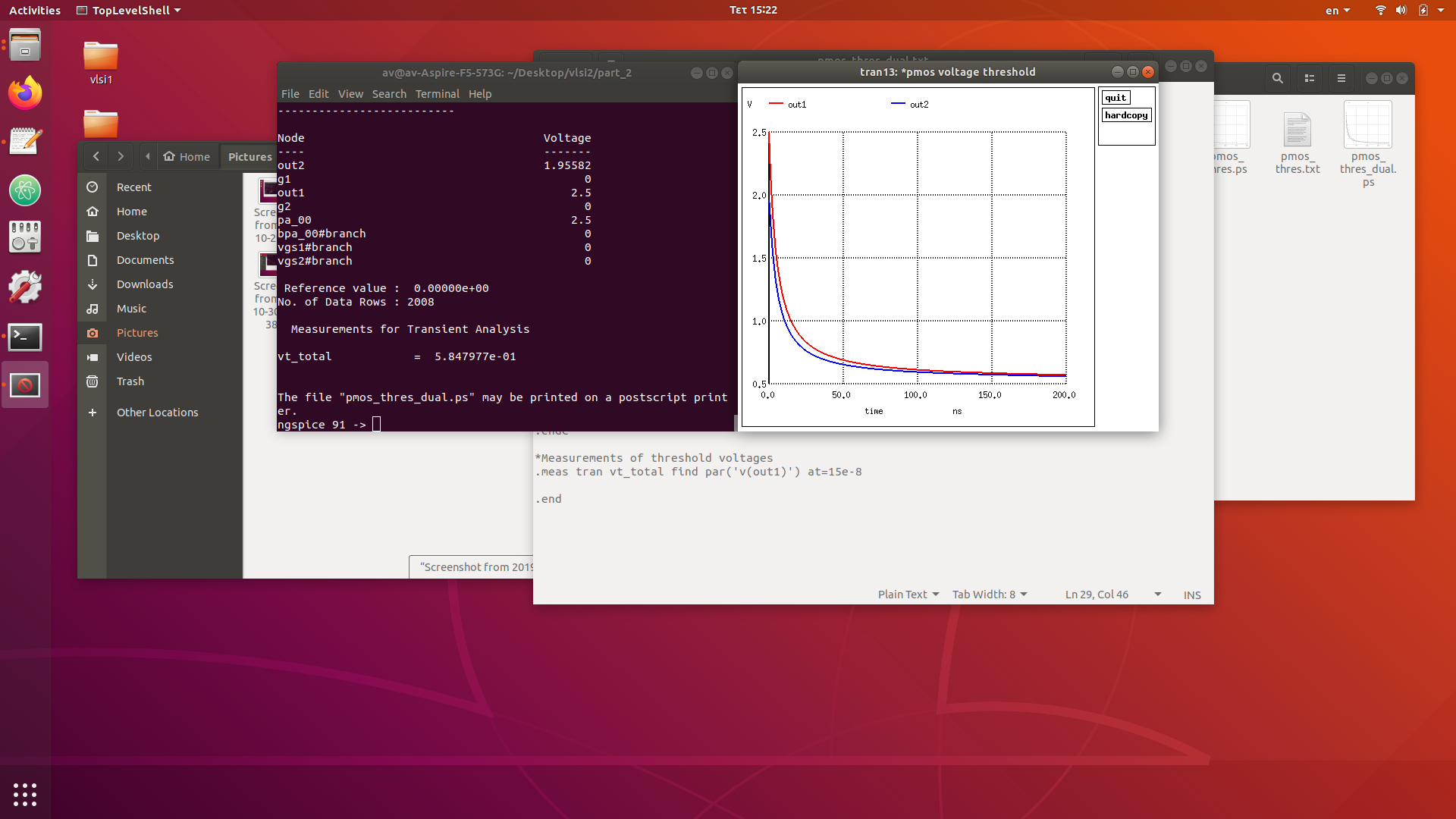
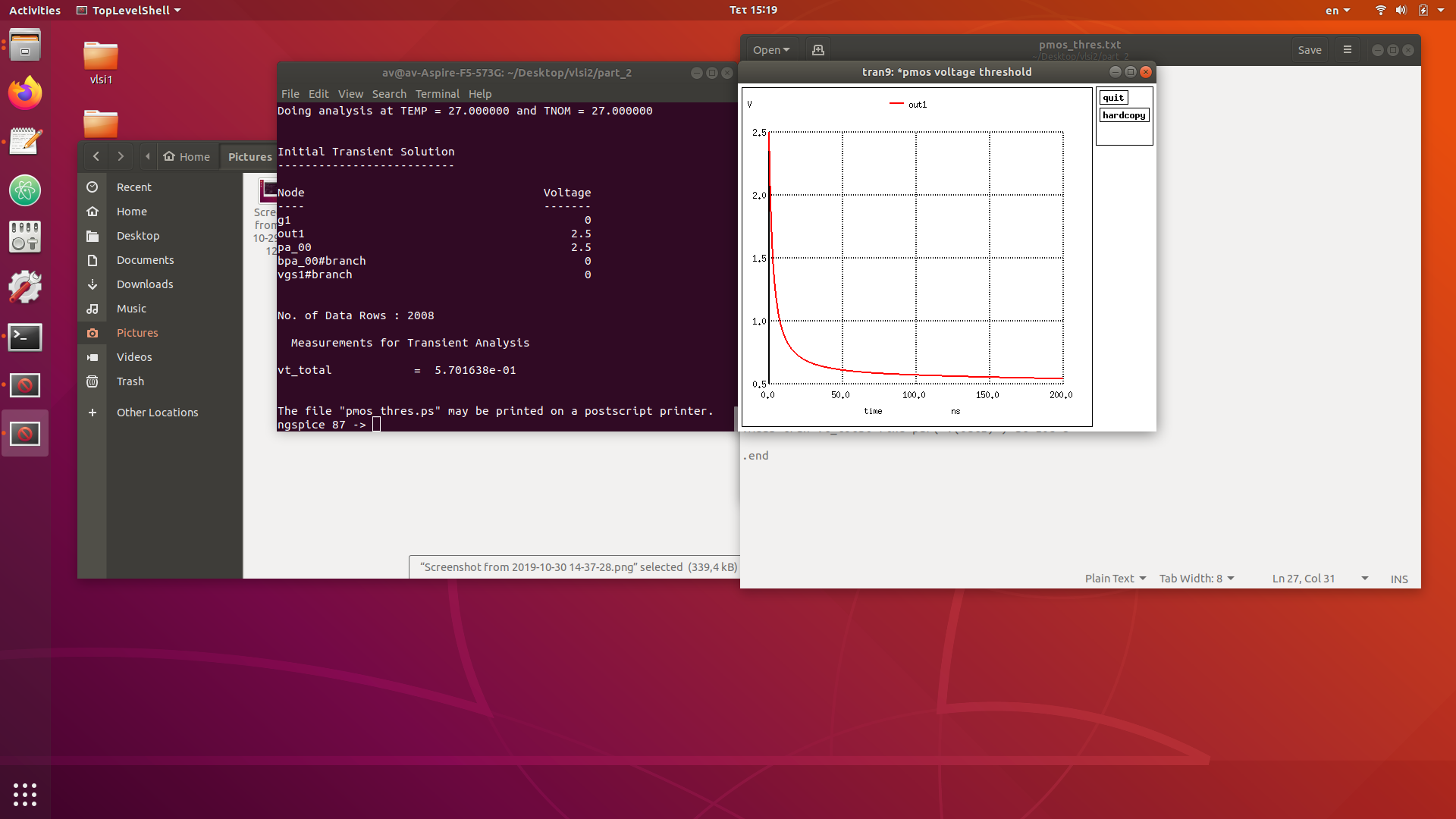
Vg

Vg

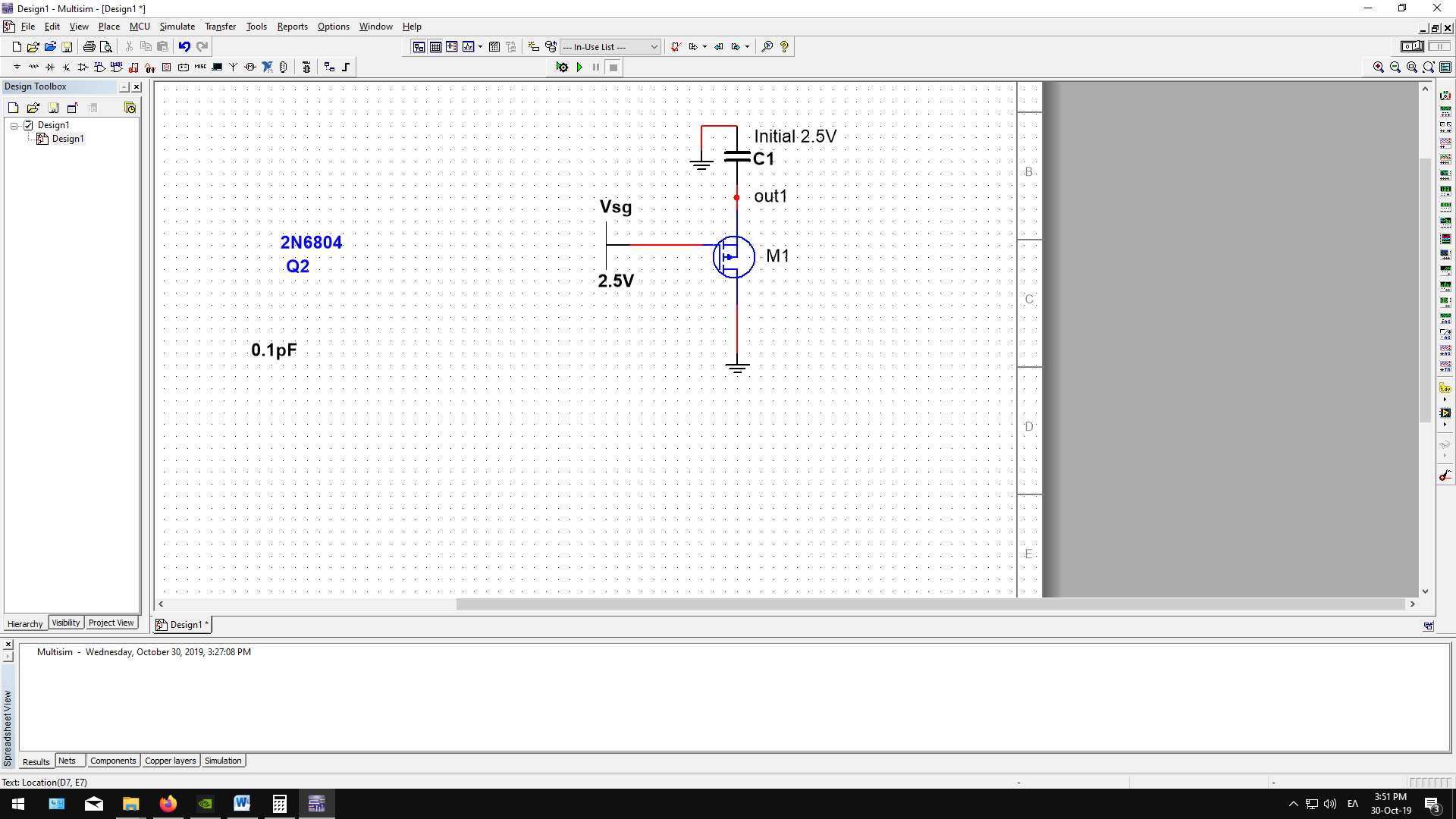
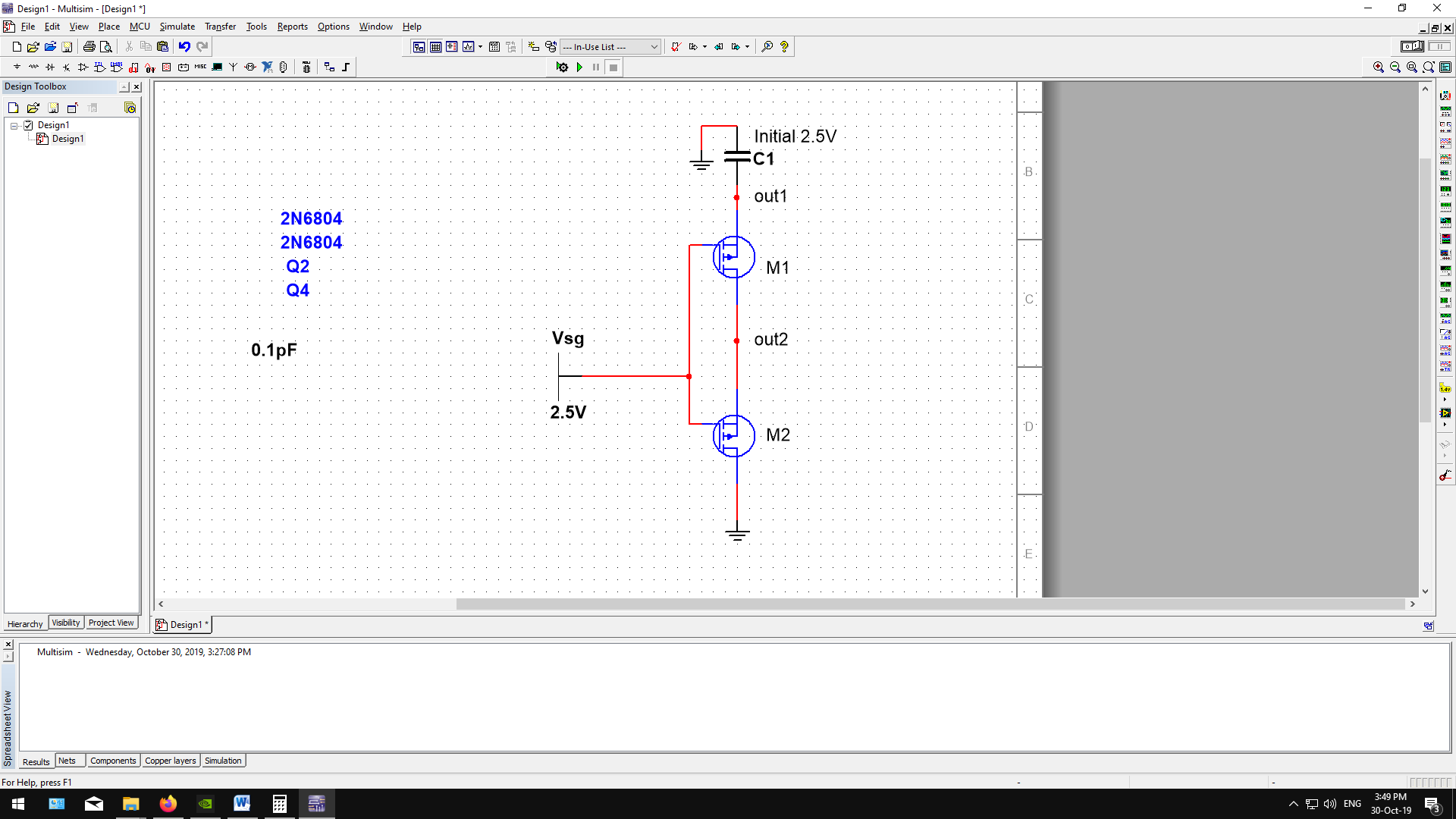
Όπως φαίνεται σε κάθε περίπτωση η πτώση τάσης τείνει προς την την τάση κατωφλίου του NMOS (0.42V).Συγκεκριμένα στο ένα NMOS η πτώση είναι 0.41V στα 50ns και στα δύο είναι 0.43V στα 50ns πάλι (στο out1 κόμβο σε κάθε σχήμα).

Για PMOS τα αποτελέσματα:

Για ένα PMOS Για 2 PMOS στη σειρά



Και τα σχεδιαγράμματα της συνδεσμολογίας:



0V

0V

Vg

Vg

Όμοια αποτελέσματα παρατηρούμε και για τα PMOS (η τάση κατωφλίου είναι 0.55 κατά απόλυτη τιμή). Συγκεκριμένα στο ένα PMOS η πτώση είναι 0.57V στα 100ns και στα δύο είναι 0.58V στα 150ns πάλι (στο *out1* κόμβο σε κάθε σχήμα ,άρα οι πτώσεις τάσης στην πραγματικότητα είναι αρνητικές).

Γενικότερα, και στις 4 περιπτώσεις επειδή η τάση στον κόμβο out1 και out2 είναι μεταβλητή τότε το Vgs θα είναι και αυτό μεταβλητό και θα αρχίζει να μειώνεται για το NMOS και να αυξάνεται στο PMOS αντίστοιχα ,εως ότου φτάσει στην τάση κατωφλίου του κάθε transistor.

Όταν τα transistor φτάσουν στη τάση κατωφλίου τους τότε απενεργοποιούνται και έχουμε την τάση του πυκνωτή να μένει σταθερή στο VDD -VTN για το NMOS και |VTP| για το PMOS.

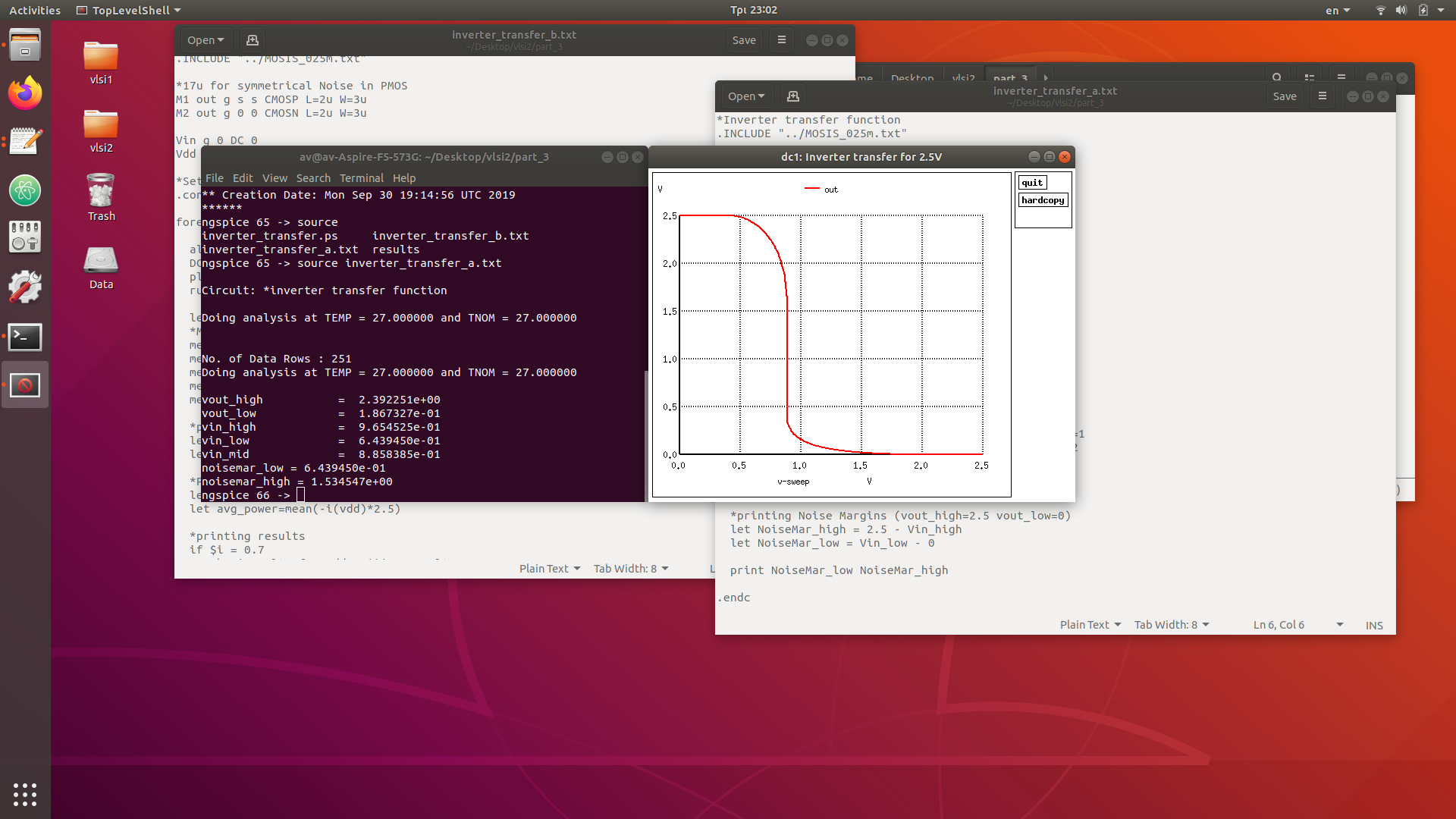
Έτσι με αυτόν τον τρόπo εξηγείται το φαινόμενο της πτώσης τάσης των NMOS και PMOS.

**Άσκηση 3**

Καμπύλη ΜεταβίβασηςVout/Vin

Σε αυτό το σκέλος θέλουμε να κάνουμε μια DC ανάλυση έτσι ώστε να εξάγουμε την χαρακτηριστική μεταφοράς τάσης ενός αντιστροφέα CMOS .

Παρακάτω τα αποτελέσματα:



Με βάση την εικόνα αλλά και τα αποτελέσματα των μετρήσεων έχουμε ασύμμετρη συνάρτηση μεταφοράς και τα περιθώρια θορύβου έχουν μεγάλη διαφορά μεταξύ τους.

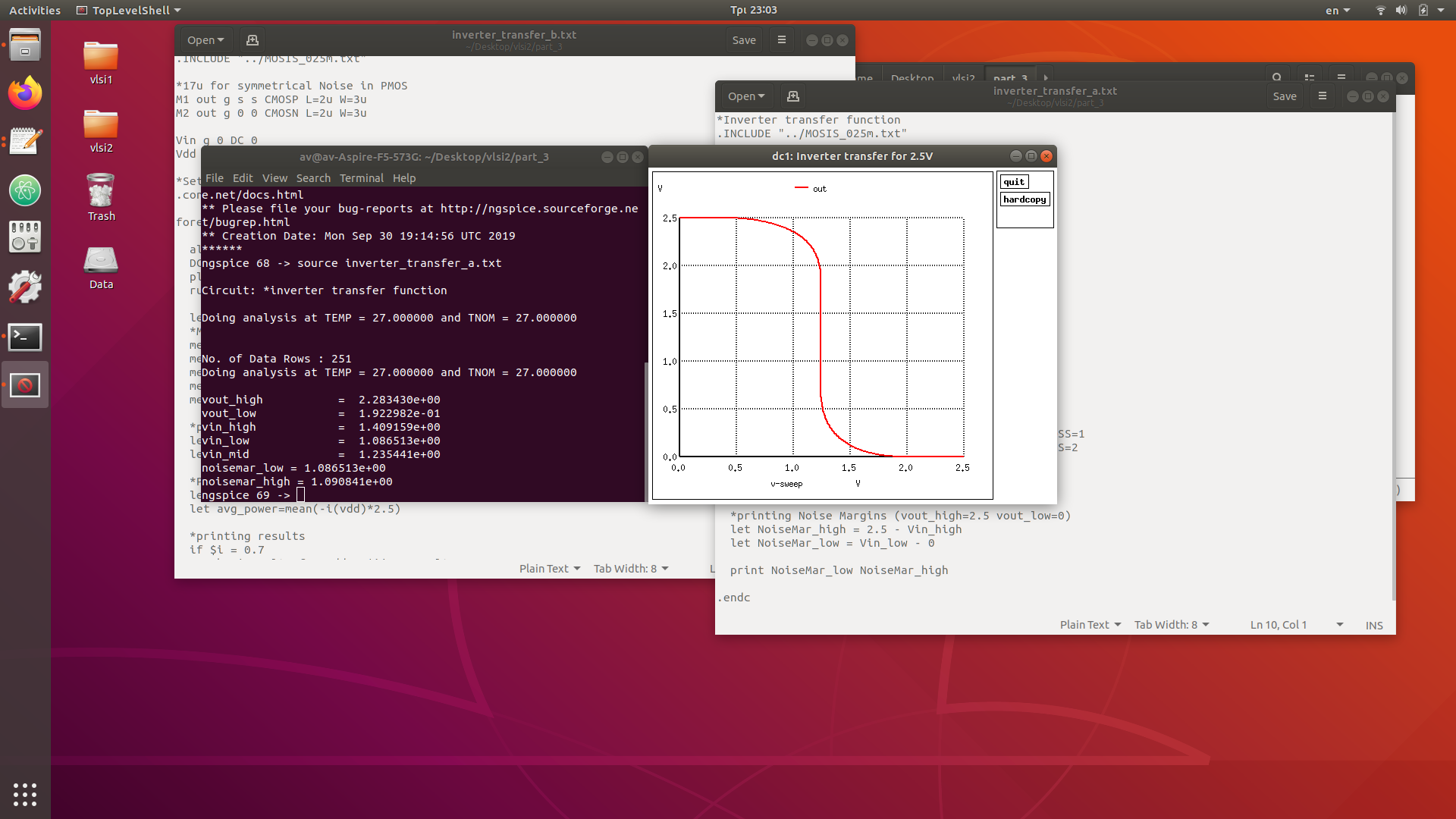
|  |  |
| --- | --- |
| VOH | 2.392 |
| VOL | 0.186 |
| VIH | 0.965 |
| VIL | 0.643 |
| VM | 0.885 |
| NML | 0.643 |
| NMH | 1.534 |

*Τα αποτελέσματα για τις χαρακτηριστικές τιμές του αντιστροφέα*

Το φαινόμενο αυτό γίνεται γιατί τα transistor είναι ίδιο μέγεθος αλλά το PMOS μπορεί να άγει λιγότερο ρεύμα από το NMOS επειδή η κινητικότητα των οπών είναι μικρότερη από αυτή των ηλεκτρονίων.Αυτό έχει ως αποτέλεσμα να έχουμε πιο γρήγορη εκφόρτιση του πυκνωτή εξόδου απ’ ότι φόρτιση,εξού και η χαρακτηριστική καμπύλη να είναι έτσι.

Για να το διορθώσουμε αυτό μπορούμε να αλλάξουμε την διάσταση του πλάτους του PMOS transistor και να την αυξήσουμε εως ότου δούμε συμμετρικά περιθώρια θορύβου.

Αυτό θα συμβεί εξαίτιας της γραμικής εξάρτησης του ρεύματος που μπορεί να άγει ένα transistor με τον λόγο W/L .Άρα αν αυξήσουμε το πλάτος του καναλιού θα αυξήσουμε και τον λόγο W/L και θα διορθώσουμε την χαρακτηριστική του αντιστροφέα.



|  |  |
| --- | --- |
| VOH | 2.283 |
| VOL | 0.192 |
| VIH | 1.409 |
| VIL | 1.086 |
| VM | 1.235 |
| NML | 1.086 |
| NMH | 1.090 |

*Τα αποτελέσματα για τις χαρακτηριστικές τιμές του αντιστροφέα με αλλαγμένο το πλάτος*

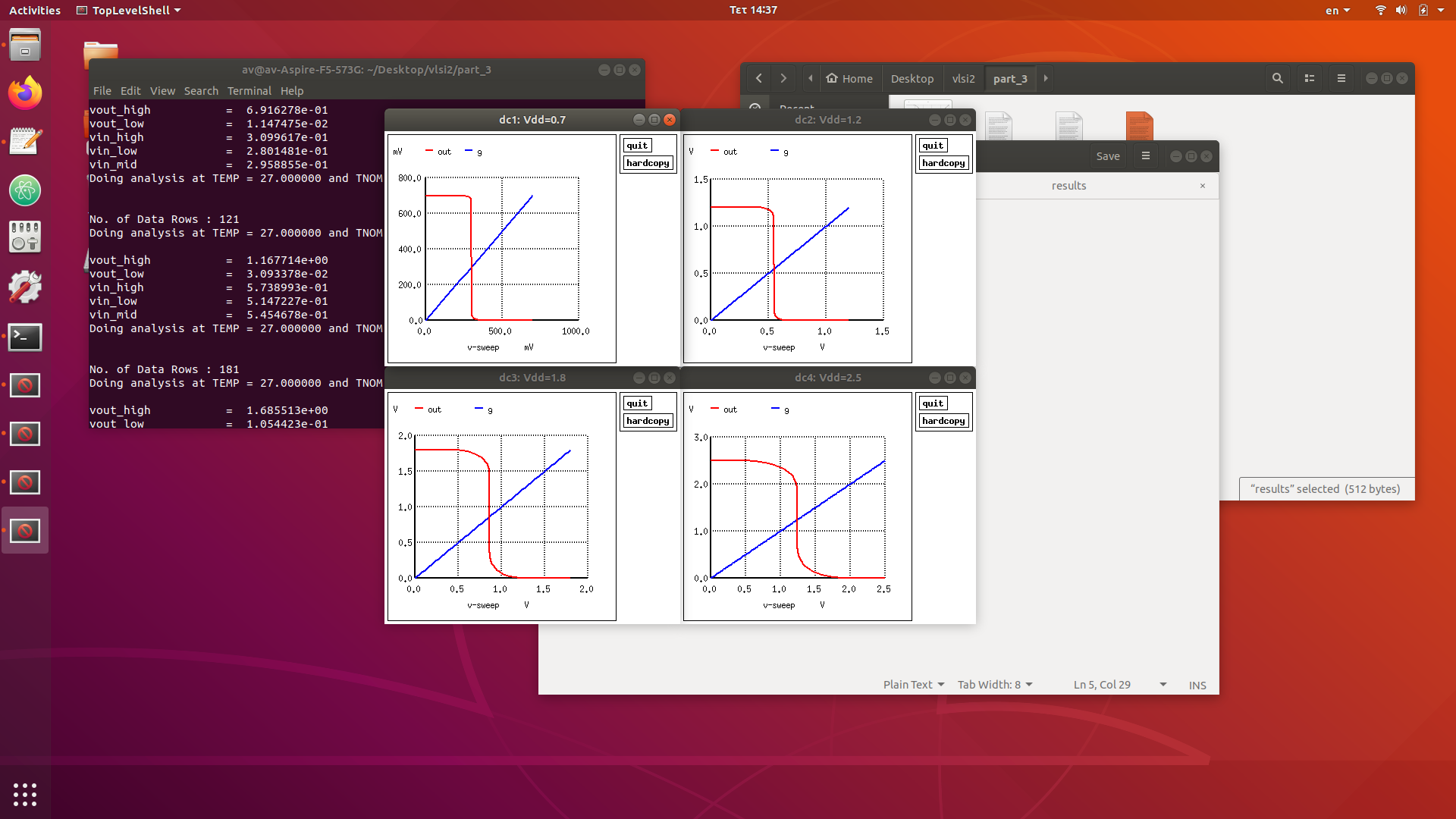
Παραπάνω φαίνονται τα αποτελέσματα για PMOS με πλάτος 17u από 3u (σχεδόν 6 φορές πιο μεγάλο).Όπως φαίνεται η χαρακτηριστική μεταφοράς τάσης έχει γίνει πλήρως συμμετρική , το ίδιο για τα περιθώρια θορύβου αλλά και το κεντρικό σημείο VM .

Κλιμάκωση Τάσης και Καμπύλη Μεταβίβασης

Τώρα ,χρησιμοποιώντας τo συμμετρικό αντιστροφέα (17u για το PMOS)από πριν αλλάζουμε τα VDD και VIN στα 0.7V , 1.2V ,1.8V ,2.5V κάθε φορά και ελέγχουμε τα περιθώρια θορύβου,το μέσο ρεύμα και τη μέση ισχύ.

Για να το πετύχουμε αυτό στο ngspice χρησιμοποιούμε μια δομή επανάληψης ,το **foreach** ,που επαναλαμβάνεται για κάθε τιμή που έχουμε θέσει στο VDD και VIN .Μέσα σε αυτή τη δομή κάνουμε τις μετρήσεις στα περιθώρια ,το ρεύμα και την ισχύ.

Παρακάτω τα αποτελέσματα:



Όπως φαίνεται με τη βαθμιαία μείωση της τάσης έχουμε το φαινόμενο η γραφική παράσταση του αντιστροφέα να γίνεται όλο και περισσότερο απότομη και υπό μια έννοια ‘ψηφιοποιημένη’ σε 0 και 1 χωρίς ενδιάμεσες καταστάσεις.

Επιπλέον από τα σχήματα και τα αποτελέσματα των μετρήσεων βλέπουμε σταδιακή μετατόπιση προς τα αριστερά της καμπύλης με αποτέλεσμα τη μείωση του NML και αύξηση του NMH.

Παρακάτω τα αποτελέσματα για κάθε μέτρηση:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Τιμή Vdd | 0.7 | 1.2 | 1.8 | 2.5 |
| NML | 2.80e-01 | 5.14e-01 | 7.73e-01 | 1.08e+00 |
| NMH | 3.90e-01 | 6.26e-01 | 8.43e-01 | 1.09e+00 |
| Μέσο Ρεύμα | 6.40e-10 | 2.23e-07 | 4.74e-06 | 1.90e-05 |
| Μέση Ισχύς | 4.48e-10 | 2.67e-07 | 8.53e-06 | 4.75e-05 |

Όπως φαίνεται και από το σχήμα τα χαμηλά περιθώρια θορύβου μικραίνουν και τα υψηλά αυξάνουν ,αλλά επί του συνόλου η επιθυμητή περιοχή λειτουργίας του αντιστροφέα είναι μεγαλύτερη.Αυτό φαίνεται εύκολα αν κάνουμε τον λόγο (NML+ NMH)/VDD όπου για 0.7V είναι 95% ενώ για 2.5V είναι 86%.

Επίσης, έχουμε μικρότερο ρεύμα και αφού η τάση παραμένει πάντοτε σταθερή έχουμε και μικρότερη ισχύ για κάθε μείωση του VDD γιατί πλησιάζουμε όλο και πιο κοντά στην τάση κατωφλίου του κάθε transistor.

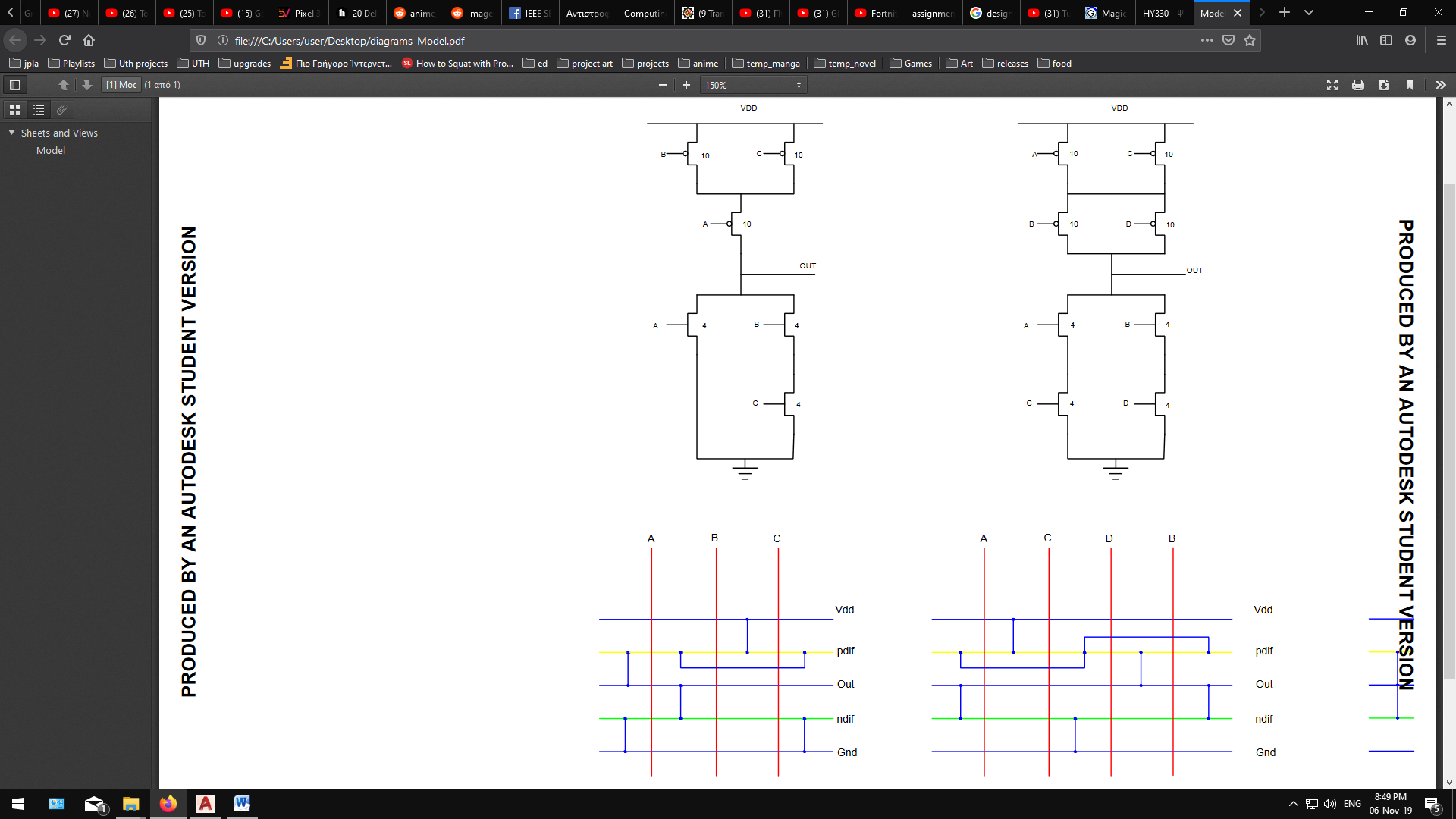
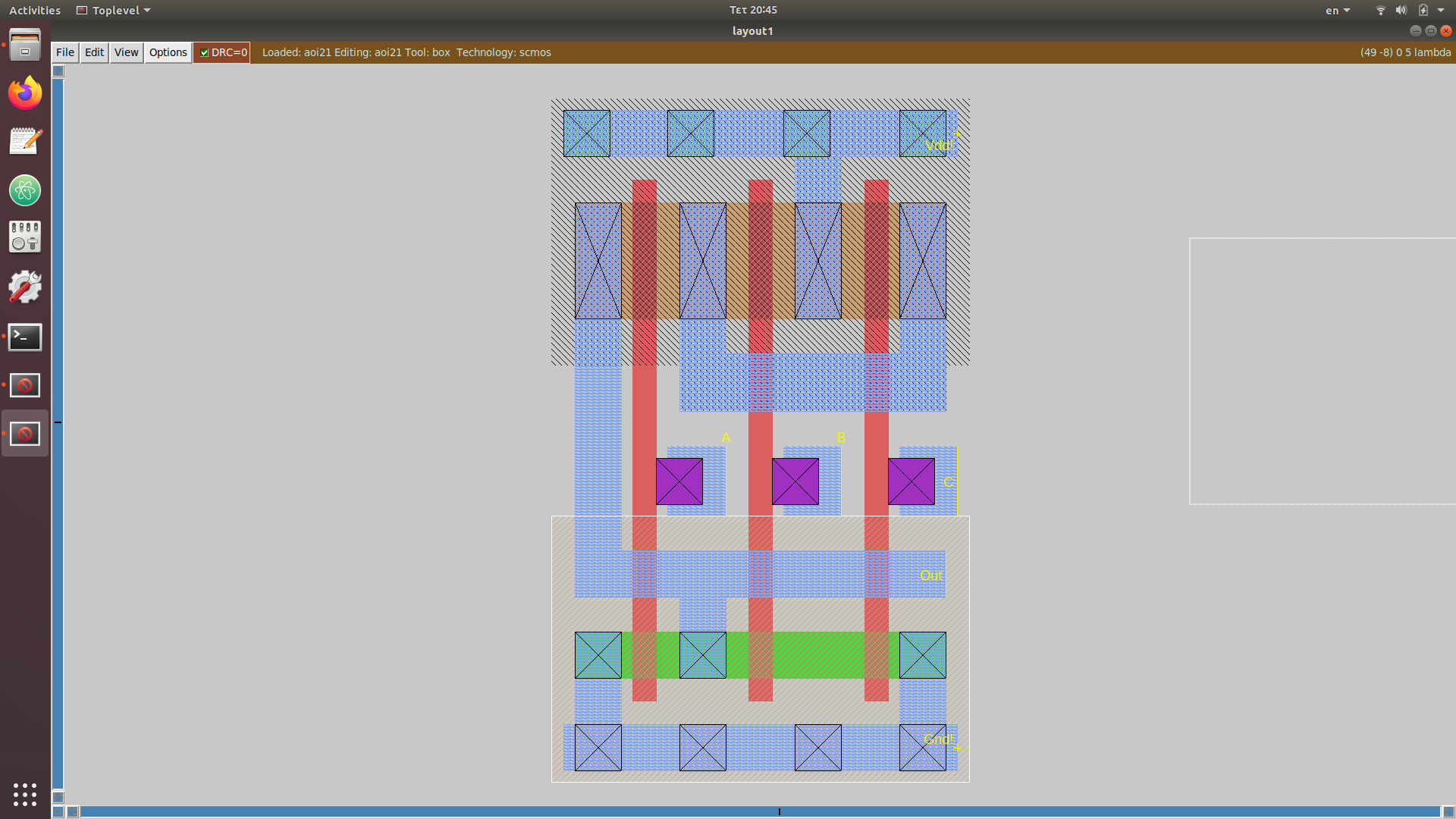
*(Στον φάκελο part\_3 ,στο αρχείο results.txt αποθηκεύονται τα αποτελέσματα των μετρήσεων)*

**Άσκηση 4**

Σχεδίαση Σχηματικου , Γραμμοδιαγραμμάτων , Κάτοψης καί ορισμός μεγεθών τρανζίστορ

Παρακάτω έχουμε το σχηματικό το γραμμοδιάγραμμα και την κάτοψη για κάθε δυαδική συνάρτηση που μας δίνεται.

Για την AOI21:

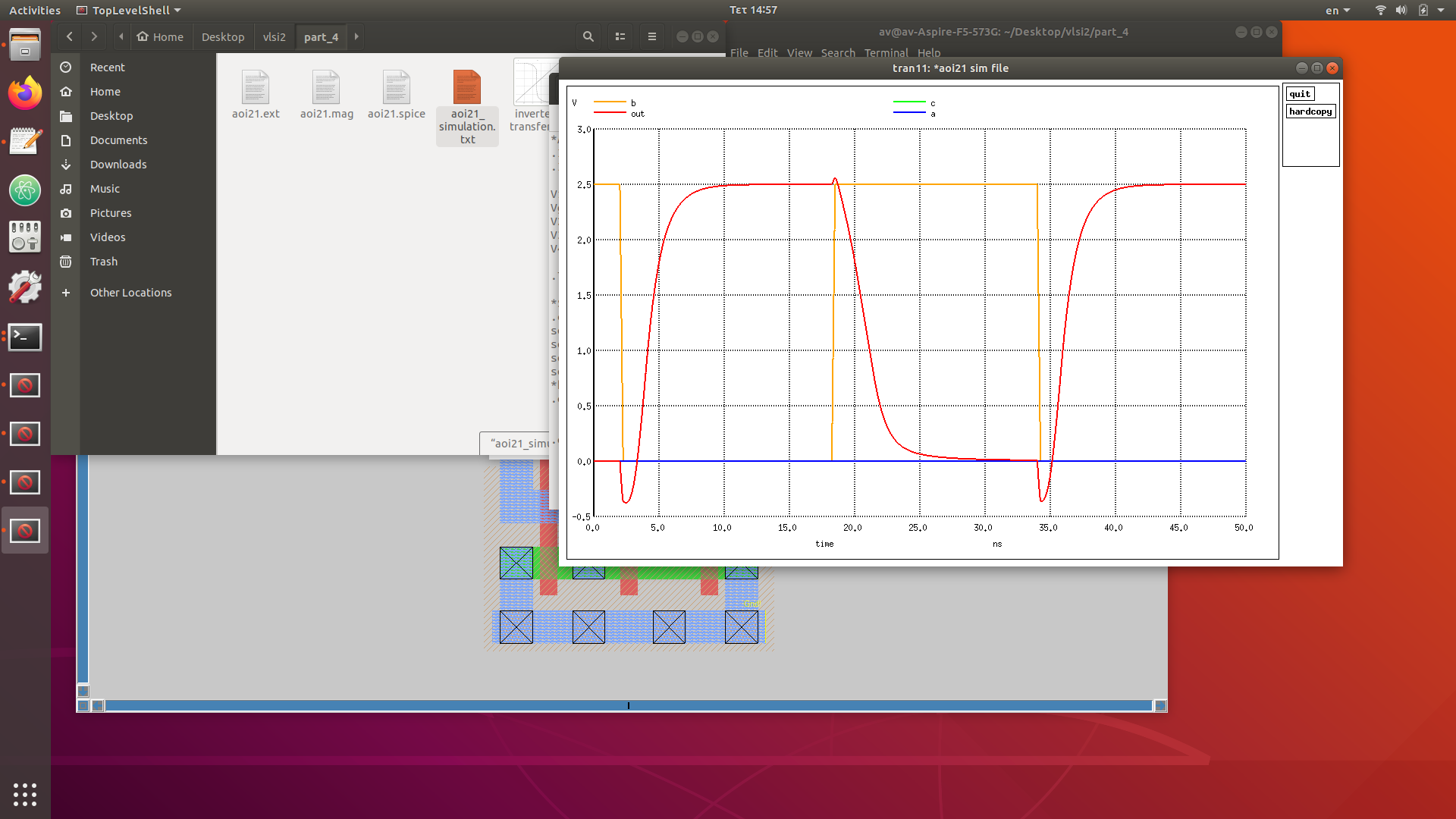


Όπως φαίνεται έχει επιλεχθέι για τα NMOS ο λόγος 4.Το χειρότερο μονοπάτι είναι το B->C το οποίο έχει αντίσταση 26 για λόγο 1 ,άρα λύνοντας τον λόγο έχουμε *a=26/6.5=4.*Άφου έχουμε βρει το χειρότερο μονοπάτι τότε για το μονοπάτι A θέτουμε και εκεί λόγο 4,μιας και δεν κερδίζουμε κάτι αν μικρύνουμε το transistor.Αντίθετα επωφελούμαστε μιας και δεν χάνουμε σε εμβαδόν ,έχουμε μια μικρότερη αντίσταση και φορτίζουμε πιο γρήγορα την χωρητικότητα εξόδου.

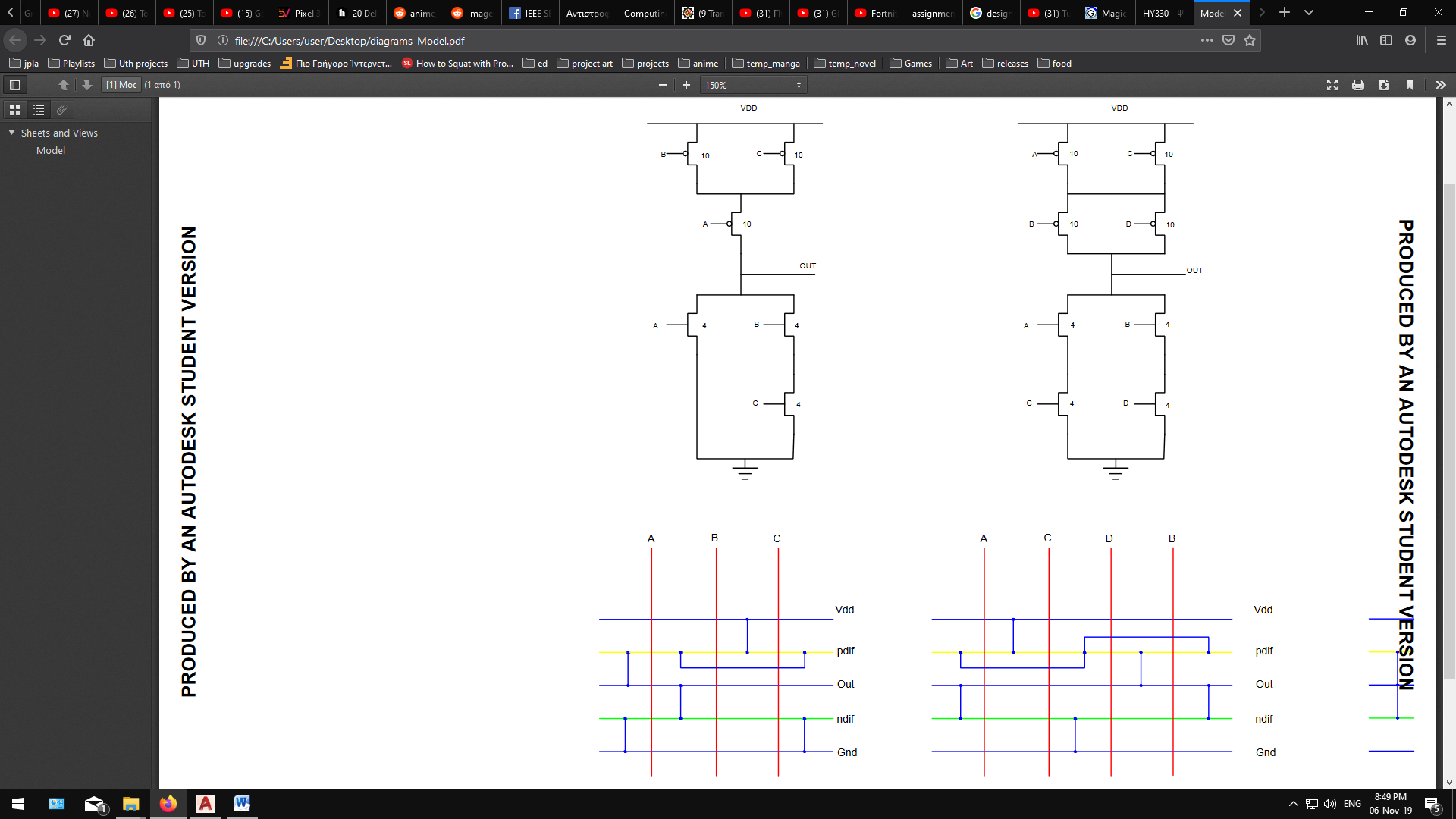
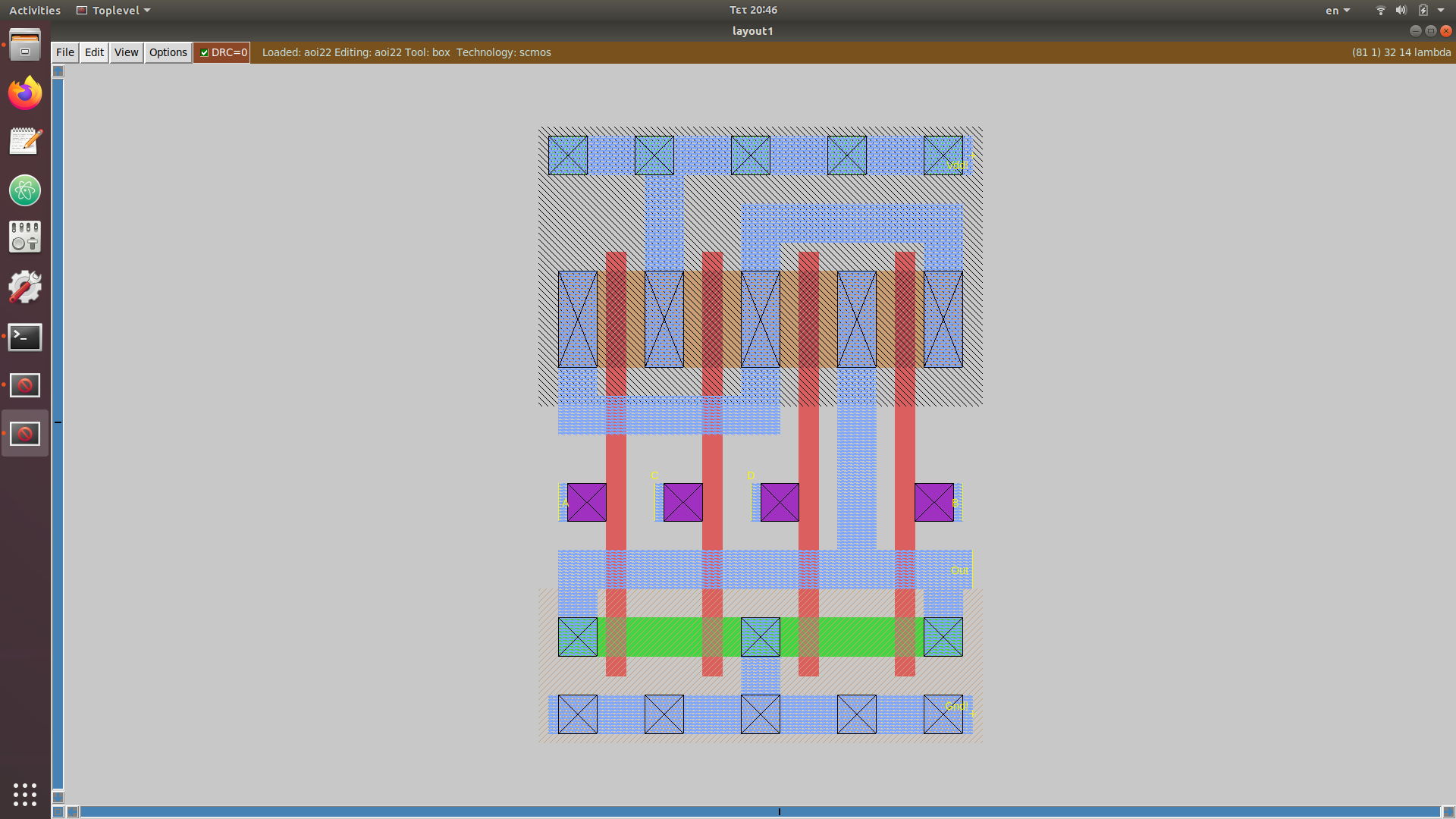
Ομοίως πράττουμε και για τα PMOS ,με μόνη διαφορά το ότι, το 31/6.5 δεν βγάζει ακέραιο αριθμό και δεν μας συμφέρει να αλλάξουμε το πλάτος του transistor. Για να ικανοποιήσουμε τον λόγο μπορούμε να πλησιάσουμε την αντίσταση των 6.5 kΩ αν κάνουμε τον λόγο 5 με αποτέλεσμα να έχουμε 31/5=6.2kΩ το οποίο είναι πολύ κοντά στο επιθυμητό ,αλλάζοντας μόνο το πλάτος των PMOS.Άρα αντίστοιχα με τα NMOS θα λειτουργούμε σε πολλαπλάσια του 5 και αφόυ έχουμε χειρότερο μονοπάτι με δυο τρανζίστορ,τότε βάζουμε λόγο 10 σε όλα.

Με το ίδιο σκεπτικό κάνουμε για τους λόγους για τις άλλες συναρτήσεις.

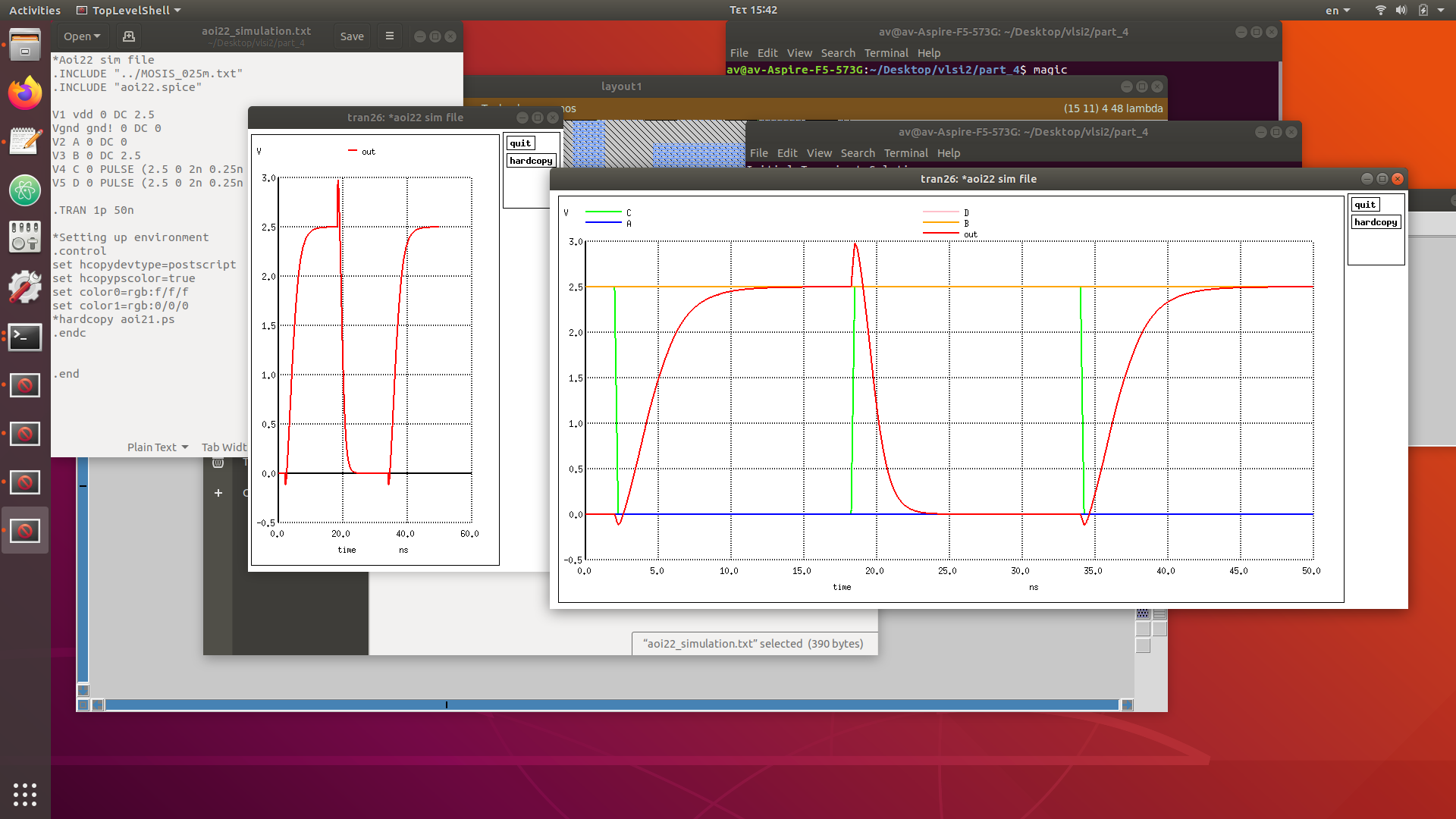
Στην προσομείωση για είσοδο έχουμε σταθερό Α=0, και ταυτόχρονο παλμό Β=1->0, C=1->0 και πρέπει να δούμε μετάβαση στην έξοδο από 0 σε 1 και αντίστροφα.



Για την AOI22:



Στην προσομείωση για είσοδο έχουμε σταθερά Α=0 και Β=1 , και ταυτόχρονο παλμό C=1->0, D=1->0 και πρέπει να δούμε μετάβαση στην έξοδο από 0 σε 1 και αντίστροφα.

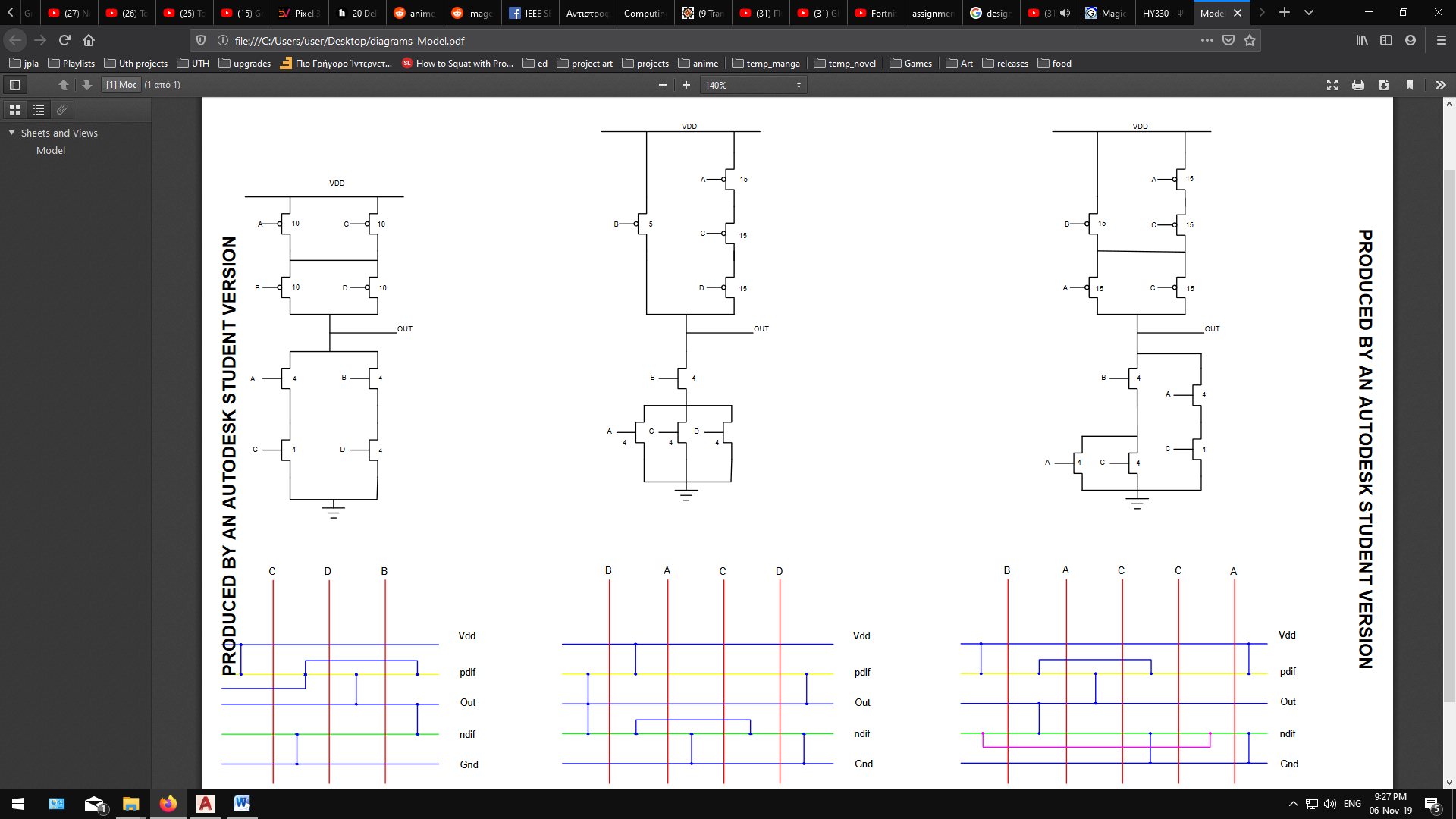
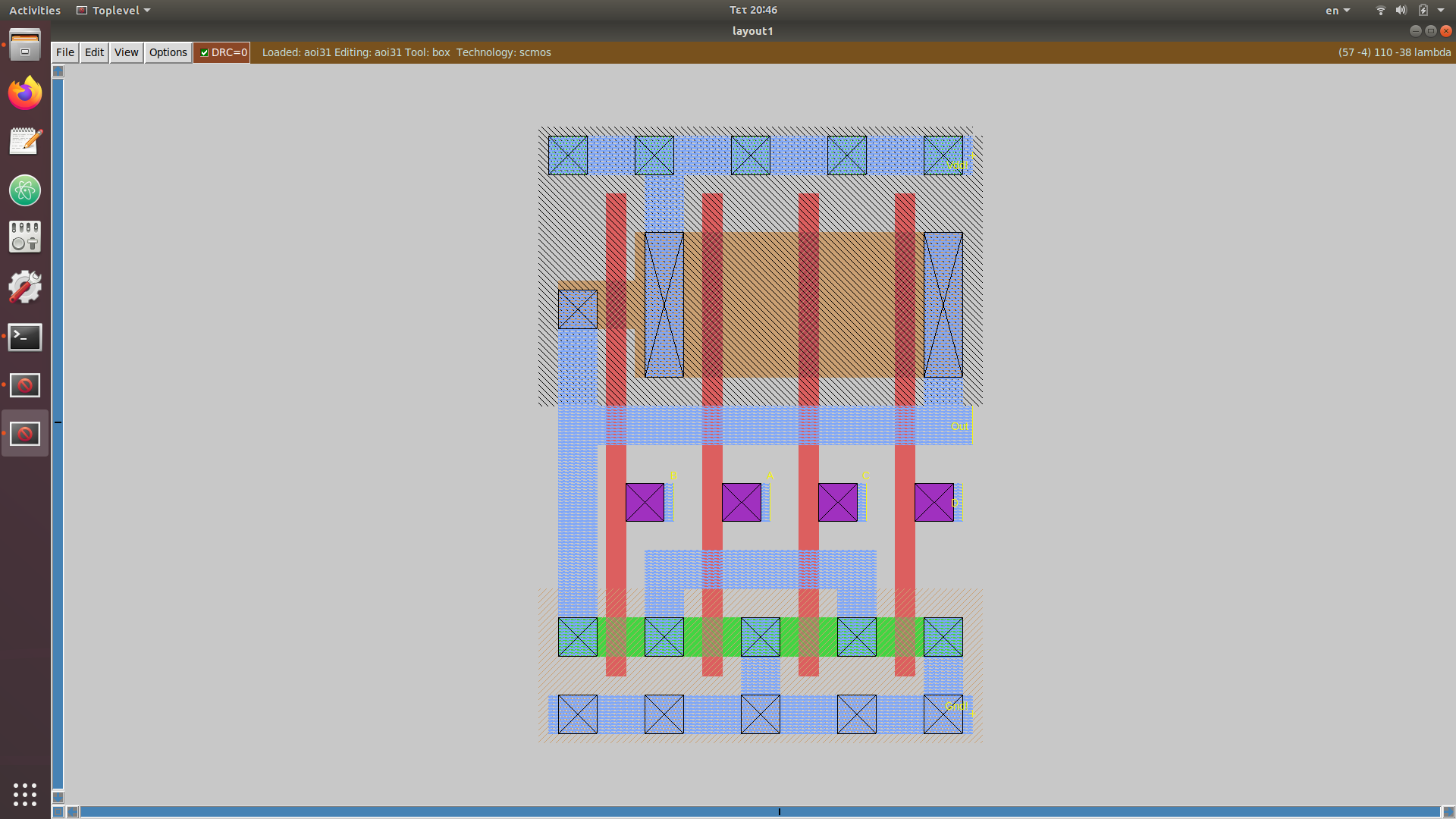


Για την ΟΑI31:

Για την πύλη αυτή για να μείωσουμε τον αριθμό των transistor έχουμε κάνει κάποιες απλοποιήσεις, συγκεκριμένα:

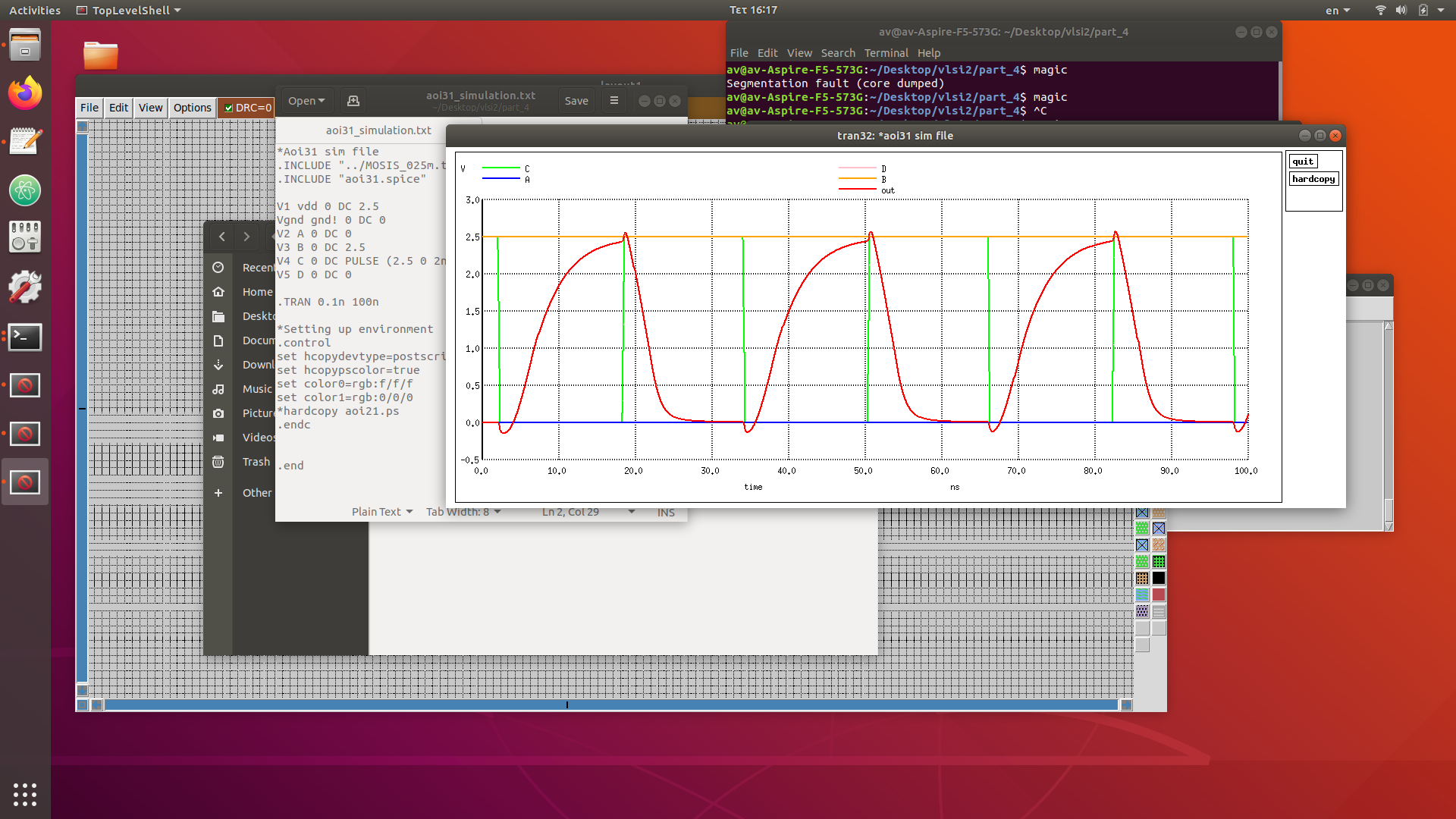
foai31 = (ab+b(c+d))’= (b(c+d+a))’

Με αυτό τον τρόπο έχουμε ,από 5 transistor σε κάθε network , 4 transistor.



Σε αυτή την πύλη για να έχουμε μικρότερη χωρητικότητα εξόδου μειώνουμε το λόγο του PMOS Α ,παρόλο που δεν κερδίζουμε σε εμβαδό.

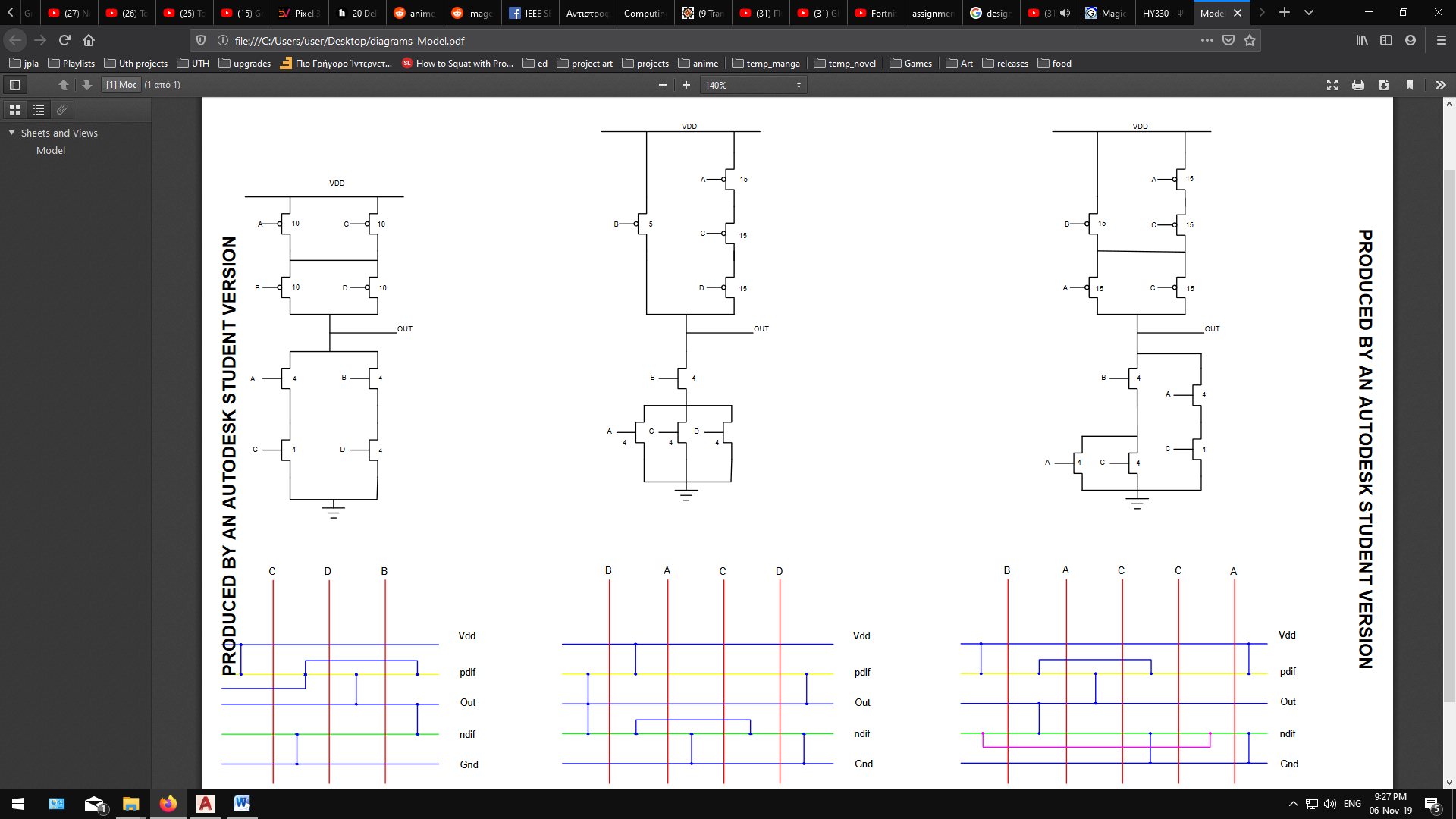
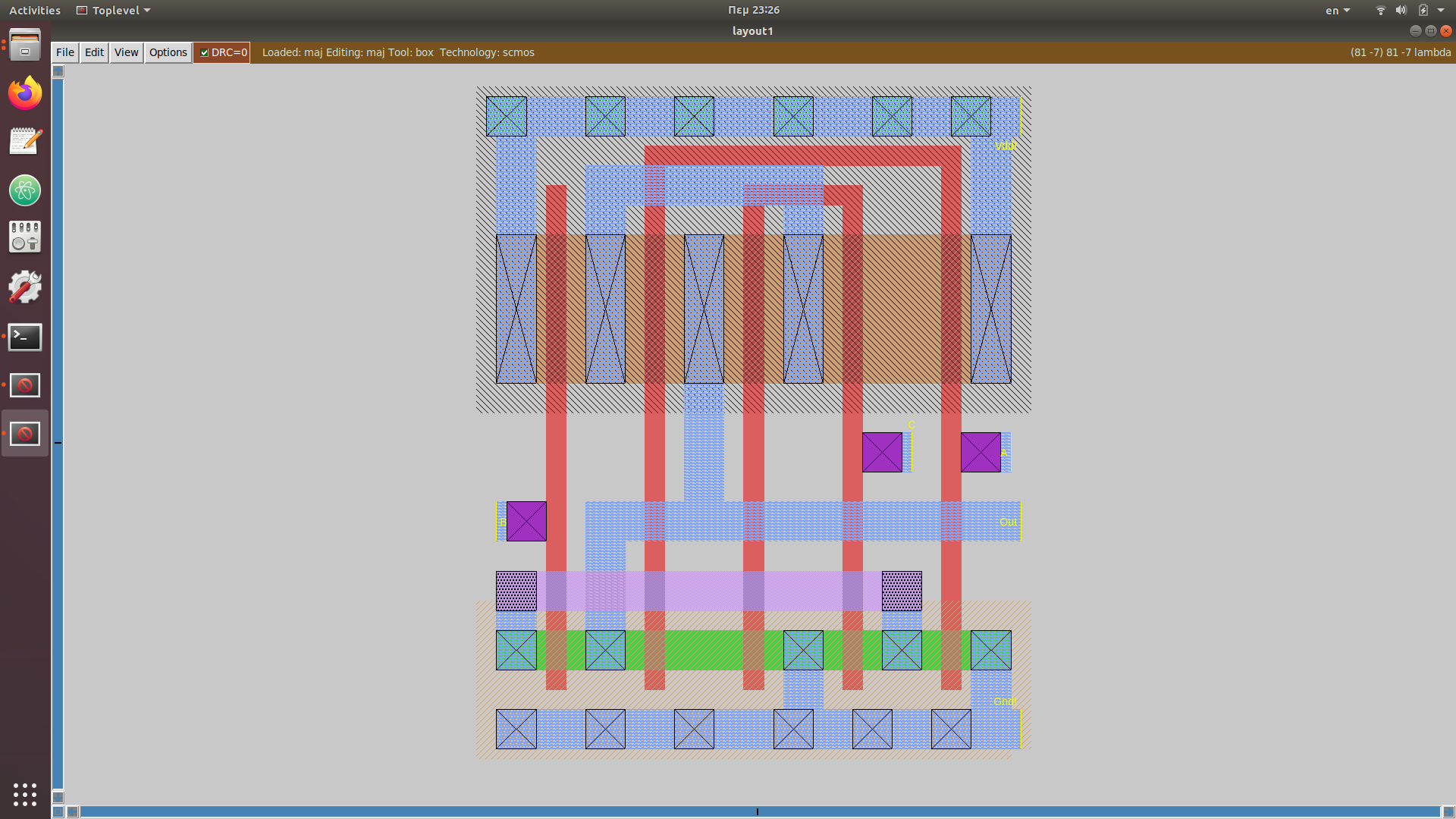
Στην προσομείωση για είσοδο έχουμε σταθερά Α=0 και Β=1 και D=0, ταυτόχρονο παλμό C=1->0 και πρέπει να δούμε μετάβαση στην έξοδο από 0 σε 1 και αντίστροφα.



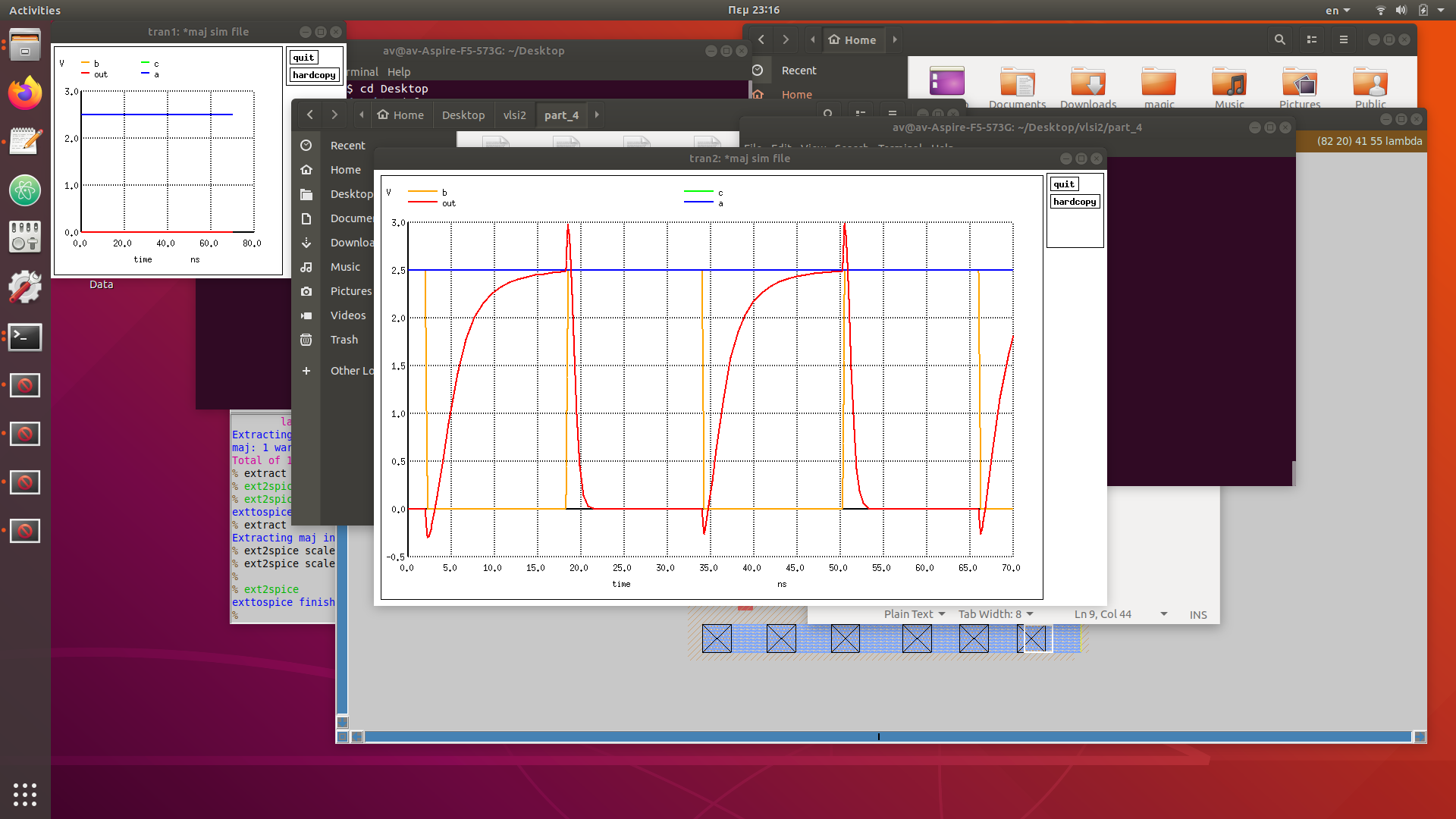
Για την maj:

Κάνουμε πάλι απλοποίηση όπως και στην OAI31 ->fmaj = (ac+bc+ab)’= (b(a+c)+ac)’

Με αυτό τον τρόπο έχουμε ,από 6 transistor σε κάθε network , 5 transistor.



Στην προσομείωση για είσοδο έχουμε σταθερά Α=0, και ταυτόχρονο παλμό C=1->0, B=1->0 και πρέπει να δούμε μετάβαση στην έξοδο από 0 σε 1 και αντίστροφα.



Ανάλυση Χωρητικοτήτων Κάτοψης

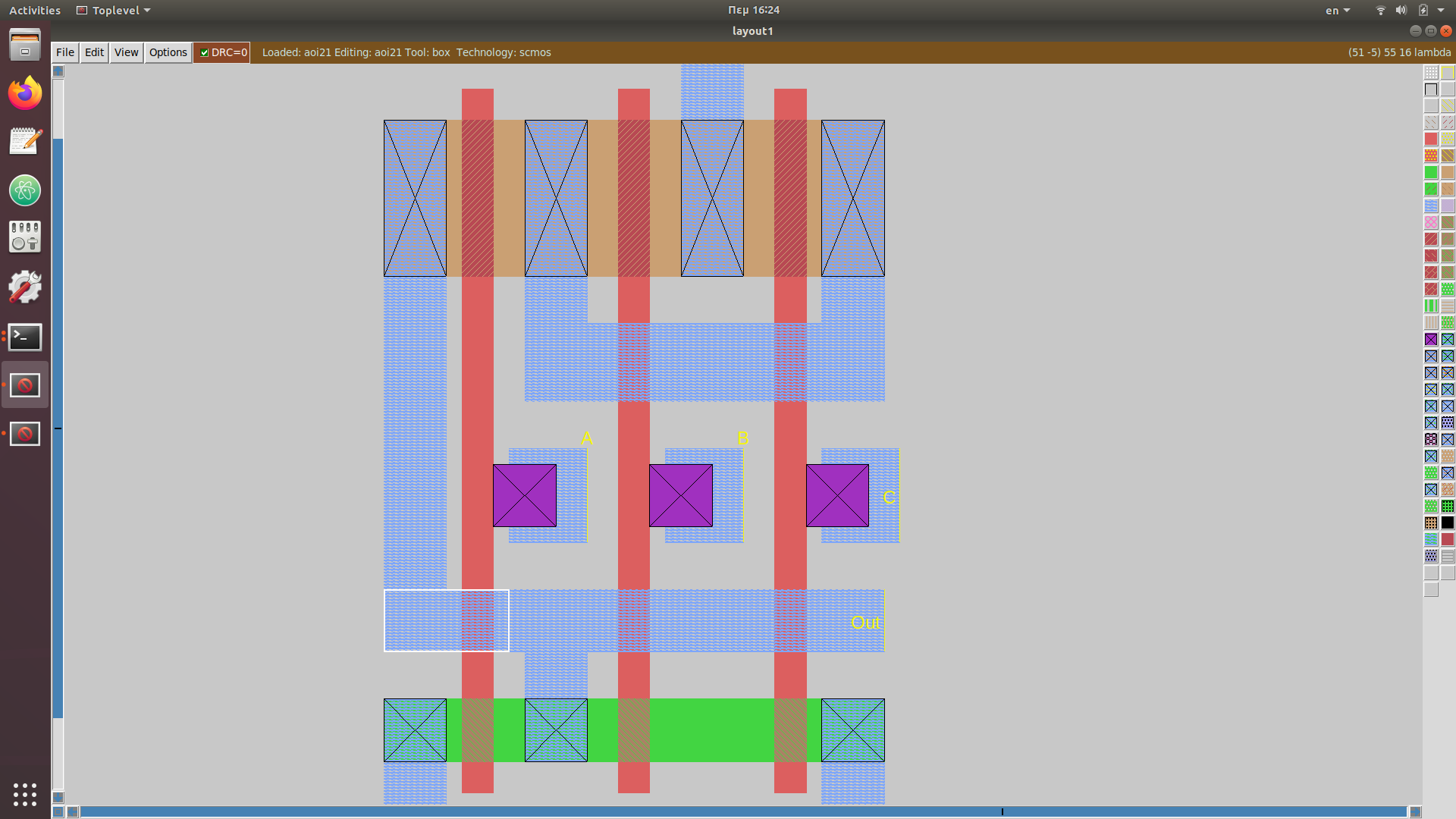
Επιστρέφουμε στην πύλη AOI21 και έχουμε την κάτοψη της στο magic με διαστάσεις και εμβαδά για να βρούμε τις χωρητικότητες στην έξοδο:

**5u**

**5u**

**8u**

**8u**



**20p**

**32p**

**32p**

**20p**

**50p**

**50p**

**80p**

**80p**

**5u**

**5u**

**8u**

**8u**

**4u**

**10u**

Άρα έχουμε για PMOS :

PP = 10u+5u+5u =20um (χωρίς τη διάσταση που ακουμπάει πάνω στη πύλη).

AP = 5u \*10u = 50um2 .

Και για ΝMOS :

PΝ = 8u+8u =16um (χωρίς τις διαστάσεις που ακουμπάνε πάνω στις πύλες).

AΝ = 8u \*4u = 32um2 .

Τις υπόλοιπες που δεν ακουμπάνε πάνω στο μέταλλο **out** τις αγνοούμε μιας και εμείς ζητάμε μόνο τις χωρητικότητες που εμφανίζονται στην έξοδο.

Άρα για το το PMOS:

CP,diff = Cbottom + Csw = Kpj\*Cj \* AP + Kpjsw\*Cj \* PP

= 2 \* 0.79 \*(10-15/10-12) \*50\*10-12 +0.28 \* 0.86 \*(10-15/10-6) \*20\*10-6 = **83.816 Ff**

Και για ΝMOS :

CN,diff = Cbottom + Csw = Knj\*Cj \* AN + Knjsw\*Cj \* PN

= 2 \* 0.57 \*(10-15/10-12) \*32\*10-12 +0.28 \* 0.61 \*(10-15/10-6) \*16\*10-6 = **39.2128 Ff**

Ανάλυση Καθυστέρησης

Τις υπόλοιπες που δεν ακουμπάνε πάνω στο μέταλλο **out** τις αγνοούμε μιας και εμείς ζητάμε μόνο τις χωρητικότητες που εμφανίζονται στην έξοδο.