

# HY330 – Ψηφιακά Συστήματα VLSI

## ΣΕΤ ΑΣΚΗΣΕΩΝ 3

13/12/2019

Βαγενάς Αναστάσης

AEM : 2496

### Άσκηση 1

Στην άσκηση αυτή θέλουμε να υλοποιήσουμε ένα πλήρη αρθροιστή με τις παρακάτω πύλες:

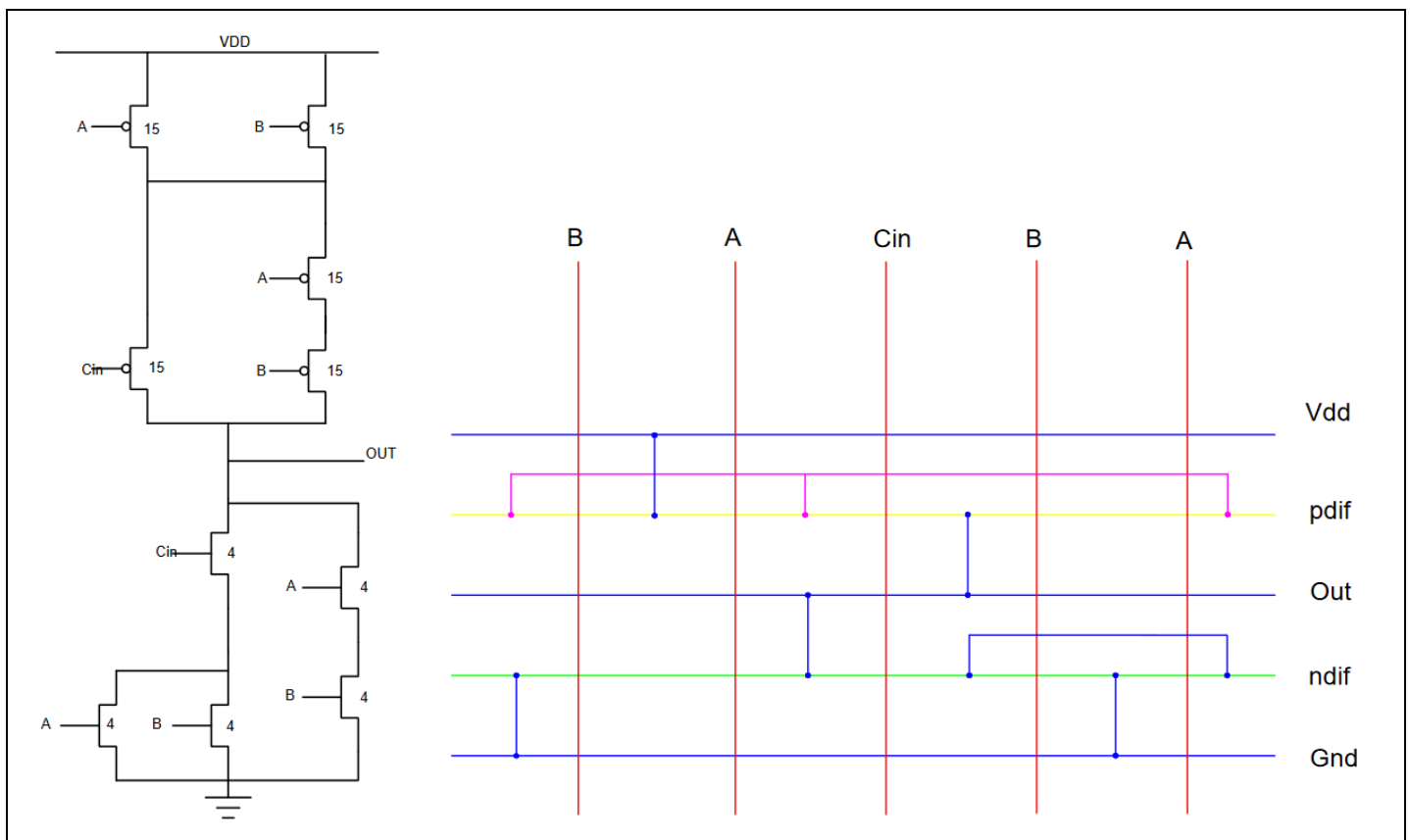
$$C'out = (AB + ACin + BCin)'$$

$$Cout = (C'out)'$$

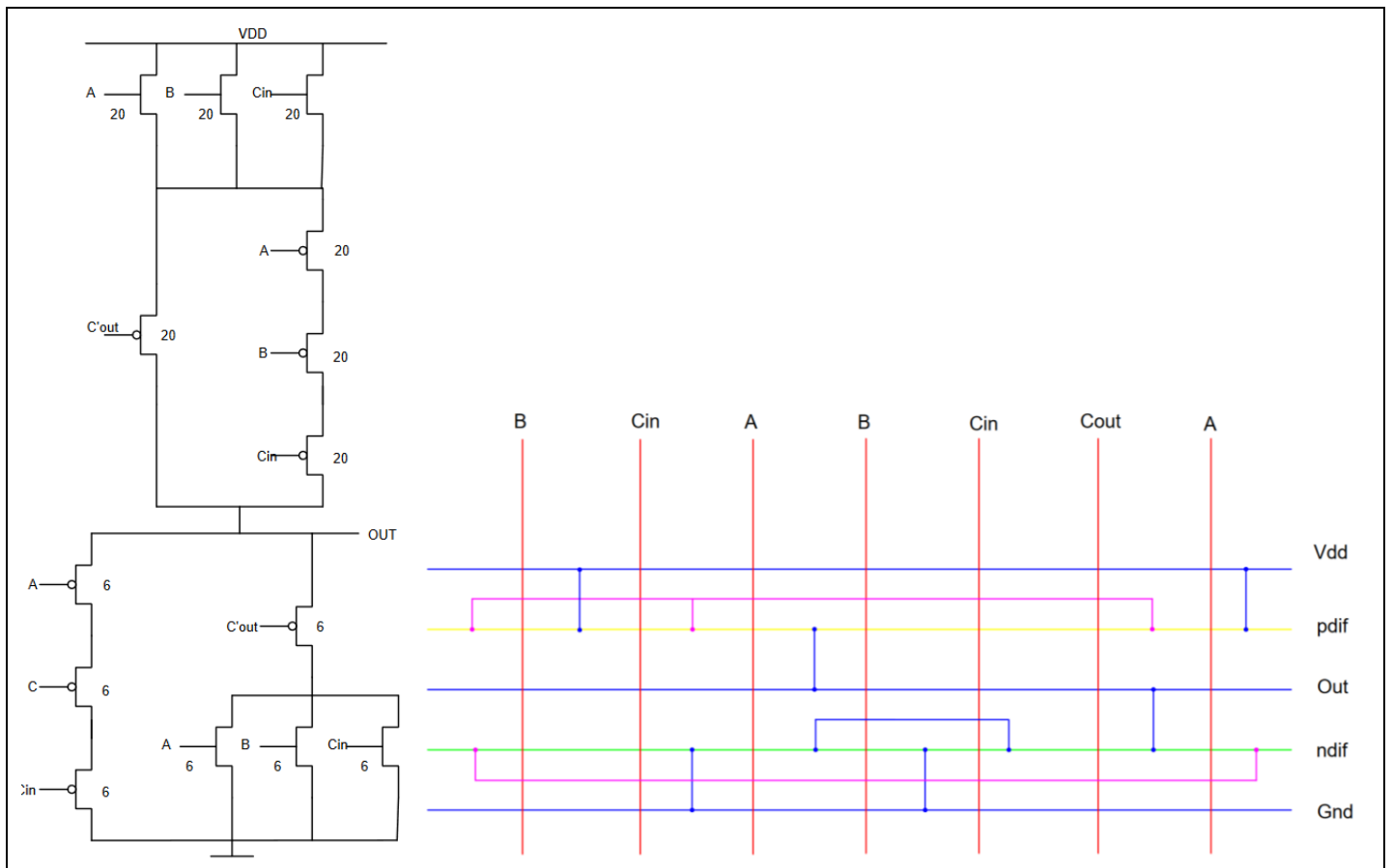
$$S'out = (ABCin + C'out(A + B + Cin))'$$

$$Sout = (S'out)'$$

Σχεδίαση Σχηματικού και Ορισμός μεγεθών τρανζίστορ/Σχεδίαση Γραμμοδιαγραμμάτων



Σχηματικό για C'out



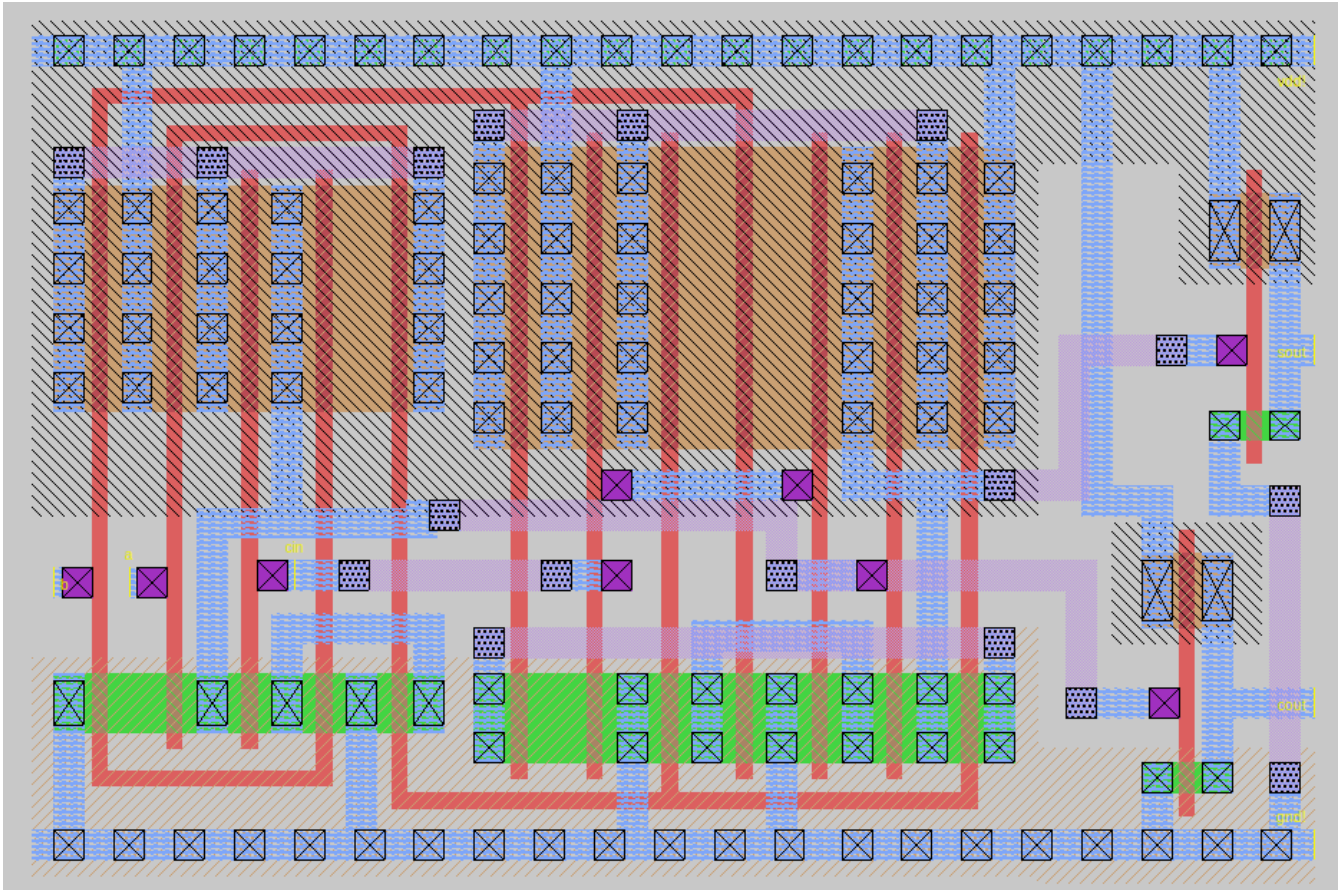
### Σχηματικό για S'out

Για όλο το κύκλωμα χρειαζόμαστε συνολικά 28 transistor.

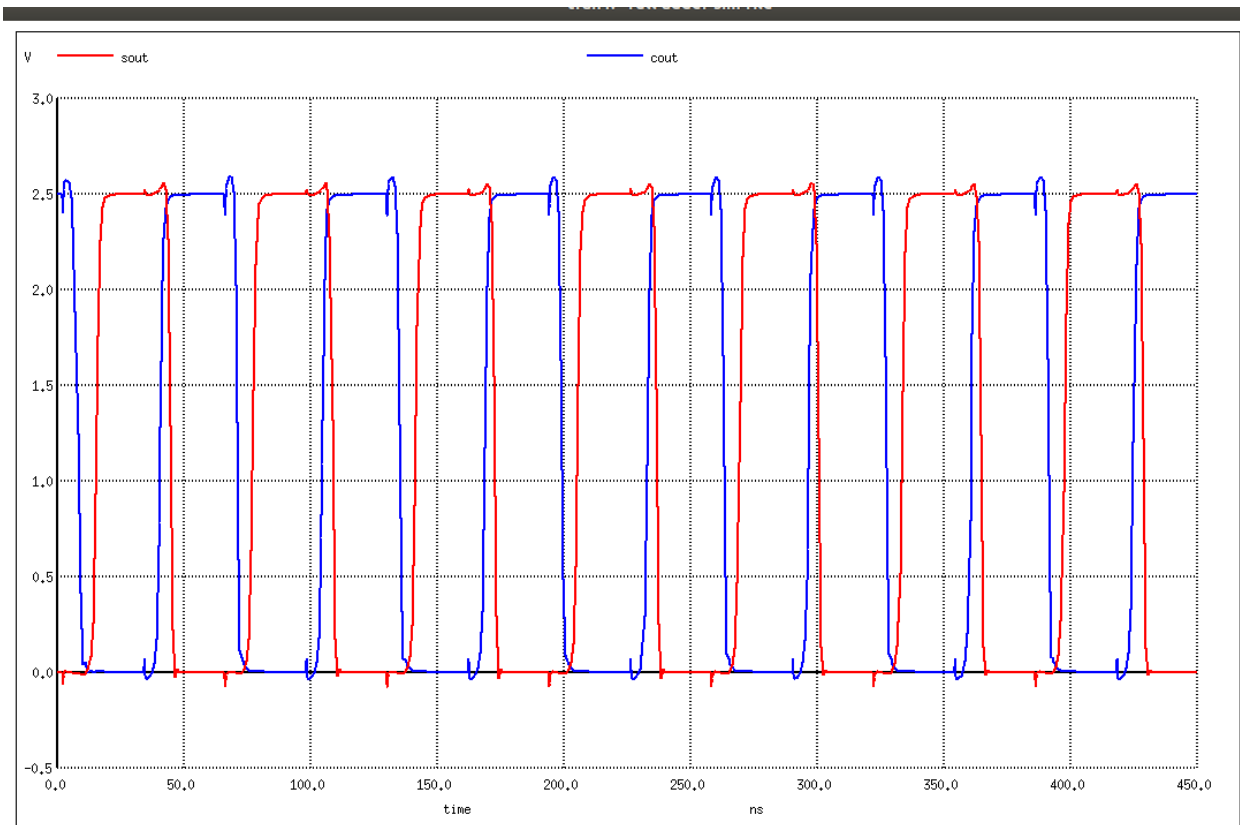
Από αυτά:

- Τα 4 είναι για τους αντιστροφείς για τα  $S'out$ ,  $C'out$  και να παράξουμε τα  $S'out$  και  $C'out$ .
- Τα 14 για το  $S'out$ .
- Τα τελευταία 10 για το  $C'out$  (έχει γίνει απλοποίηση της συνάρτησης από  $AB+AC_{in}+BC_{in} = AB+(A+B)C_{in}$ .

## Σχεδίαση Κάτοψης



Παραπάνω το σχηματικό του full adder ενός bit.



Παραπάνω τα αποτελέσματα της προσομείωσης για είσοδο στον αρθροιστή  $A=1, B=0$  και παλμο  $C_{in}$ .

Καθώς το  $C_{in}$  ανεβοκατεβαίνει βλέπουμε και εναλλαγές στο  $S_{out}$  και το  $C_{out}$ .

Συγκεκριμένα το Cin ξεκινά από το 0 και αφού  $A=1$  θα έχουμε έξοδο  $Sout=1$  και  $Cout=0$ .

Αντίστροφα για  $Cin = 1$  αφού  $A=1$  τότε θα έχουμε έξοδο  $Sout=0$  και  $Cout=1$ , το οποίο γίνεται σε κάθε περίπτωση στην προσομείωση.

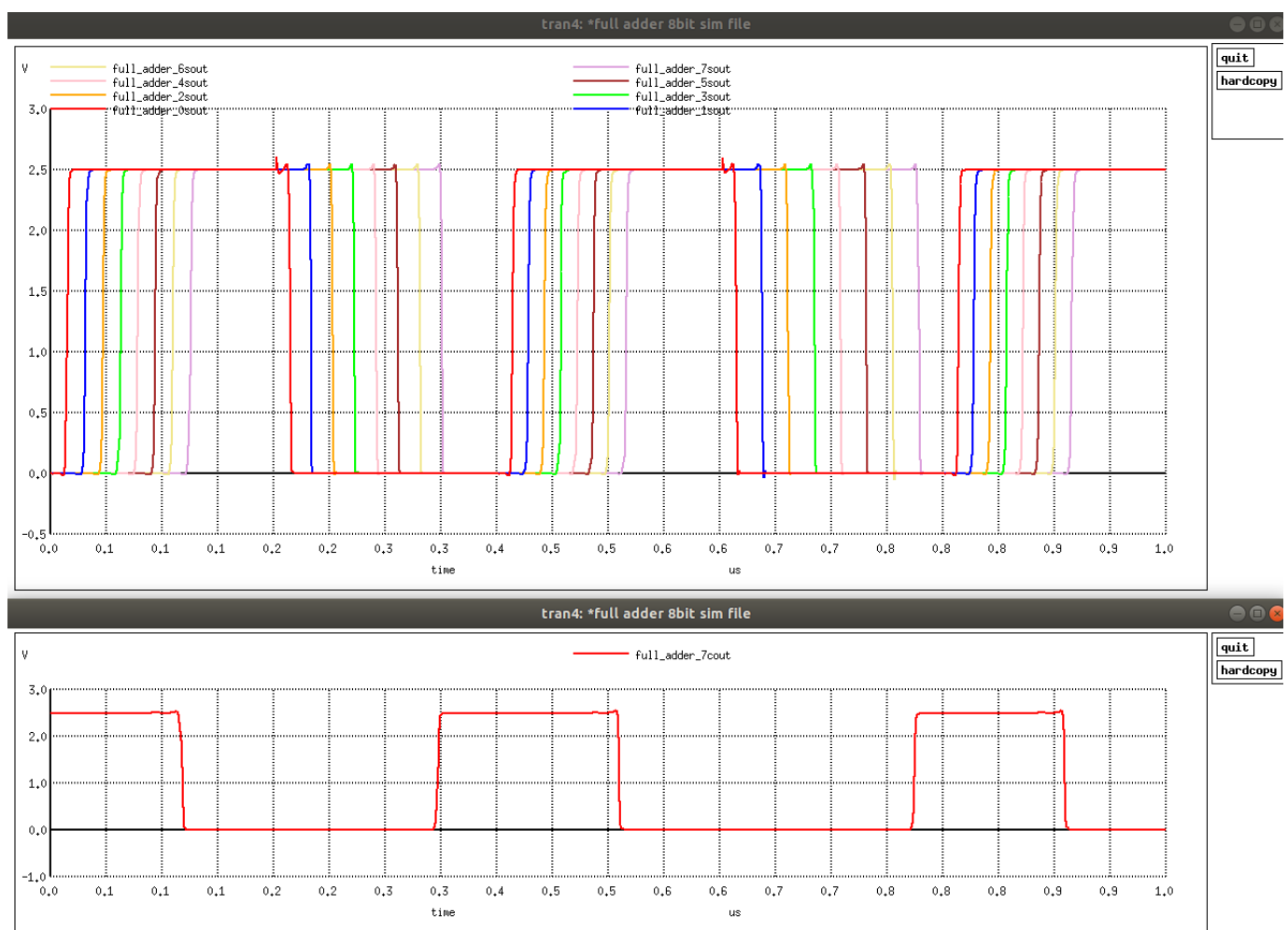
Είναι σημαντικό να αναφέρουμε ότι όπως και περιμέναμε το cout προηγείται του sout στις μεταβολές μιας και είναι το σήμα το οποίο έχει το ενδεχόμενο να επηρεάσει το sout. Εξού και η καθυστέρηση που υπάρχει μεταξύ των εναλλαγών.

### Σχεδίαση Κάτοψης(για 8bit)

Για αυτό το σκέλος κάναμε τις κατάλληλες διασυνδέσεις μεταξύ cin και cout ενδιάμεσων αρθροιστών.

Έτσι οι μόνες εξαιρέσεις είναι το cin του full\_adder\_0 cell και το cout του full\_adder\_7 cell (περισσότερα και καλύτερα μπορούν να φανούν στο αρχείο .mag που θα συνοδευθεί με την αναφορά).

Παρακάτω τα αποτελέσματα της προσομείωσης:



Αρχικά, κάνουμε πρόσθεση του αριθμούς  $A=11111111$ ,  $B=00000000(0/1)$  και  $Cin=0$  όπου ουσιαστικά το LSB του B μεταβαίνει από 0 σε 1. Αυτό το κάνουμε γιατί θα μας βοηθήσει στο να έχουμε overflow και κάθε bit του Sout να αλλάζει κατάσταση.

Όπως φαίνεται στις εικόνες αρχικά έχουμε το (στο χρόνο 0) έχουμε  $B=00000001$  άρα και όλα τα  $Sout[7:0]=0$  και  $Cout=1$  το οποίο και γίνεται. Ύστερα αφού πέσει το LSB του B στο 0 θα έχουμε επαναφορά των  $Sout[7:0]$  στο 1. Πράγματι από το full\_adder\_0 (το LSB του adder) βλέπουμε την μεταβολή στο Sout και αλυσιδωτά κάθε Sout μέχρι και τον full\_adder\_7/Sout έχουμε αλλαγή στο 1. Τέλος, το

full\_adder\_7/cout μεταβαίνει και αυτό στο 0 (χρονικά συμβαίνει ελαφρώς πιο πριν την αλλαγή του Sout στον full\_adder\_7).

## Άσκηση 2

Στην άσκηση 2 έχουμε να σχεδιάσουμε και να προσομοιώσουμε ένα latch επιβολής κατάστασης σε επίπεδο spice.

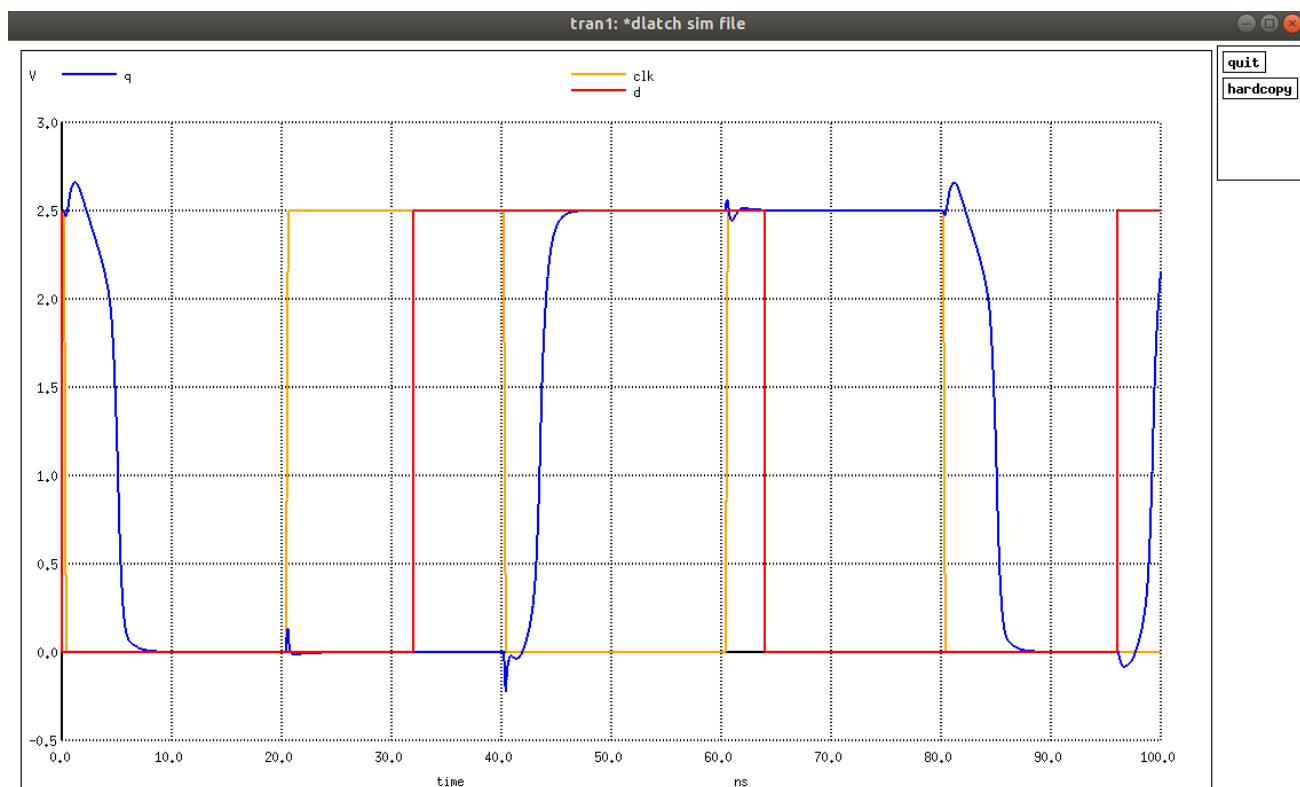
Για την δημιουργία του σε αυτό χρησιμοποιούμε την κάρτα **.subckt**, όπου θέτουμε τους inverters, το sram cell (τους inverters με την ανάδραση) και το pass gate.

Στα μεγέθη των transistor έχουμε επιλέξει:

- Για τον inverter που οδηγεί το D και τον inverter που βγάζει την έξοδο Q έχουμε  $W_{\text{pmos}} = 27\mu$  και  $W_{\text{nmos}} = 9\mu$ .
- Για τον inverter που της ανάδρασης έχουμε  $W_{\text{pmos}} = 9\mu$  και  $W_{\text{nmos}} = 3\mu$ .
- Για το pass gate έχουμε  $W_{\text{pmos}} = 18\mu$  και  $W_{\text{nmos}} = 6\mu$ .

Ύστερα, τα διασυνδέουμε κατάλληλα για να δημιουργήσουμε το κύκλωμα που ζητείται. Παρακάτω ο πίνακας αληθείας:

CLK	D	Q
0	0	0
1	0	Q
0	1	1
1	1	Q



Το latch είναι ενεργό στην αρνητική ακμή ακμή του ρολογιού, άρα με την πτώση του ρολογιού στο 0, θα έχουμε εναλλαγή της εξόδου Q με βάση το D.

Στην εικόνα της προσομοίωσης ,στο πρώτο μέρος (από 0-40ns) η είσοδος D είναι 0 και στην αρχή το Q αλλάζει και παραμένει στο 0 για όλη τη περίοδο του ρολογιού.

Ύστερα,όταν το ρολόι πηγαίνει ξανά στο 0 βλέπουμε ξανά την είσοδο D ,η οποία έχει πάει στο 1 και αλλάζουμε το Q από 1 σε 0.Αυτό παραμένει στο 1 για τη συγκεκριμένη περίοδο του ρολογιού(40ns-80ns).

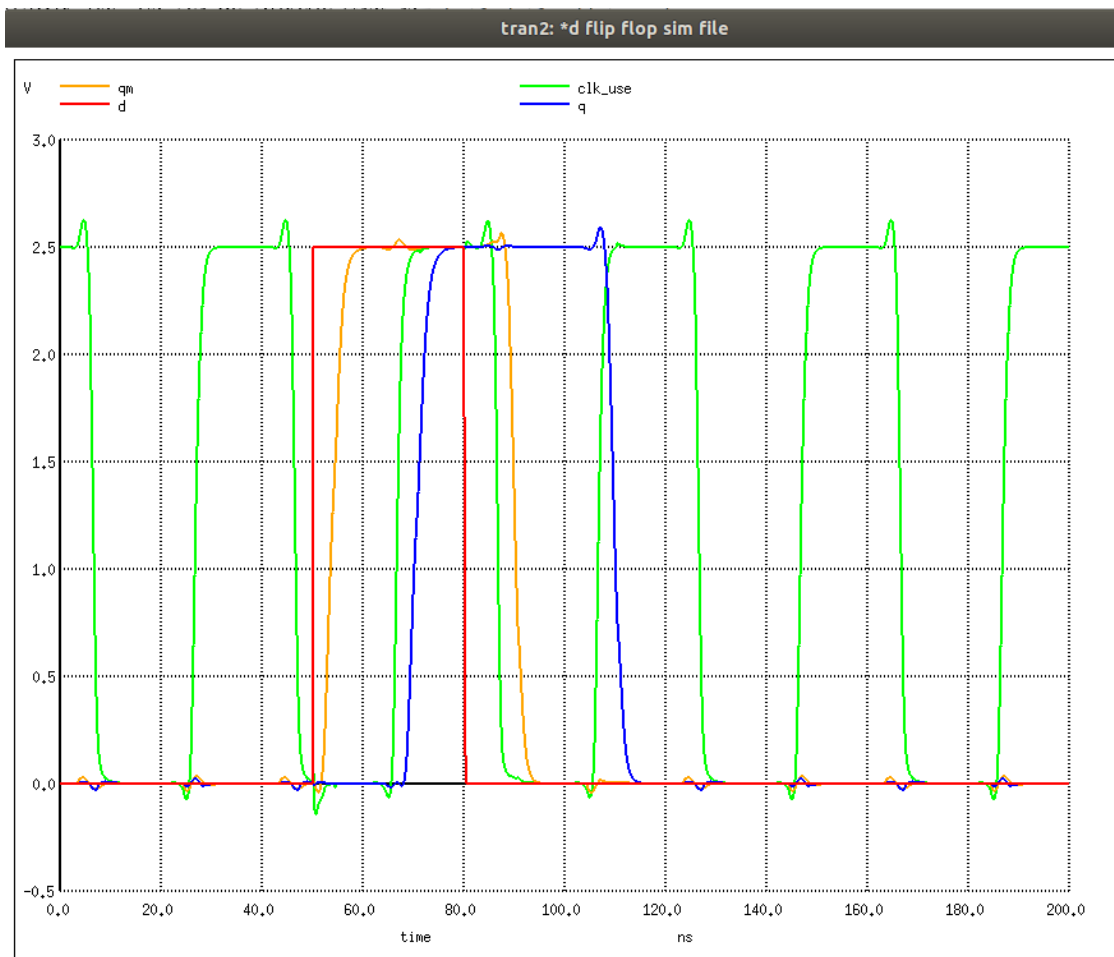
### Άσκηση 3

Στην άσκηση 3 έχουμε να σχεδιάσουμε και να προσομοιώσουμε ένα flip-flop σε επίπεδο spice.

Αρχικά ,προσομοιώνουμε τον πίνακα αληθείας :

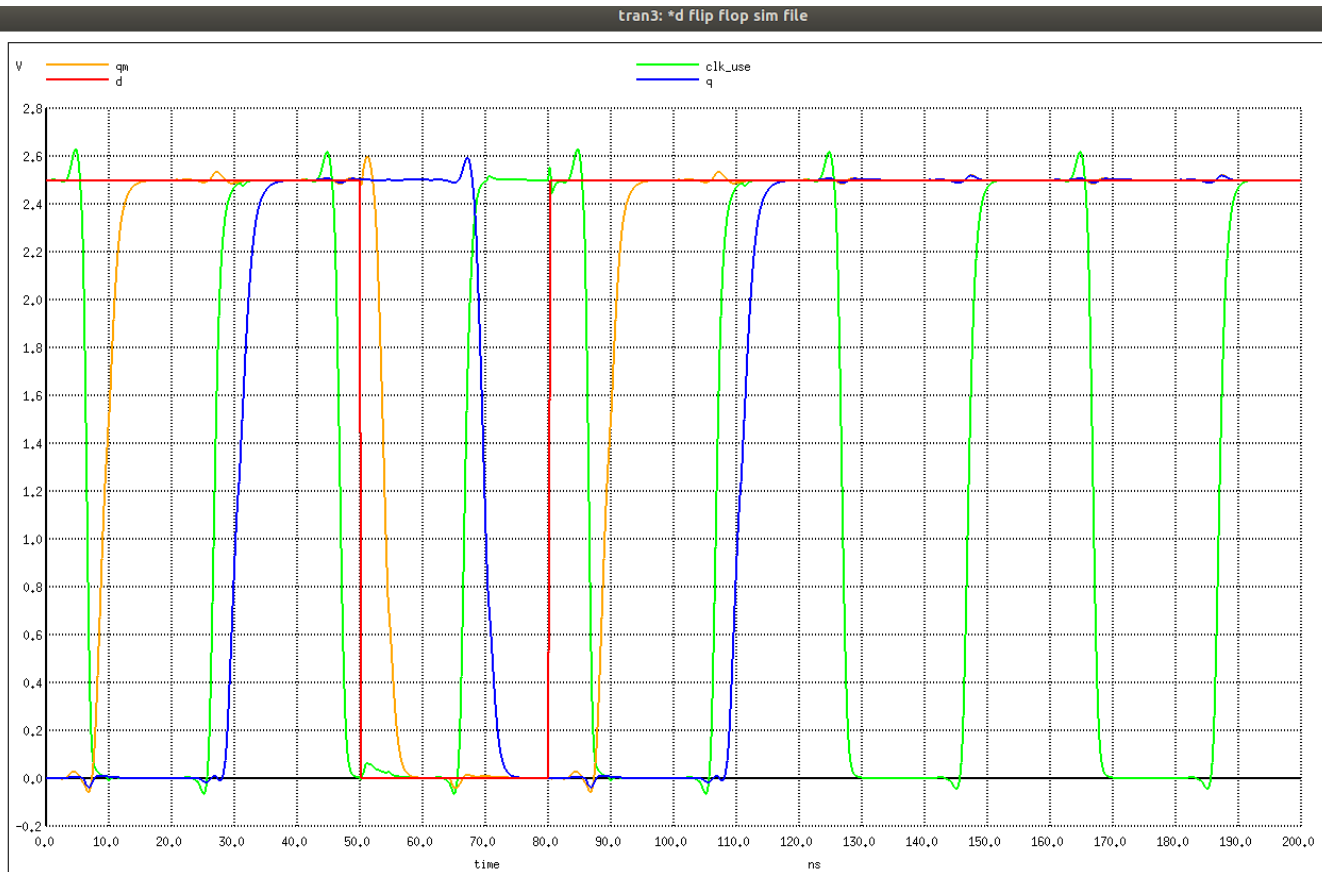
CLK	D	Q
↑	0	0
↑	1	1
else	x	Q

Για την πρώτη περίπτωση:



Έχουμε παλμό στην είσοδο D που περνάει στην έξοδο Q μόνο αφότου το ρολόι βρίσκεται στην θετική ακμή (το ρολόι είναι το clk\_use) και κρατάει το δεδομένο μέχρι την επόμενη ακμή. Στην επόμενη ακμή αφού το D είναι 0 η τιμή του Q επιστρέφει στο 0.

Όμοια πράτουμε και για την αντίστροφη περίπτωση όπου έχουμε παρόμοια αποτελέσματα.



Τώρα με βάση την πρώτη περίπτωση (τον θετικό παλμό D δηλαδή) κάνουμε μετρήσεις πάνω στους χρόνους που ζητούνται με φορτίο Cg1 και χρόνο ανόδου/καθόδου 200ps:

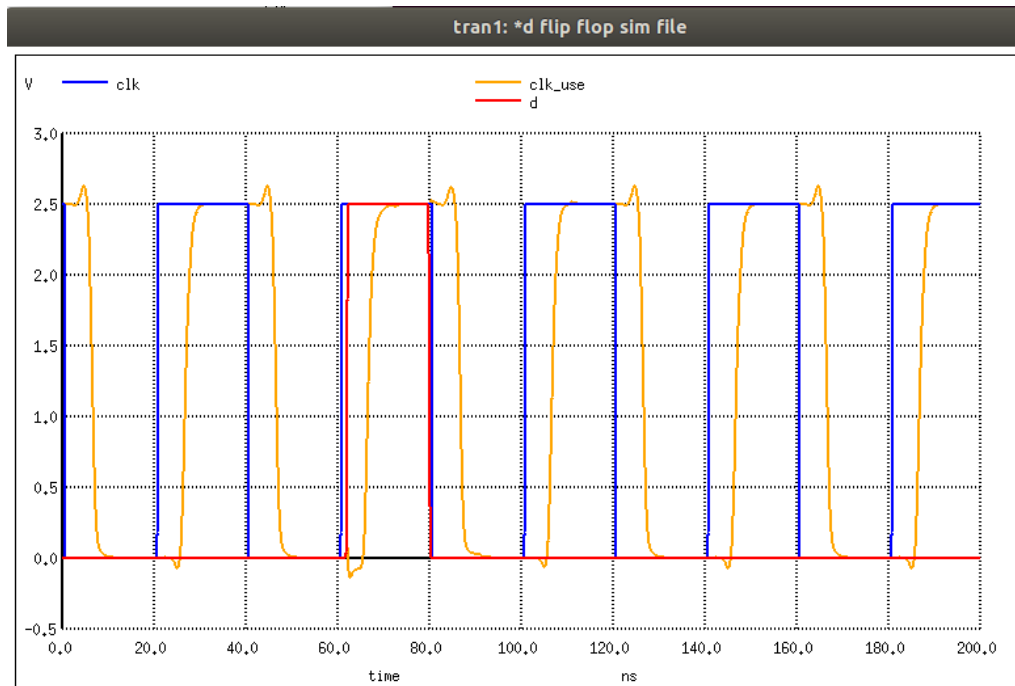
$t_{rise(qm)}$	3.67ns
$t_{fall(qm)}$	3.01ns
$t_{rise(q)}$	3.68ns
$t_{fall(q)}$	2.94ns
Clock to q	9.68ns
Hold Time	5.88ns

Και για φορτίο Cg1 και χρόνο ανόδου/καθόδου 400ps:

$t_{rise(qm)}$	3.67ns
$t_{fall(qm)}$	3.01ns
$t_{rise(q)}$	5.09ns
$t_{fall(q)}$	3.95ns
Clock to q	10.54ns
Hold time	5.91ns

Άρα το setup είναι 0 και στις δύο περιπτώσεις.

Αυτό μπορεί να φανεί από την παρακάτω εικόνα:



Εξαιτίας τη μεγάλης καθυστέρησης μεταξύ εξωτερικού ρολογιού clk και ρολογιου που χρησιμοποιεί το flip-flop ,το clk\_use, ουσιαστικά ο χρόνος setup είναι αρνητικός (αν μετρήσουμε ως προς το ρολόι clk και όχι το clk\_use).

Στη συγκεκριμένη εικόνα ενώ ο παλμός D έρχεται μετά το ρολόι clk πάλι περνά στην έξοδο Q.Αυτό δεν είναι λάθος μιας και το flip-flop βλέπει το ρολόι clk\_use το οποίο είναι και αυτό που προκαλεί τις εναλλαγές σε αυτό.Άρα το setup time στο clk\_use τηρείται και το flip-flop λειτουργει σωστά.

Άρα αυτό που μετράμε είναι το χρόνο hold ο οποίος είναι ο χρόνος ο οποίος πρέπει να είναι σταθερά τα δεδομένα μετά την άφιξη της ακμή του clk.Όταν παρατηρήσουμε περίπου αύξηση 5% στο clock\_to\_q τότε θα έχουμε το hold time,δηλαδή το χρόνο από το 50% της τιμής του clk εως το 50% του clk\_use.

Τέλος,με την αύξηση του χρόνου ανόδου καθόδου αλλά και του φορτίου θα δούμε αύξηση στο χρόνο που αλλάζει η έξοδος Q ,μιας και έχει να οδηγήσει επιπλέον φορτίο.

Άξιο αναφοράς είναι ότι ο χρόνος ανόδου του Qm δεν αλλάζει σε καμία περίπτωση αφού είναι εσωτερικός κόμβος του Flip-Flop.