

Dispositivos Lógicos Programáveis

Prof. MSc. André Macário Barros

12/03/2019

PLD – Conceito

- PLD (*Programmable Logic Device*): é um dispositivo que recebe a programação de um circuito digital determinado pelo projetista.

PLD – Vantagem

- Através dos PLDs é possível a utilização de lógicas específicas para determinado fim, criando-se desta forma um *chip*, para determinadas funções.
- Antes disto, usavam-se “*n*” *chips* TTL associados, ocupando espaço, trilha e consumo de corrente nos circuitos impressos para se fazer a mesma função.

PLD – Vantagem

- Através dos PLDs foi possível trazer para laboratórios de desenvolvimento uma tecnologia que até então estava disponível para a fabricação de chips em larga escala, que eram os ASICs (*Application Specific Integrated Circuits*).
- Porém, o custo de produção de um ASIC é altíssimo quando comparado com os poucos dólares desembolsados em um PLD.

PLD – Exemplo

- Considere a seguinte função lógica:
 - $y = (A + B)' \cdot (C \oplus B)$
- Esta função tem:
 - 1 OR, 1 NOT, 1 AND e 1 XOR

PLD – Exemplo (cont.)

- Se fôssemos utilizar CIs TTL para implementar este circuito:
 - Um 7432 (OR): 3 portas não usadas
 - Um 7404 (NOT): 5 portas não usadas
 - Um 7408 (AND): 3 portas não usadas
 - Um 7486 (XOR): 3 portas não usadas
- Todos com 14 pinos.

PLD – Exemplo (cont.)

- Usando um PLD necessitaríamos somente de um *chip* e escolheríamos um modelo com três entrada e uma saída.
- Menos espaço, menos consumo, menos chances de falhas (1 *chip* versus 4 usando TTL).

PLD – Classificação

- Os PLDs são classificados conforme segue:
 - SPLDs (*Simple PLDs*):
 - PAL
 - PLA
 - GAL / PALCE
 - CPLDs; e
 - FPGAs

Primeiros PLDs

- Foram as PALs (*Programmable Array Logic*) e as PLAs (*Programmable Logic Arrays*). A diferença entre uma e outra consistia no esquema de programação.
- Em grande parte de sua existência, as PALs/PLAs só permitiam a implementação de circuitos combinacionais e, com o avanço da tecnologia, buscou-se mantê-las no mercado oferecendo-se recursos para a implementação de circuitos sequenciais, desde que fossem simples (veja o código de um contador na Fig. 4).

Primeiros PLDs

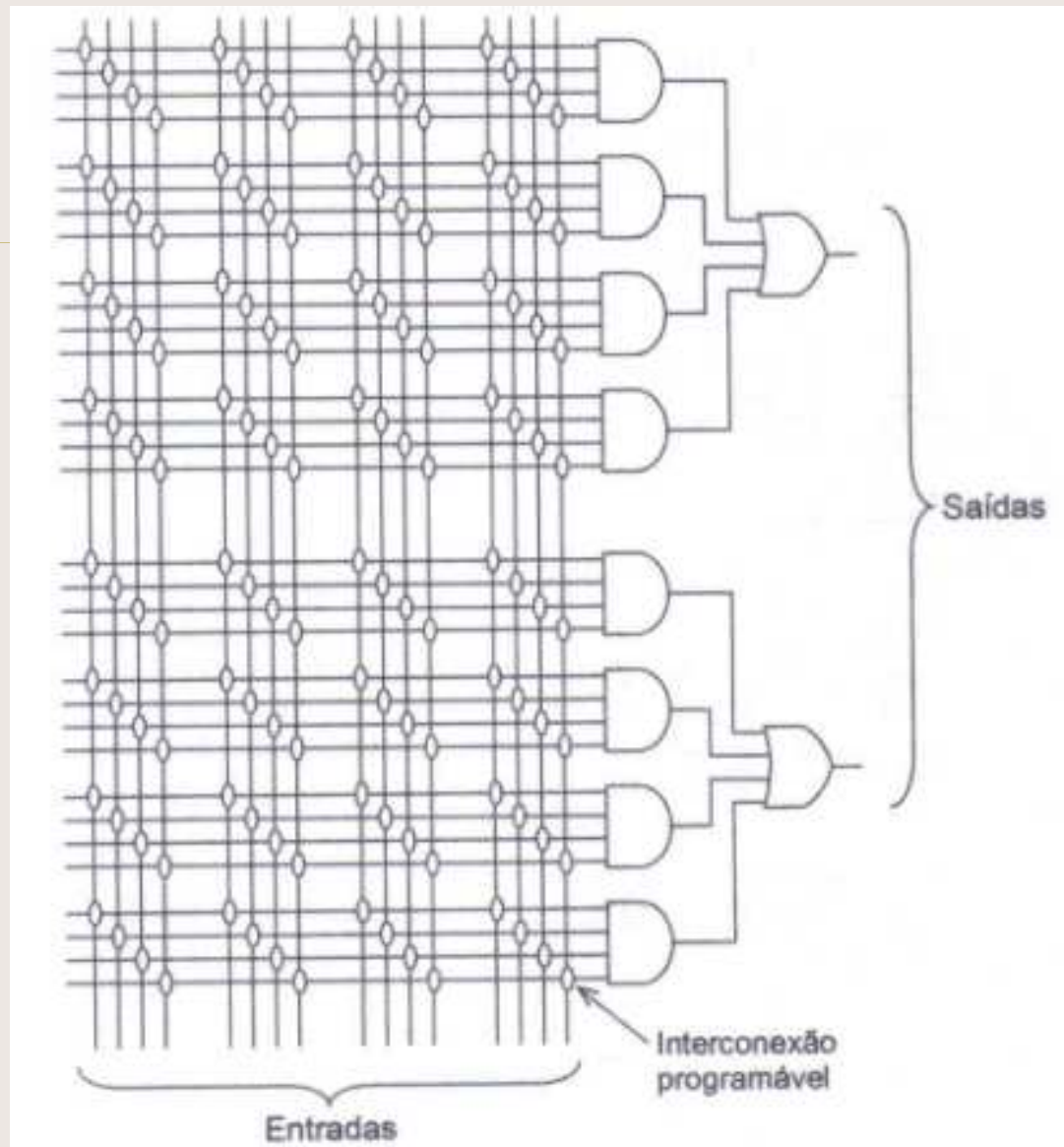
- A tecnologia para a programação das PLAs/PALs era do tipo fusível/antifusível. Logo, admitem uma única programação, isto é, caso o projetista necessitasse efetuar uma alteração no circuito programado, um outro dispositivo deveria ser usado.

PAL - Estrutura

- Um exemplo de como era uma PAL está apresentado na Figura 1, que contém um arranjo programável de interconexões para portas AND e um arranjo fixo de interconexões para portas OR.

PAL

Figura 1



PAL - Programação

- Qualquer função lógica pode ser escrita nas formas Soma de produtos (SOP) ou Produtos de somas (POS).
- Para estes dispositivos serem programados, bastam as formas SOP ou POS.
- PALs eram programados através de uma ferramenta (Fig. 4) que dispunha de *solvers* capazes de obter as expressões SOP ou POS a partir de uma função lógica qualquer.

PAL – Programação



PAL16R4 PAL PAL DESIGN SPECIFICATION
CNY48C
4 bit counter with synchronous clear
Michael Holley and Dave Fellerin
Clk Clear NC NC NC NC NC NC NC GND
OE NC NC /Q3 /Q2 /Q1 /Q0 NC NC VCC

Q3 := Clear
+ /Q3 * /Q2 * /Q1 * /Q0
+ Q3 * Q0
+ Q3 * Q1
+ Q3 * Q2

Q2 := Clear
+ /Q2 * /Q1 * /Q0
+ Q2 * Q0
+ Q2 * Q3

Q1 := Clear
+ /Q1 * /Q0
+ Q1 * Q0

Q0 := Clear
+ /Q0

FUNCTION TABLE

OE	Clear	Clk	/Q0	/Q1	/Q2	/Q3
L	H	C	L	L	L	L
L	L	C	H	L	L	L
L	L	C	L	H	L	L
L	L	C	H	H	L	L
L	L	C	L	L	H	L
L	H	C	L	L	L	L



Figura 2

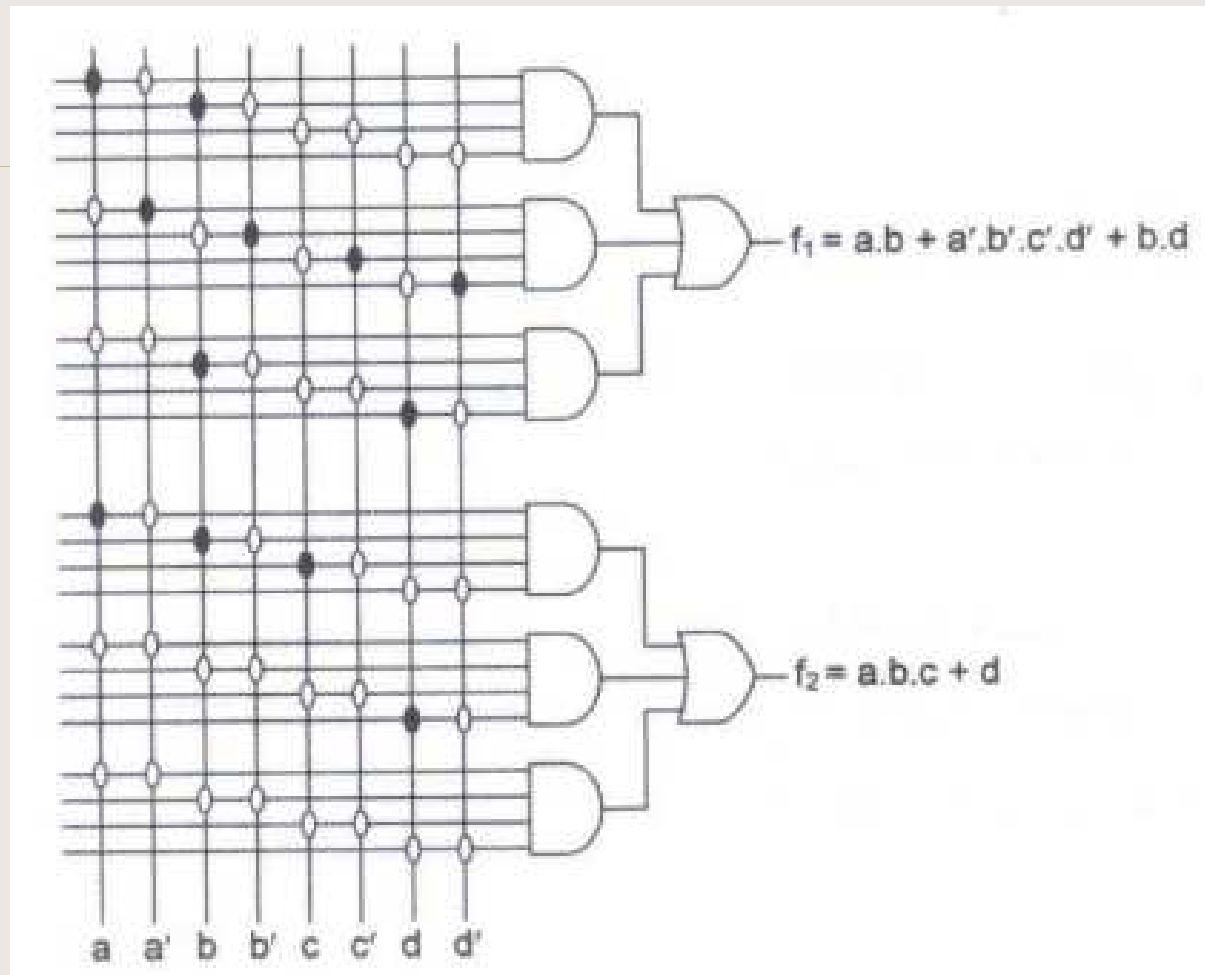


PAL - Programação

- Por exemplo, as funções lógicas a seguir seriam programadas no arranjo conforme está apresentado na Figura 3
 - $f_1 = ab + abcd' + bd$
 - $f_2 = abc + d$

PAL

Figura 3



PAL – Exemplo



PAL – Exemplo de Código para Contador 4 *bits*

Figura 4

```
PAL16R4 PAL                PAL DESIGN SPECIFICATION
CNT4SC
4 bit counter with synchronous clear
Michael Holley and Dave Pellerin
Clk Clear NC NC NC NC NC NC NC GND
OE NC      NC /Q3 /Q2 /Q1 /Q0 NC NC VCC

Q3 := Clear
    + /Q3 * /Q2 * /Q1 * /Q0
    + Q3 * Q0
    + Q3 * Q1
    + Q3 * Q2

Q2 := Clear
    + /Q2 * /Q1 * /Q0
    + Q2 * Q0
    + Q2 * Q1

Q1 := Clear
    + /Q1 * /Q0
    + Q1 * Q0

Q0 := Clear
    + /Q0

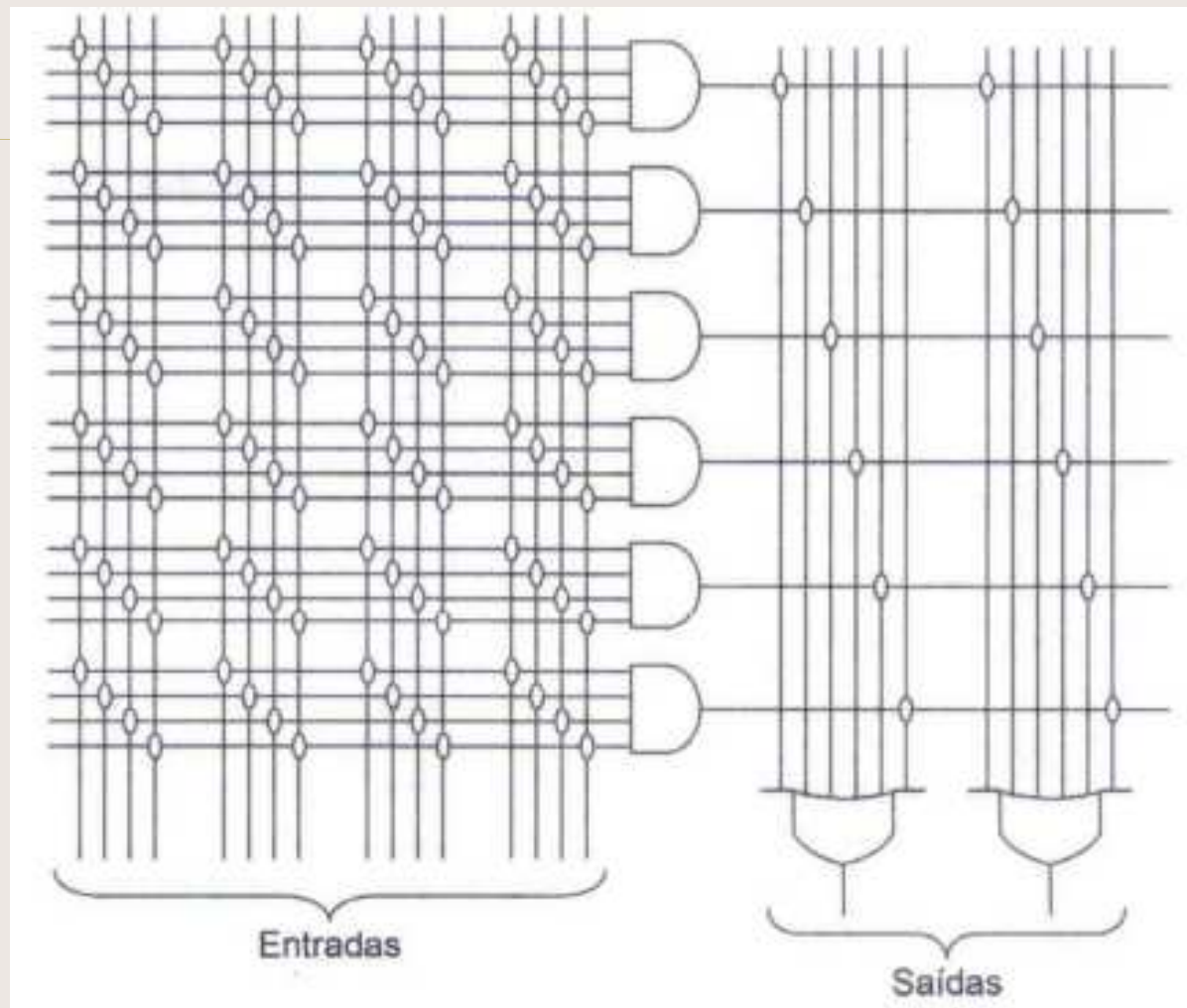
FUNCTION TABLE
OE Clear Clk  /Q0 /Q1 /Q2 /Q3
-----
L  H  C  L  L  L  L
L  L  C  H  L  L  L
L  L  C  L  H  L  L
L  L  C  H  H  L  L
L  L  C  L  L  H  L
L  H  C  L  L  L  L
-----
```

PLA

- As PLAs operam de forma análoga às PALs, entretanto oferecem vantagem de oferecer arranjos programáveis para interconexões AND e OR.
- Veja Figura 5.

PLA

Figura 5



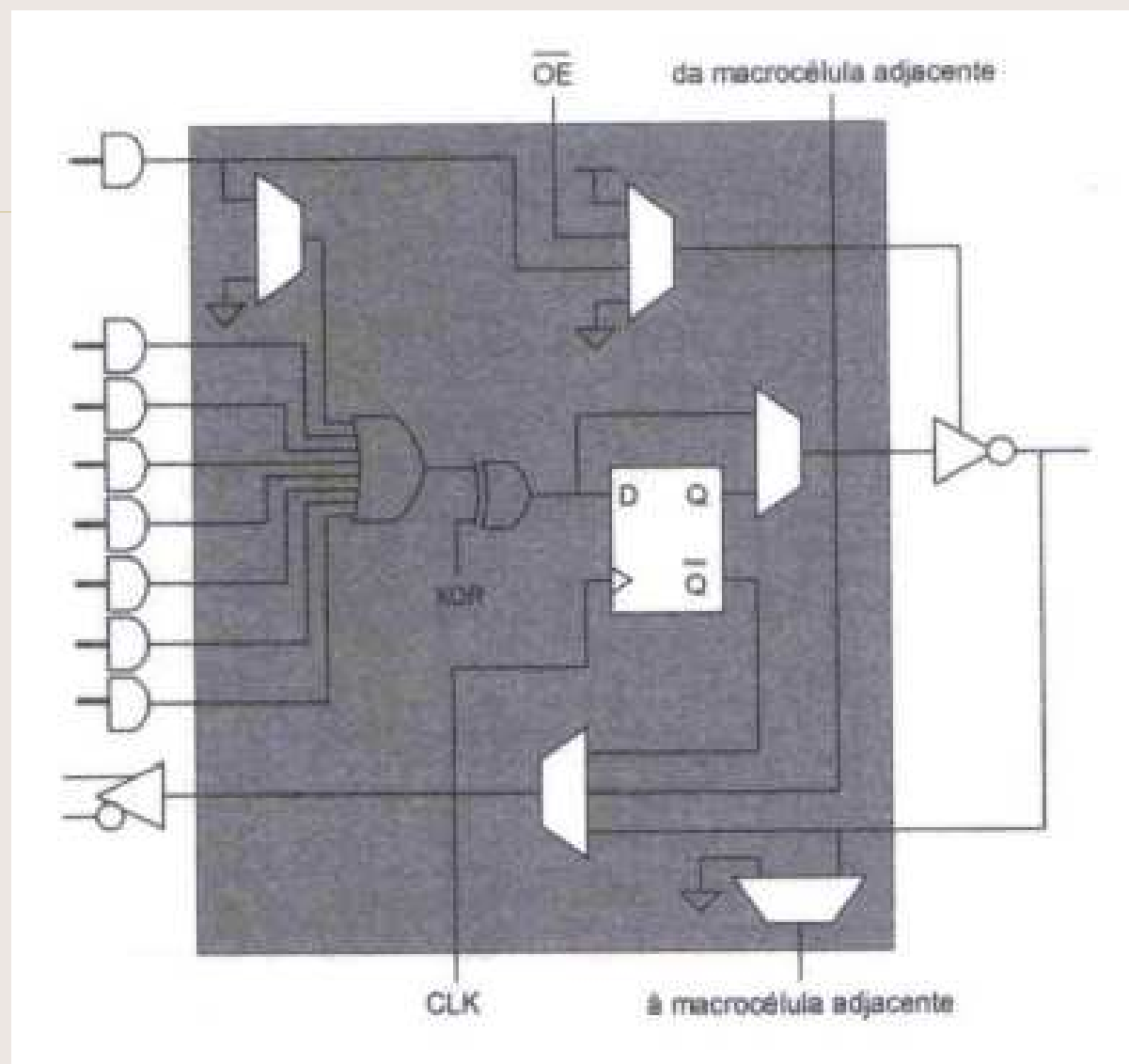
GAL

- A GAL (*Generic Array Logic*) é um PLD que oferece os seguintes avanços tecnológicos frente às PALs/PLAs:
 - São organizadas em um arranjo com portas AND e com macrocélulas;
 - Têm um sinal de retorno; e
 - São reprogramáveis.

GAL – Macro célula

- Uma macro célula contém:
 - Um *flip-flop*;
 - Uma porta XOR; e
 - Cinco multiplexadores.
- Esta estrutura permite vários modos de funcionamento, inclusive circuitos sequenciais mais complexos do que os que eram obtidos nas PALs/PLAs. Veja Fig. 6.

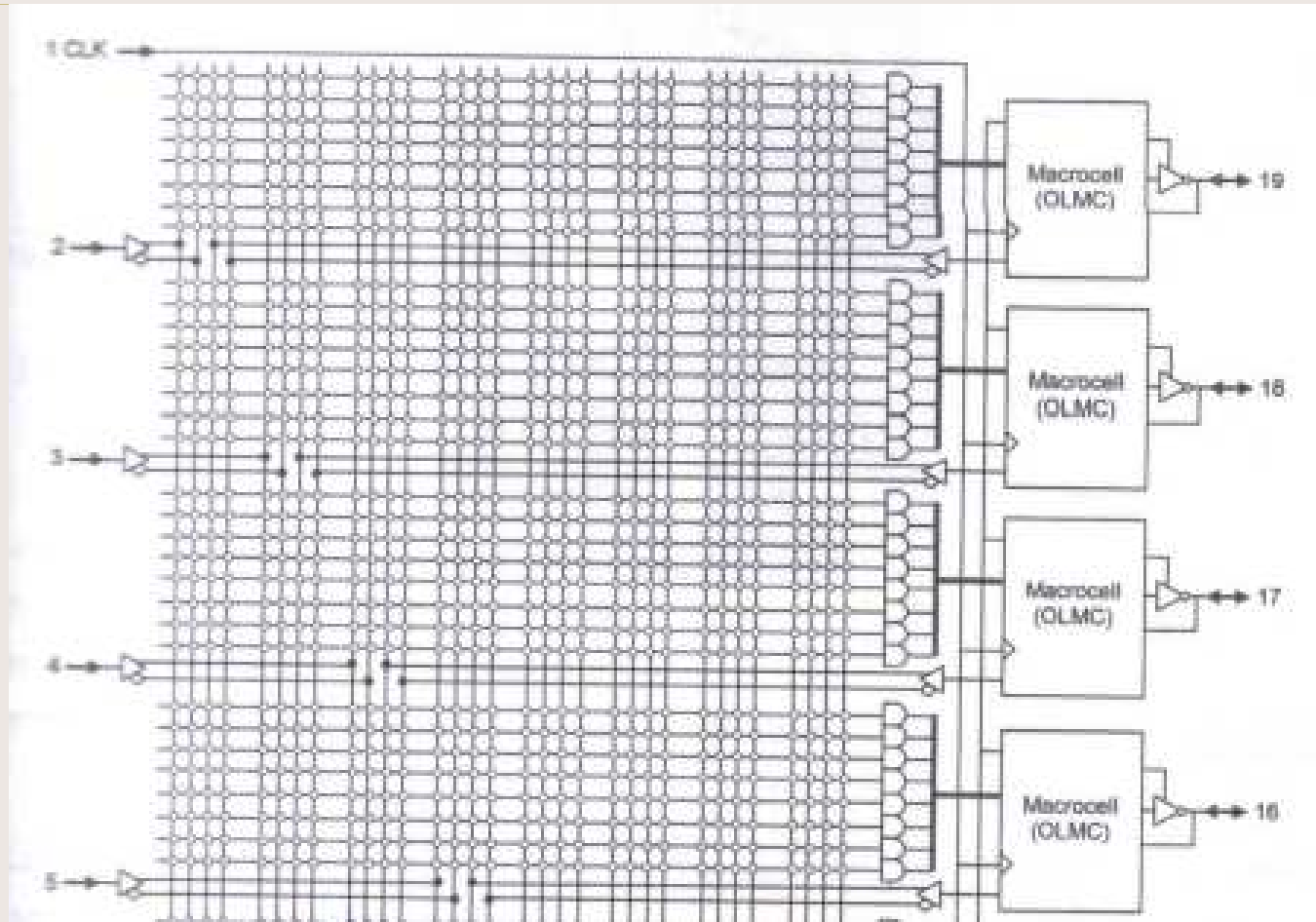
GAL Macro célula Figura 6



GAL – Sinal de Retorno

- As GALs têm um sinal (uma conexão) de retorno que sai de cada macrocélula e conecta-se ao arranjo programável de portas AND.
- Este recurso assegura uma maior versatilidade para a implementação de circuitos idealizados pelo projetista.
- Veja Figura 7.

GAL – Figura 7



GAL – Reprogramabilidade

- As GALs são reprogramáveis, pois suas interconexões são feitas com a tecnologia das EEPROMs, ao invés dos fusíveis/antifusíveis usados para programar-se uma única vez as PALs/PLAs.

PALCE

- PALCE (*PAL CMOS electrically erasable/programmable device*) é outro nome em que podem ser encontrados *chips* programáveis com as mesmas características das GALs.

CPLD

- CPLD (*Complex PLD*) é um dispositivo programável que apresenta os seguintes avanços tecnológicos frente às GAL/PALCE:
 - Interface JTAG;
 - *Drivers* modernos de I/O;
 - Grande número de pinos; e
 - Baixo custo.

CPLD – Interface JTAG

- O CPLD possuir uma interface de programação e teste do tipo JTAG (*Joint Test Action Group*) com outros dispositivos é vista como uma vantagem, pois é padronizada sob a norma IEEE 1149.1 e por isso não é um padrão proprietário.

CPLD – *Drivers* de I/O

- Acompanhando a tendência dos dispositivos atuais, a sinalização dos CPLDs oferece níveis como LVTTL e LVCMOS.

CPLD – Pinos

- Com o aumento da complexidade do sistema digital que um CPLD consegue implementar, aumenta também o número de pinos que o dispositivo precisa ter para conectar-se a outros sistemas.
- E neste sentido os CPLDs têm um barramento de pinos, isto é, pinos organizados e estruturados em número para serem conectados via conector/soquete.

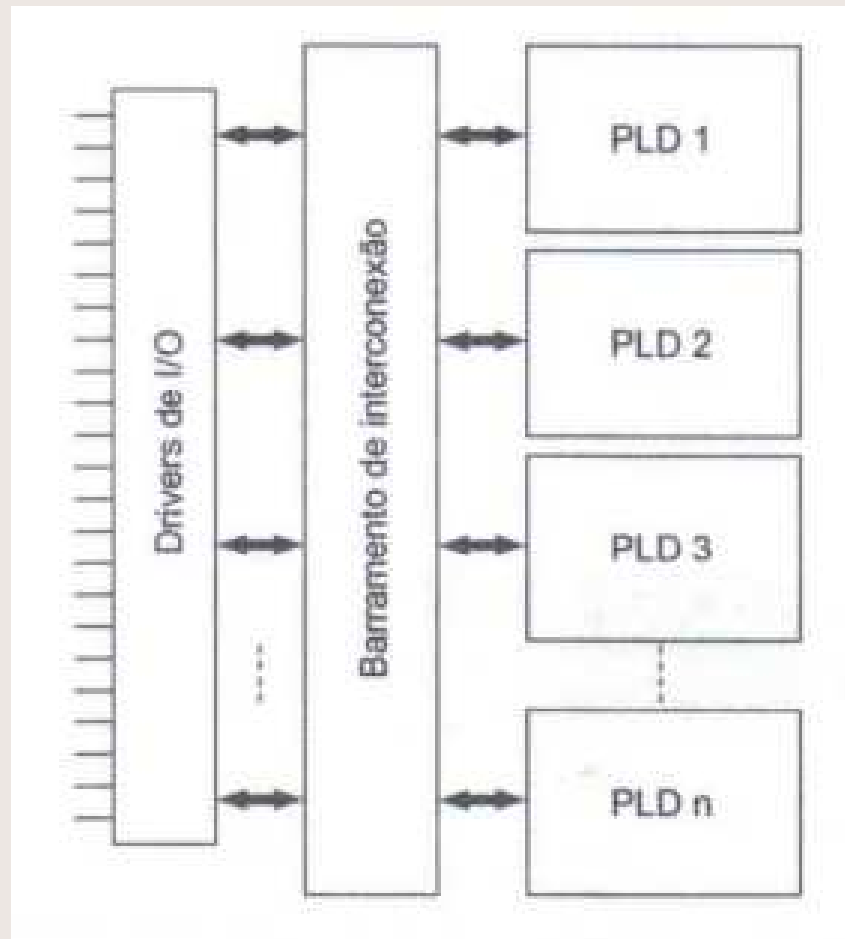
CPLD – Custo

- Há CPLDs no mercado cujo preço é tão baixo que podem ser encontrados a um dólar. Esta característica, juntamente com a complexidade que é capaz de receber, mantém o CPLD disponível no mercado (PALs, PLAs e GALs, foram descontinuados) juntamente com as FPGAs.

CPLD – Arquitetura Básica

- A Figura 8 apresenta a arquitetura básica dos CPLDs.
- Para que se tenha uma noção do aumento da complexidade deste dispositivo em comparação aos anteriores, na Figura 8, cada bloco PLD é uma GAL.

CPLD – Figura 8



CPLD – Programação

- CPLDs são encontrados avulsos ou também inseridos em *kits* de desenvolvimento, que não só são placas que têm dentro de si o dispositivo programável, mas também têm outros recursos práticos para o projetista como chaves digitais, *push buttons*, *leds*, relés, *displays*, etc e interfaces (JTAG, serial, paralela, USB, etc).
- Os fabricantes fornecem *kits* já contendo CPLD e FPGA (veja FPGAs na próxima apresentação).

CPLD – Fabricante Altera



CPLD – XC2C64A da Xilinx

Kit Spartan 3E



CPLD – *Kit* Spartan 3E de Desenvolvimento



FPGA

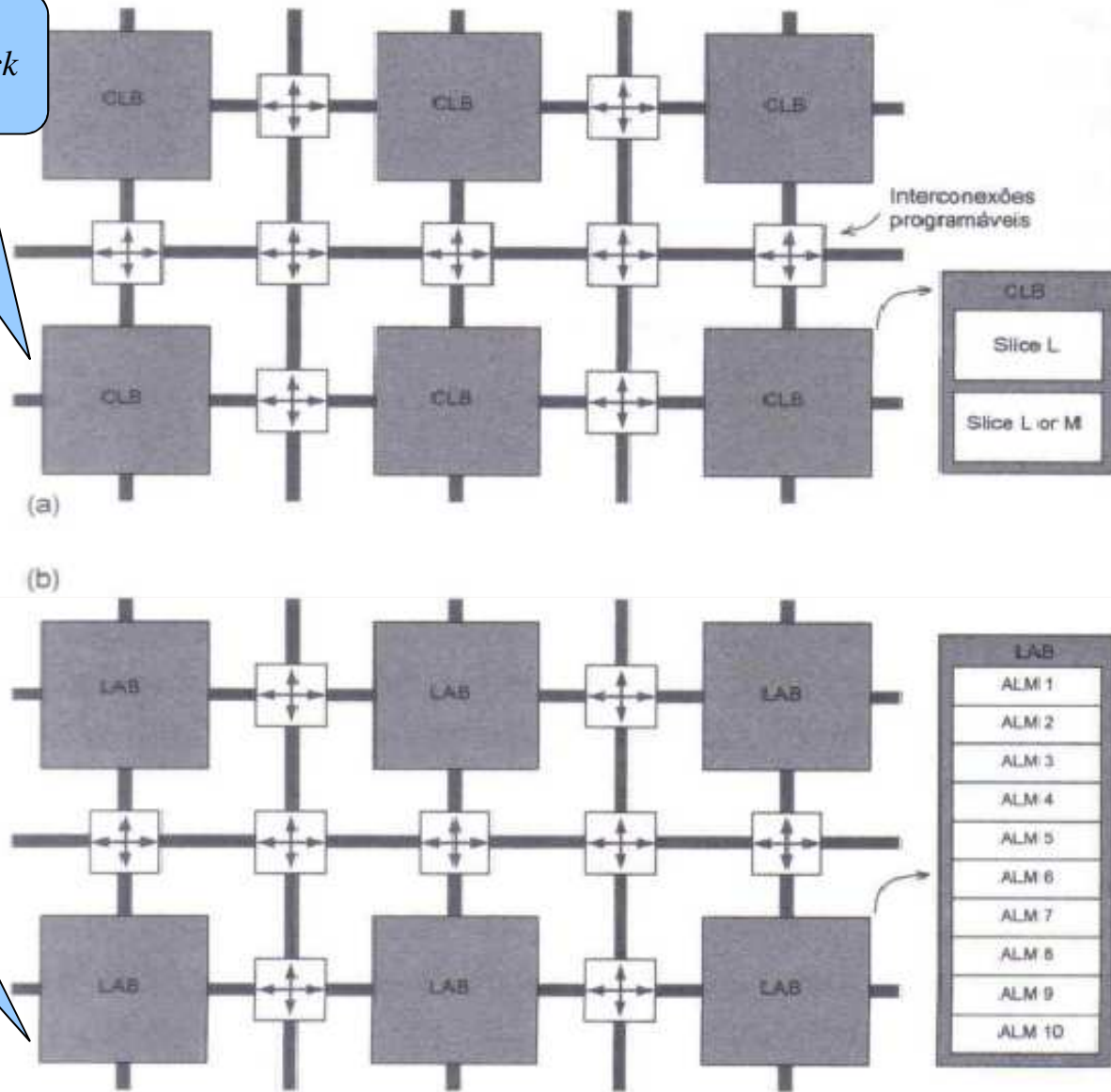
- FPGA: é um PLD que, quando comparado com os CPLDs:
 - Possui uma matriz de blocos lógicos, ao invés de uma coluna deles; e
 - Tais blocos, são menores, em maior número e mais sofisticados.
 - Veja a arquitetura simplificada da FPGA na Figura 9.

CLB
Configurable Logic Block
(Xilinx)

FPGA

Figura 9

LAB
Logic Array Block
(Altera)



FPGA XC3S500E da Xilinx

Placa Spartan 3E



FPGA – XC3S100E da Xilinx

Kit Basys 2



FPGA – Blocos Adicionais

- Devido aos avanços tecnológicos obtidos, é possível de se encontrar FPGAs com blocos adicionais, como:
 - SRAM (*Static Random Access Memory*);
 - DSP (*Digital Signal Processor*); e
 - PLL (*Phase Locked Loop*).

FPGA – SRAM

- Os blocos SRAM contidos na FPGA contribuirão para o desenvolvimento de aplicações que requeiram memória e dela possam se dispor sem necessitarem de *chips* externos para tal.
- Este tipo de acesso é mais rápido, pois ocorre dentro do *chip*.

FPGA – DSP

- Os blocos DSP são empregados nas aplicações de processamento de sinais, como áudio e vídeo. Para isto, estes blocos são especializados em multiplicar em paralelo as amostras, acumular valores e efetuar o deslocamento destas, dispensando o uso de *chips* DSPs externos para tais funções.

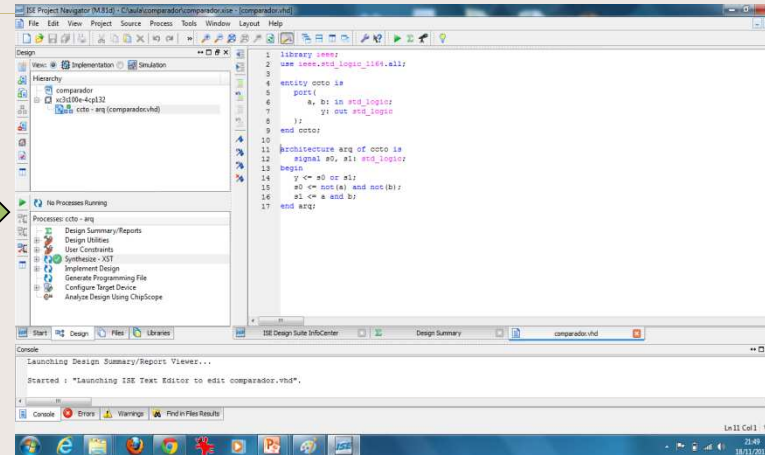
FPGA – PLL

- Os blocos PLL são responsáveis por, entre outras funções, aumentarem a frequência de um *clock* recebido.
- Devido a isto, seu emprego em aplicações de alto desempenho vem sendo necessário frequentemente, por exemplo, circuitos com VCOs (*Voltage Controlled Oscillators*).

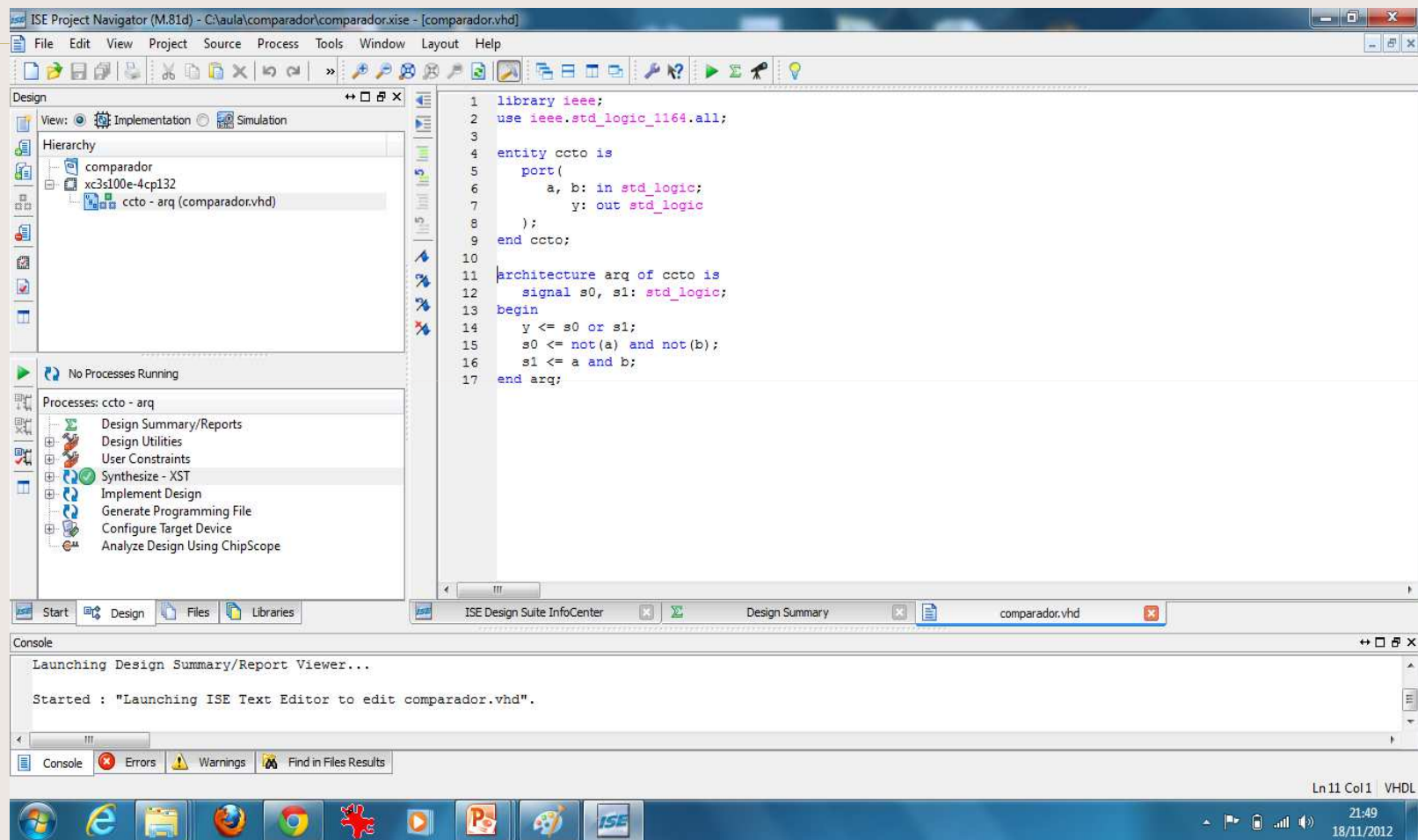
FPGA – Programação

- A programação das FPGAs, da mesma forma que nos anteriores é feita geralmente através de ferramentas de computador do tipo EDA (*Electronic Design Automation*).
- A ferramenta de EDA para os dispositivos da Xilinx era o ISE (atualmente o Vivado) e, para os dispositivos da Altera, era o Quartus (atualmente o Quartus Prime).

FPGA – Programação



FPGA – ISE



Obras Consultadas

- PEDRONI, Volnei. A. **Eletrônica Digital Moderna e VHDL**. Rio de Janeiro: Elsevier, 2010. CAPÍTULO 18.
- TAUB, Herbert. **Circuitos Digitais e Microprocessadores**. São Paulo: McGraw-Hill, 1984.