

## Síntese de códigos VHDL no ISE 12.4 – Prof. MSc. André Macário Barros – 14/03/2018

### 1. Apresentação

Este tutorial apresenta os passos que você precisa saber para criar e sintetizar um código vhdL no ISE 12.4. Embora você esteja utilizando a versão 14.7 desta ferramenta, os passos aqui apresentados também servirão para guiá-lo(a) neste sentido.

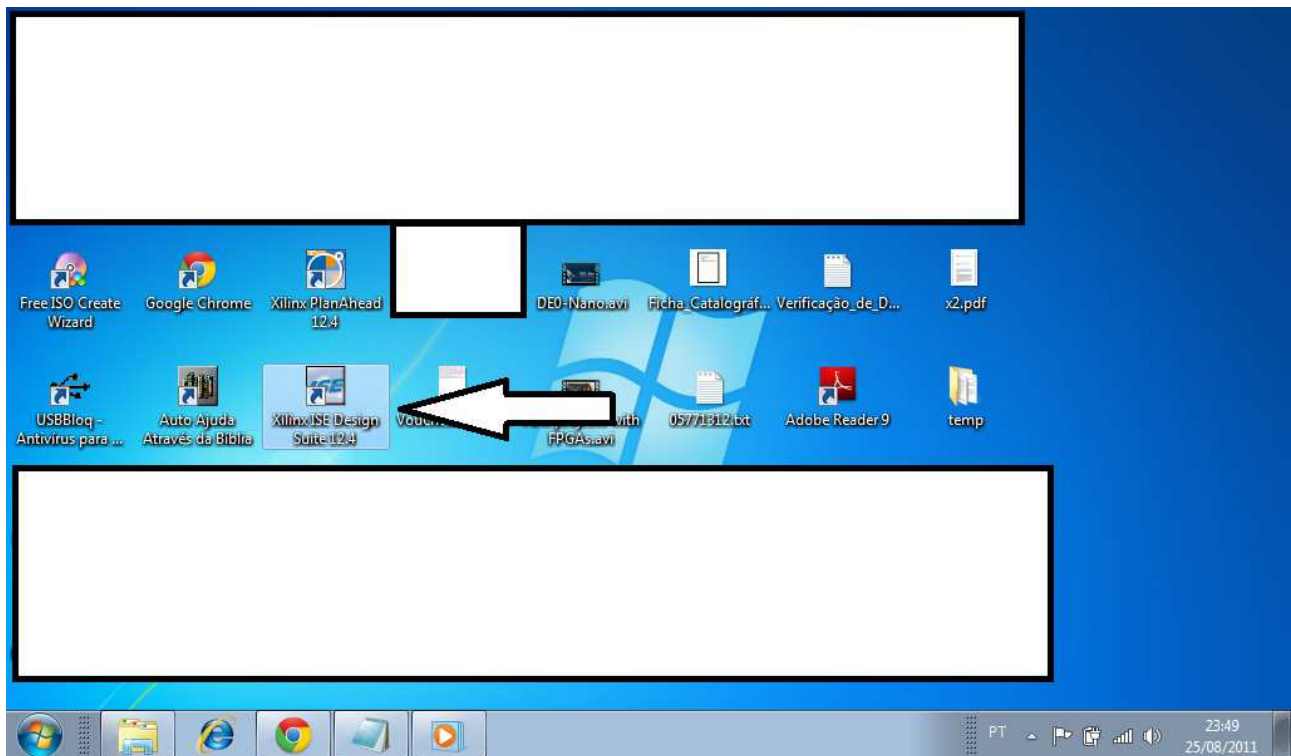
Os pré-requisitos para que você siga este tutorial são: i) ter assistido à aula de introdução à VHDL; e ii) ter o ISE 12.4 (ou o 14.7) instalado em sua máquina.

**ATENÇÃO:** este documento é um tutorial. Recomenda-se seguir aos passos na forma em que estão descritos. Depois que você tiver um maior conhecimento, aplique as variações que desejar.

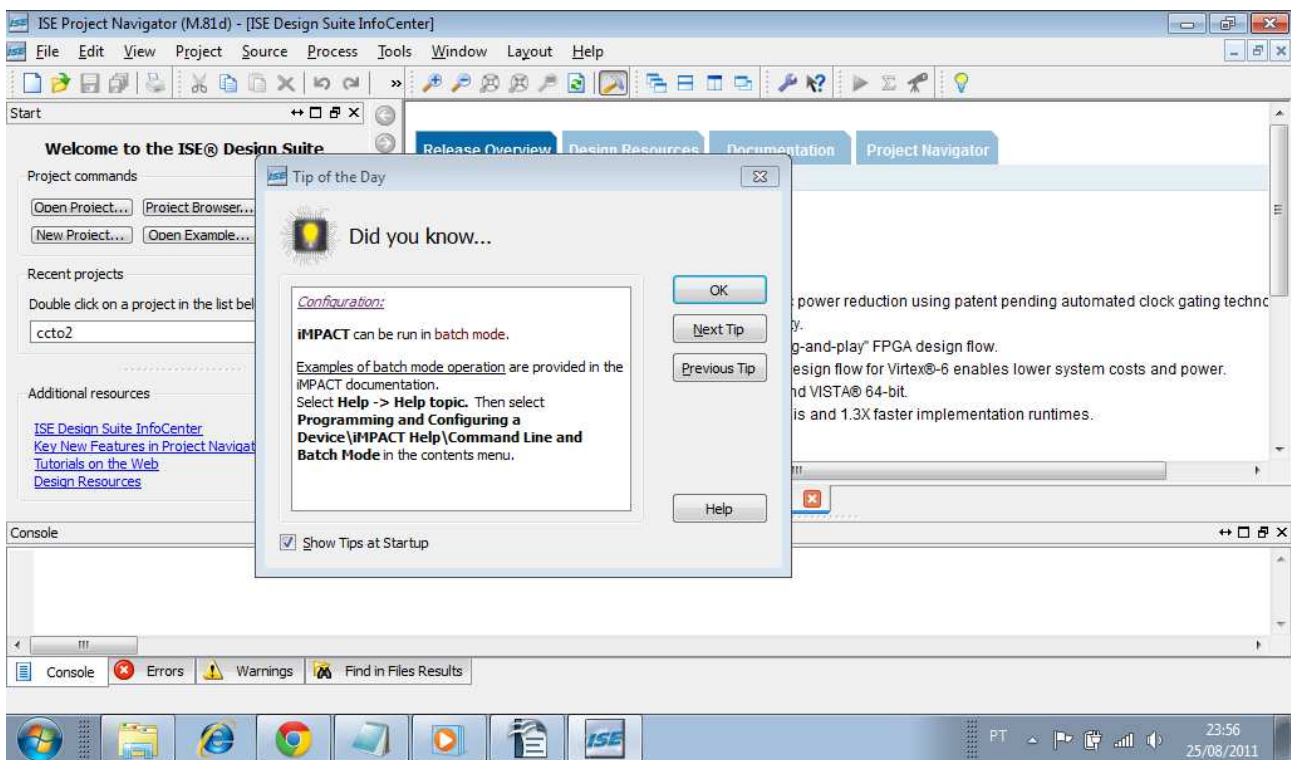
### 2. Procedimento

Para executar sua tarefa, siga os 24 passos a seguir apresentados.

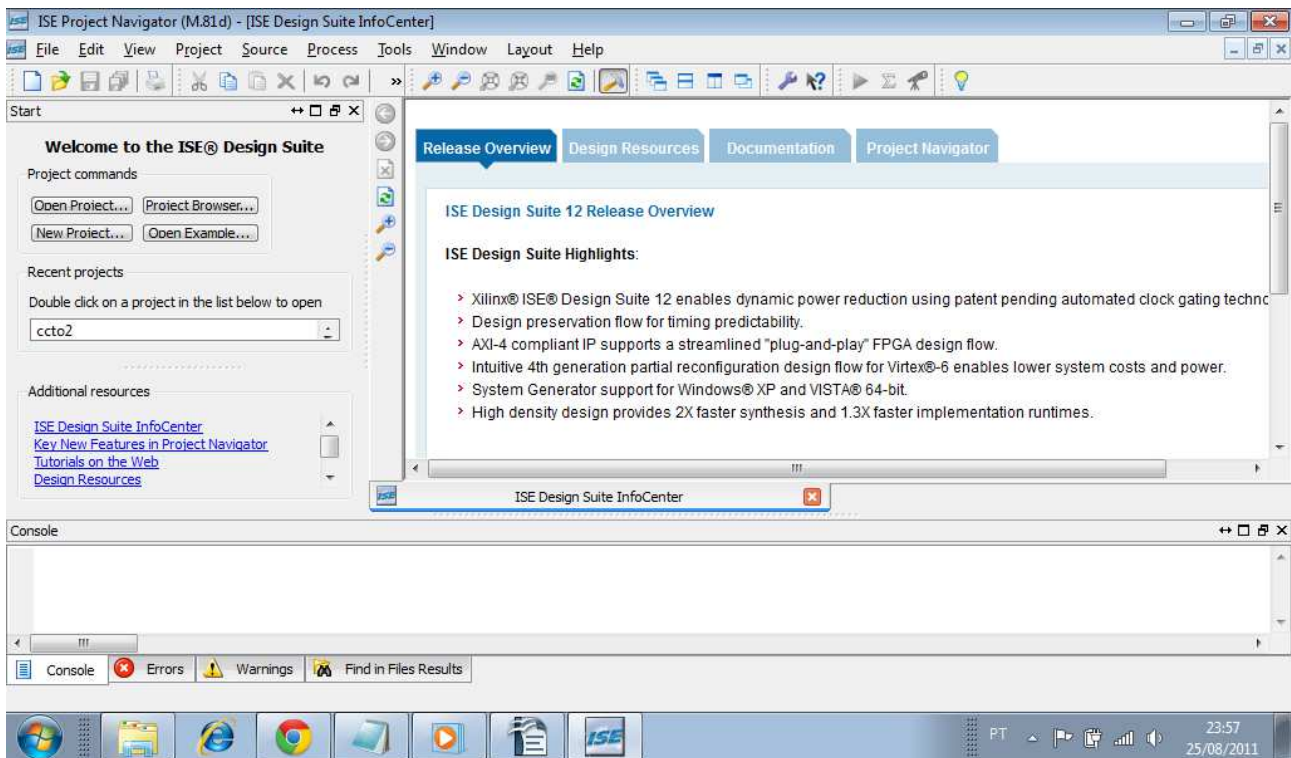
#### 2.1 Dê dois cliques no ícone no desktop intitulado “ISE Design Suite 12.4”



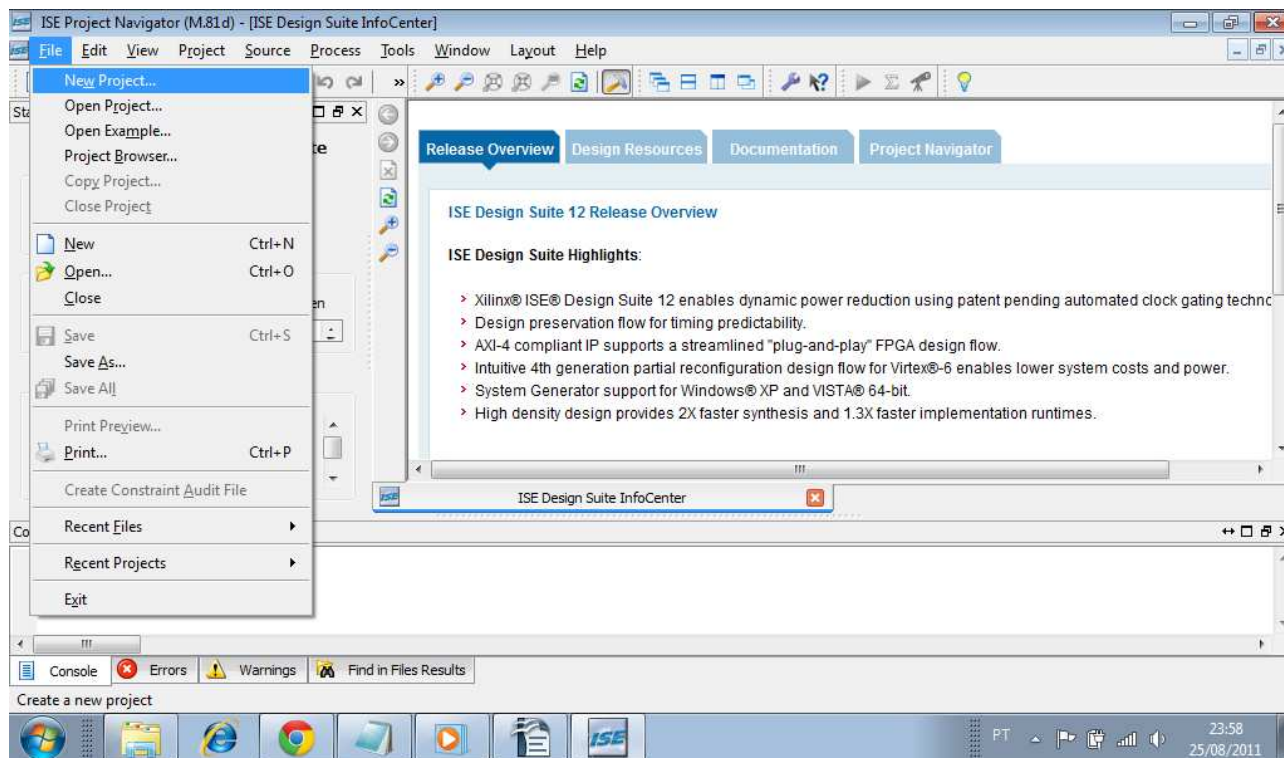
## 2.2 Na tela que for aberta, dê um “OK” na janela “Tip of the Day”



### 2.3 Uma vez realizado este procedimento, você estará diante da tela a seguir:

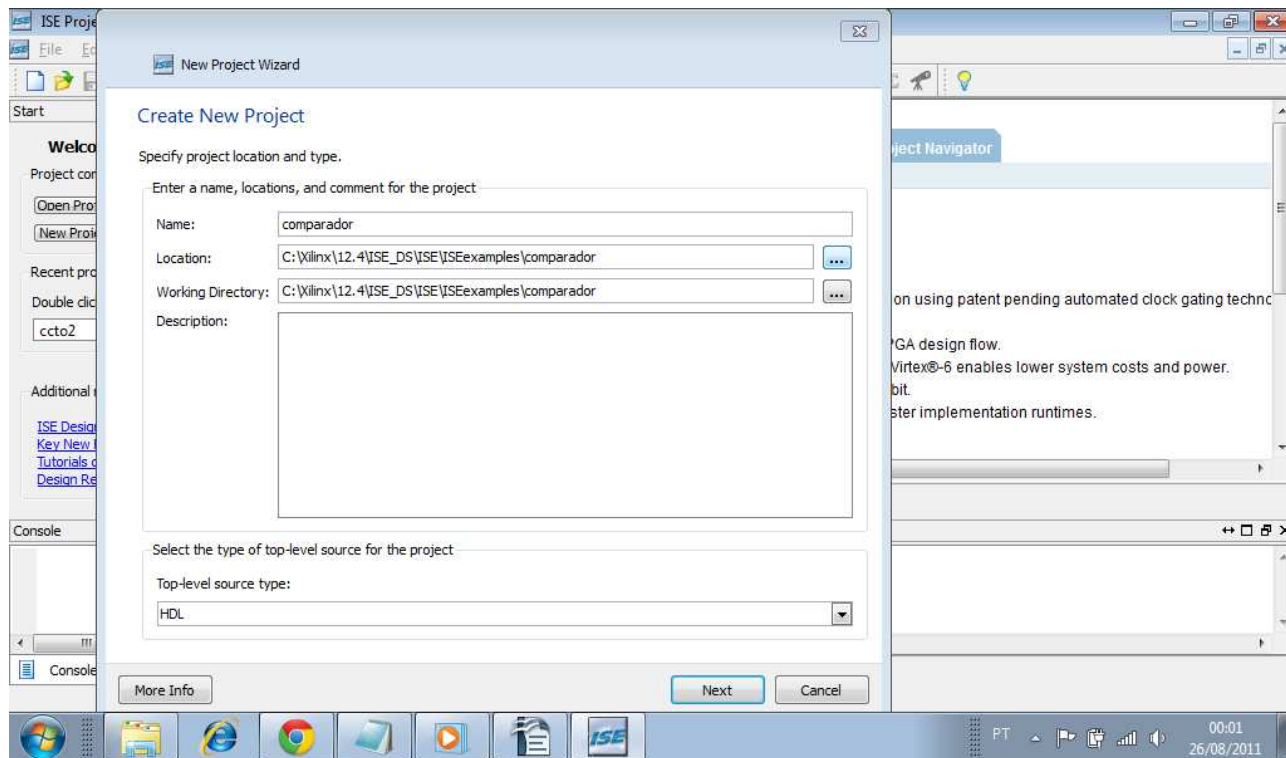


## 2.4 No menu principal, clique em “File” e em seguida em “New Project”:

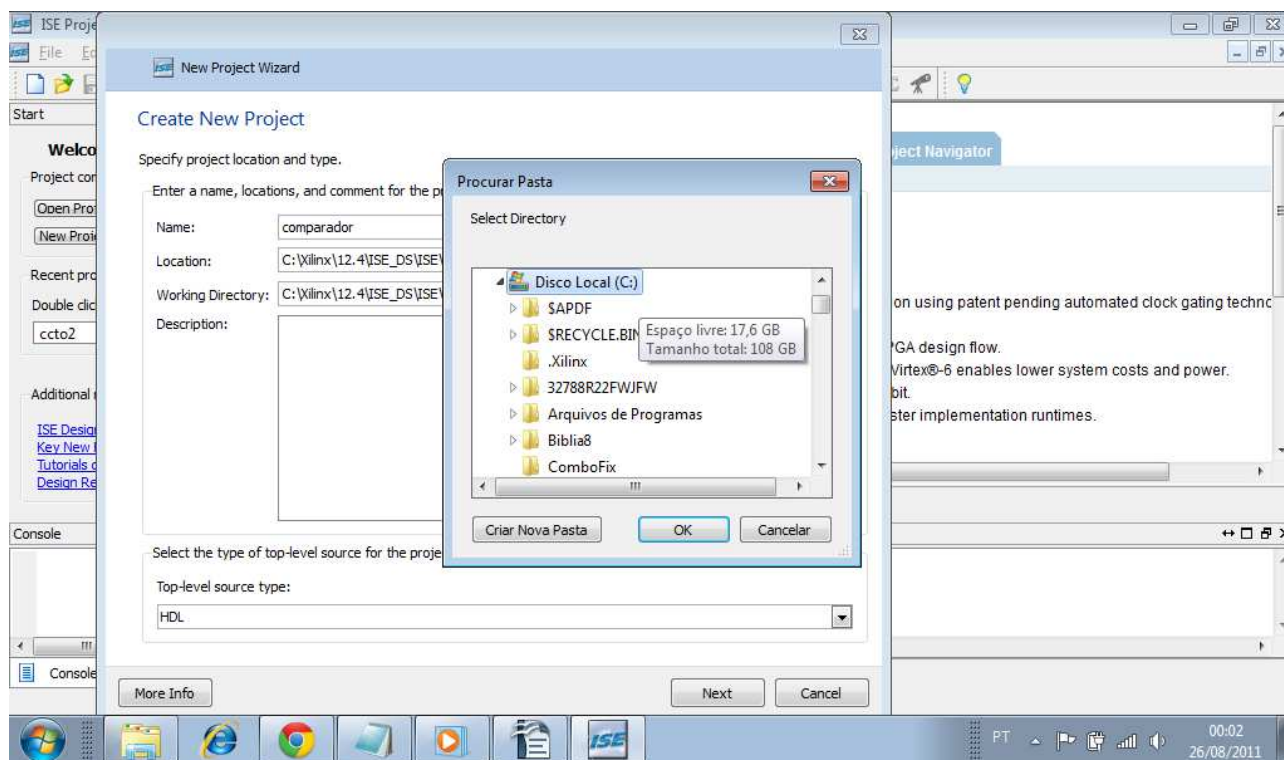


2.5 Na tela que for aberta, clique nos três pontos (“...”) ao lado direito da opção “Location”.

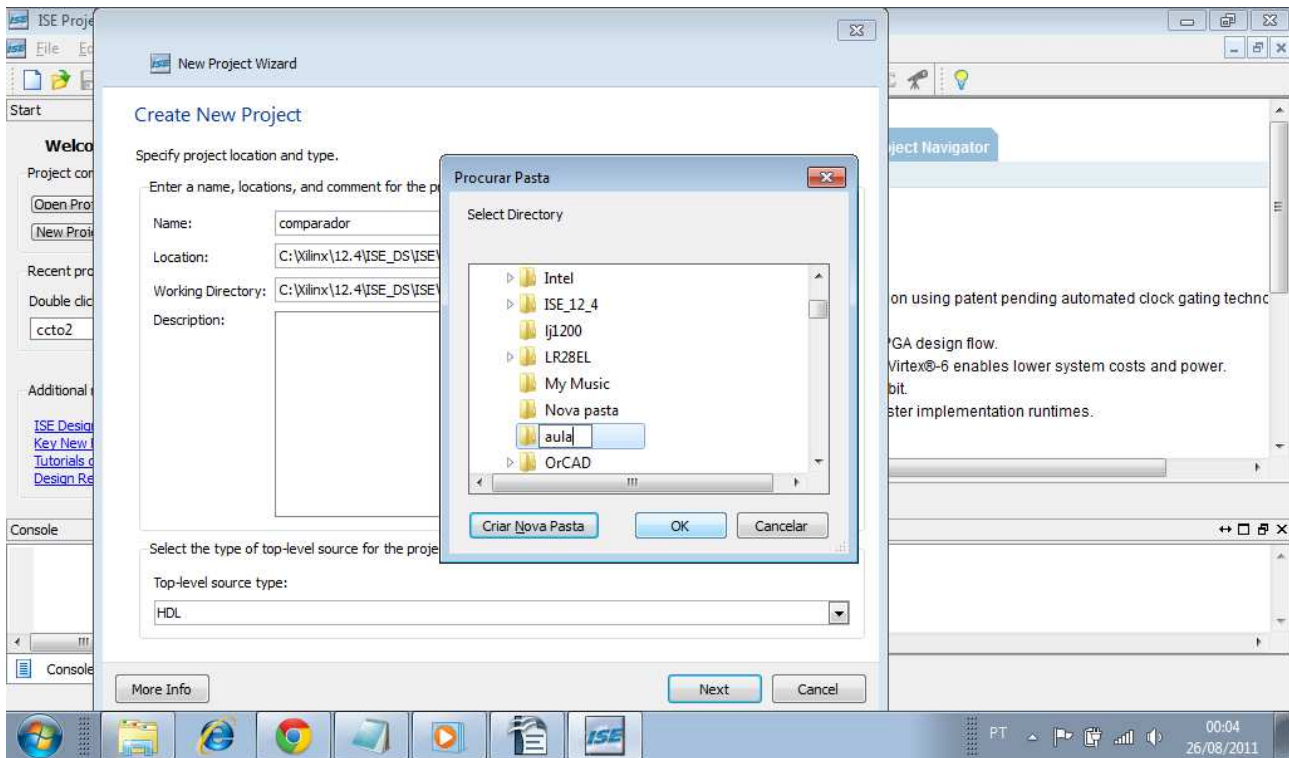
**ATENÇÃO:** atente para utilizar uma pasta sem acentos e sem espaços. Recomendação: crie uma pasta “c:\aula” e, dentro da mesma, crie as pastas de cada um de seus projetos.



2.6 Na tela do navegador que for aberta, clique em “C:”, conforme a figura abaixo:

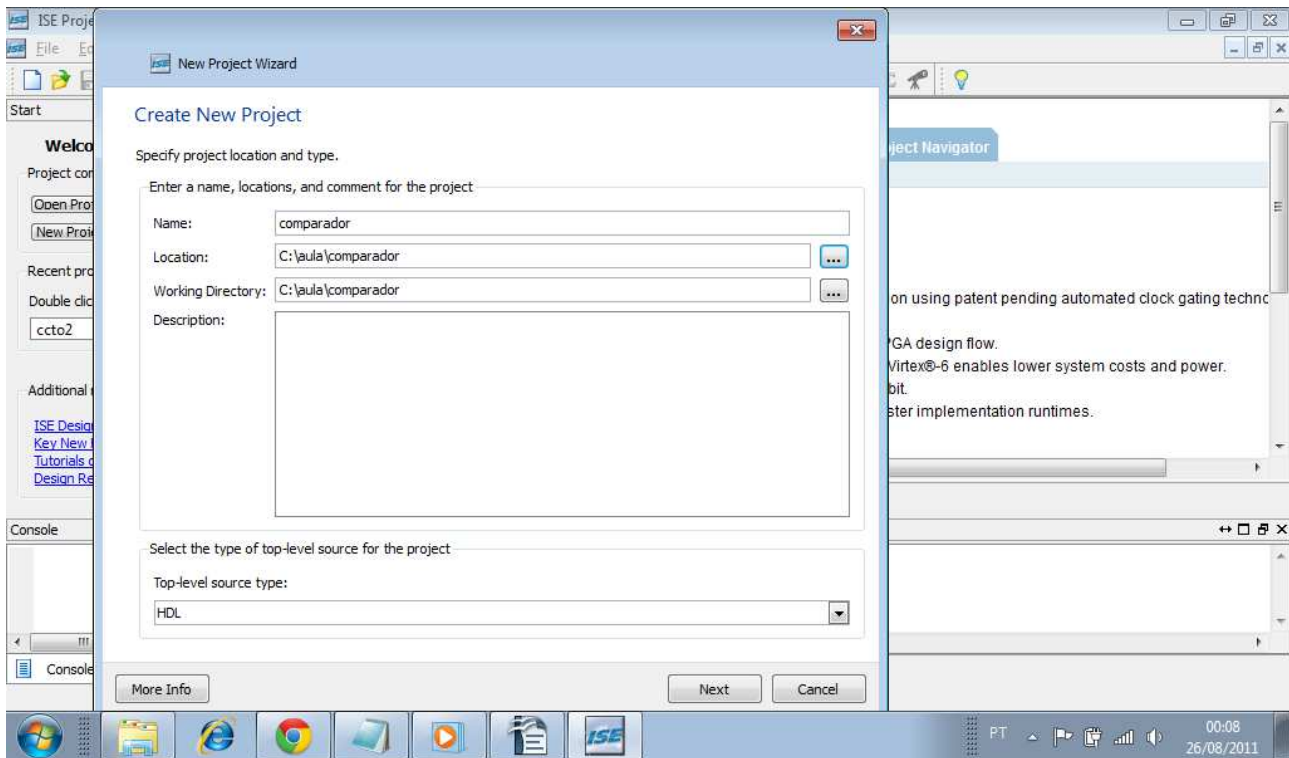


2.7 Após “C:” ter sido selecionado, clique em “Nova Pasta”. Coloque o nome “aula” e em seguida clique em “OK”.



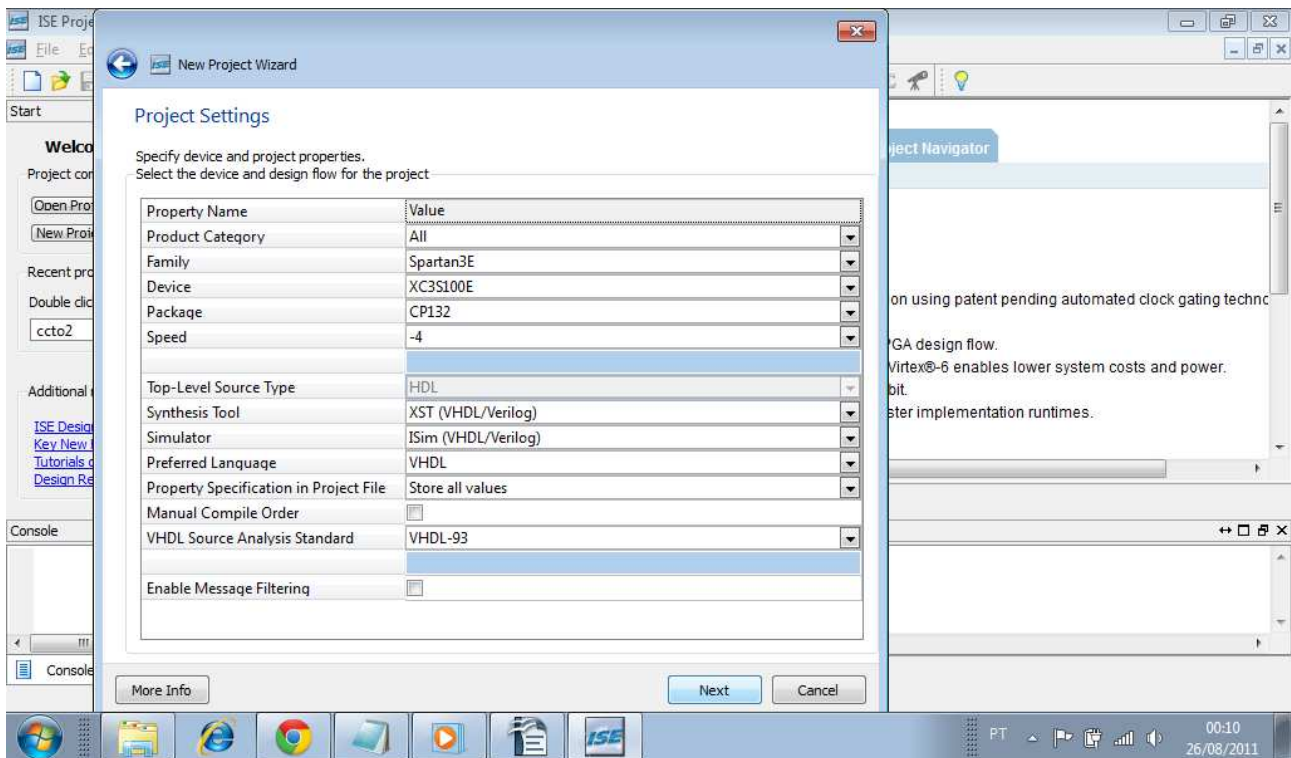


2.8 De volta à tela de criação de projeto, coloque o nome “comparador” no campo “Name”. Certifique-se que o campo “Top Level source type” está em “HDL”, senão coloque este tipo. Em seguida clique em “Next”.

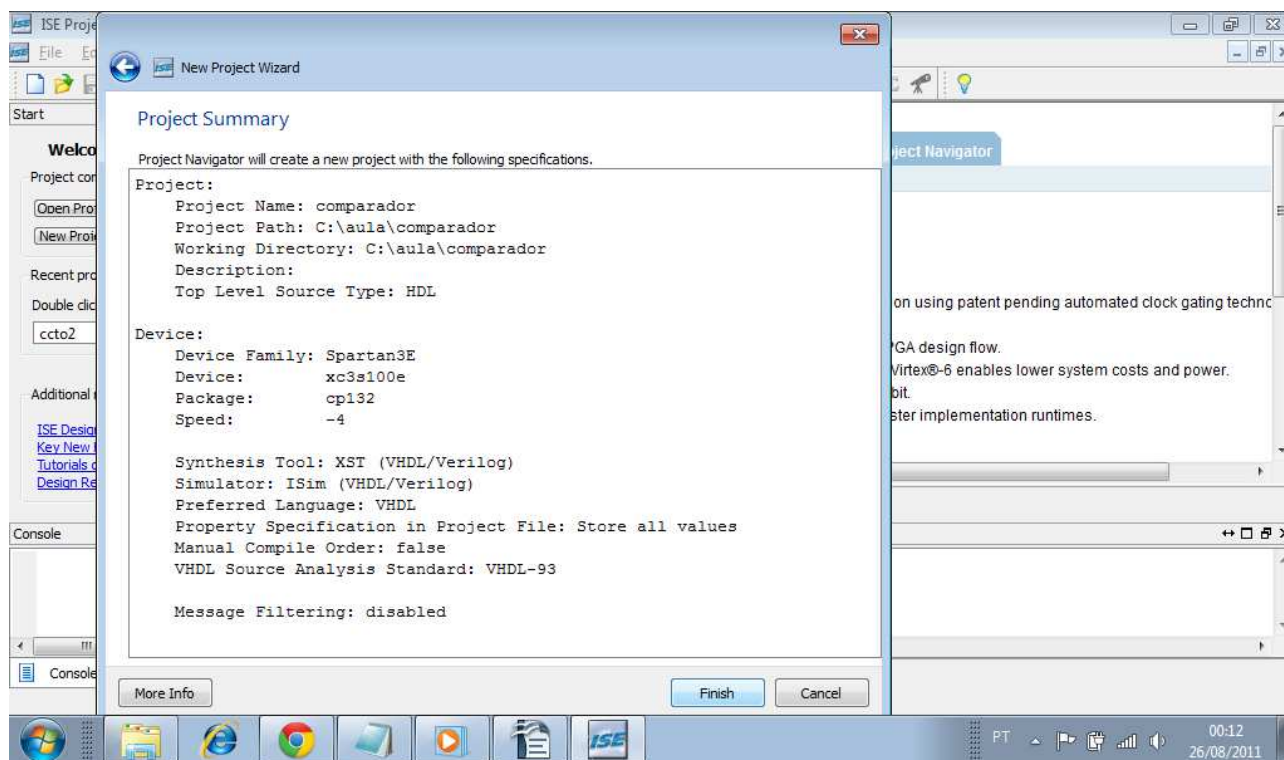




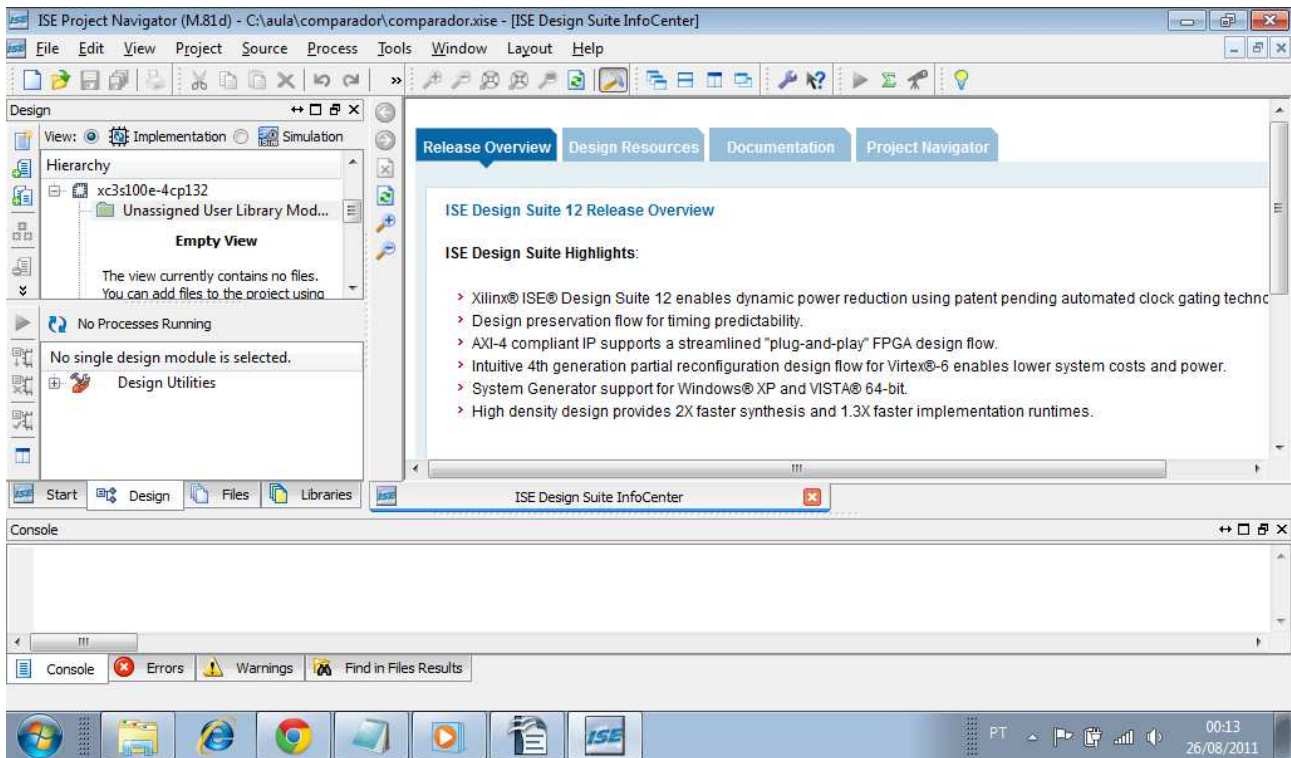
2.9 Na tela de especificações da placa que será usada, altere os campos para que os mesmos fiquem iguais aos da figura apresentada a seguir. Após isto, clique em “Next”.



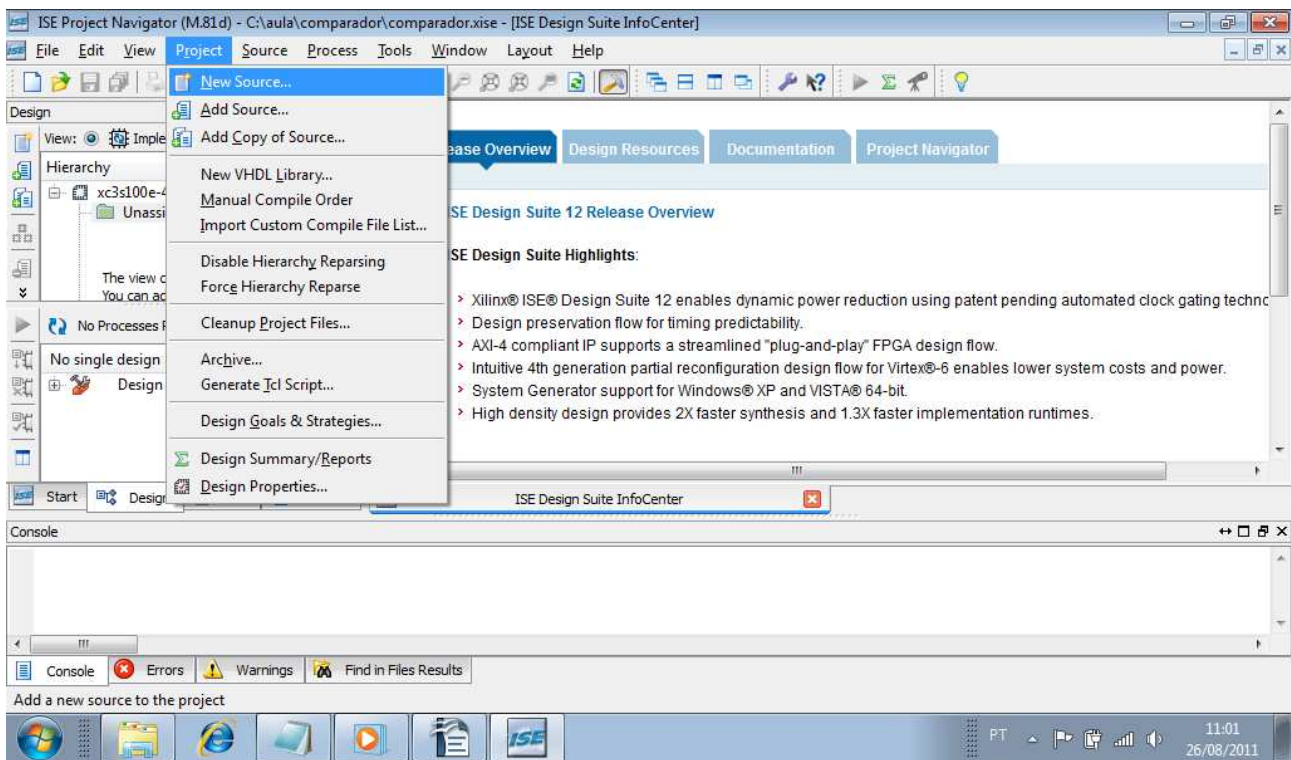
## 2.10 Na tela do sumário, clique em “Finish”.



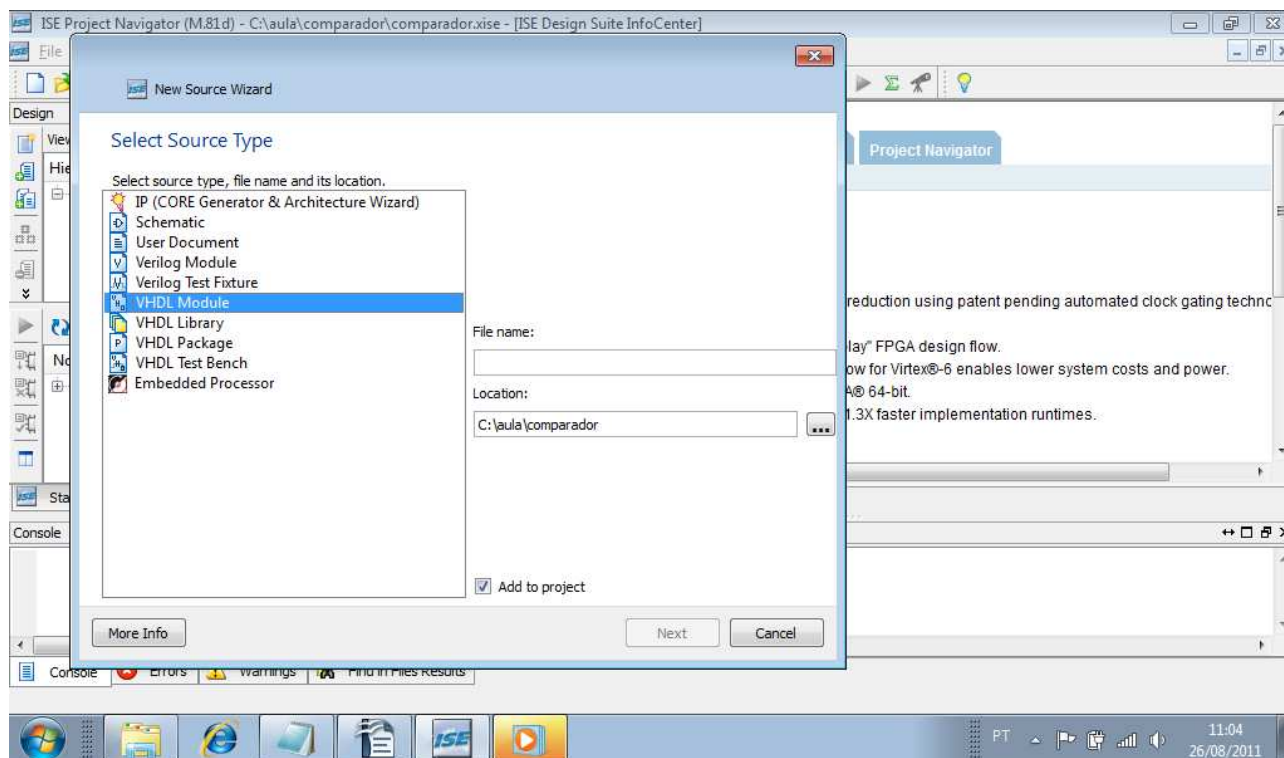
2.11 Após clicar em “Finish”, você deverá ver uma tela semelhante à mostrada a seguir:



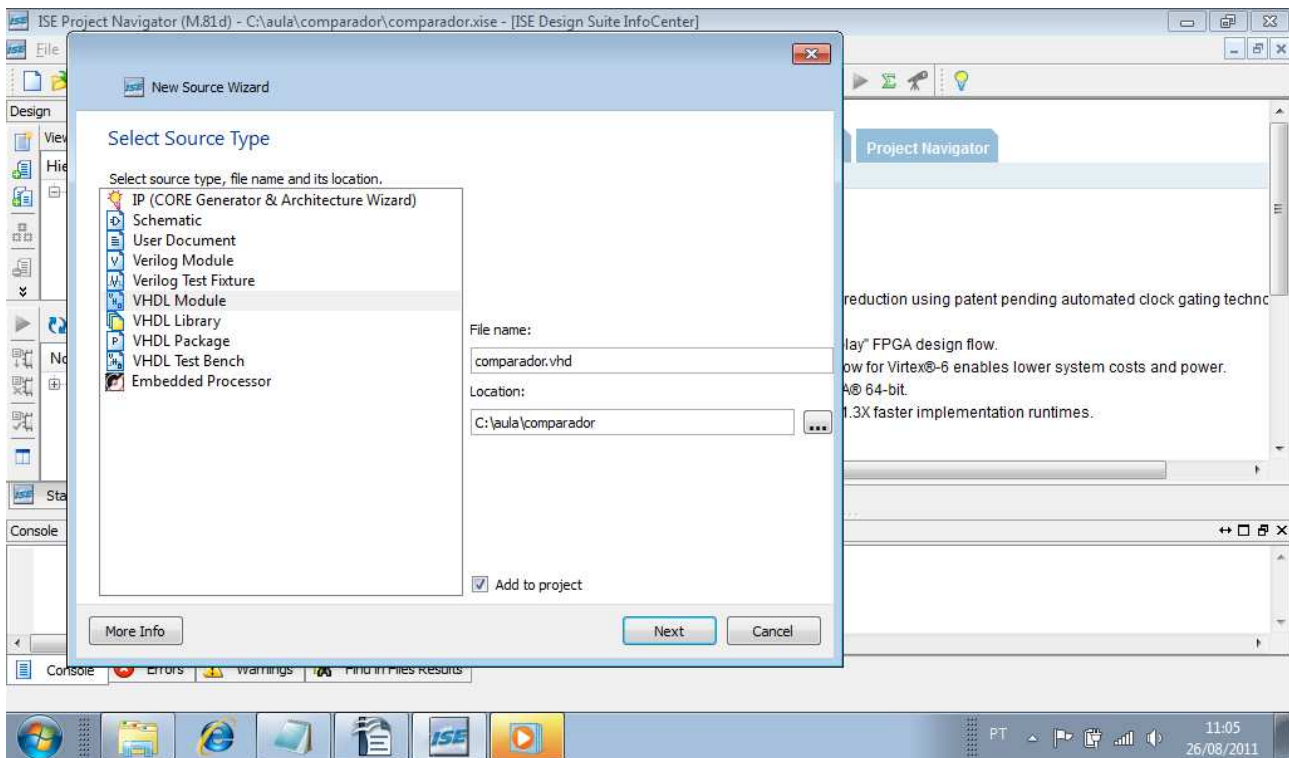
2.12 Crie agora o código VHDL: no menu principal, clique em “Project” e em seguida em “New Source”.



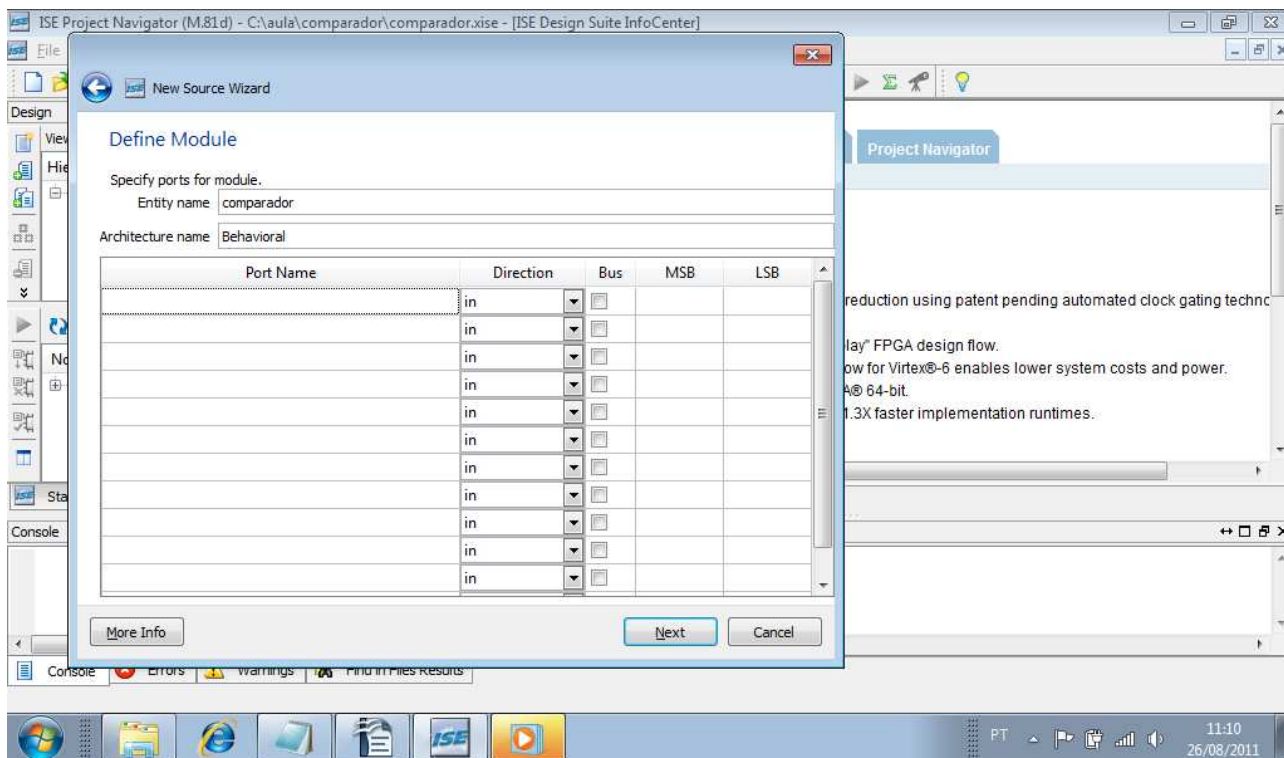
2.13 Na tela que for aberta, selecione em “VHDL Module” dentro do quadro de opções “Select Source Type”.



2.14 Preencha agora o campo “File Name” com o nome **comparador.vhd**, em seguida verifique se a checkbox de “Add to Project” está selecionada. Após isto clique em “Next”.

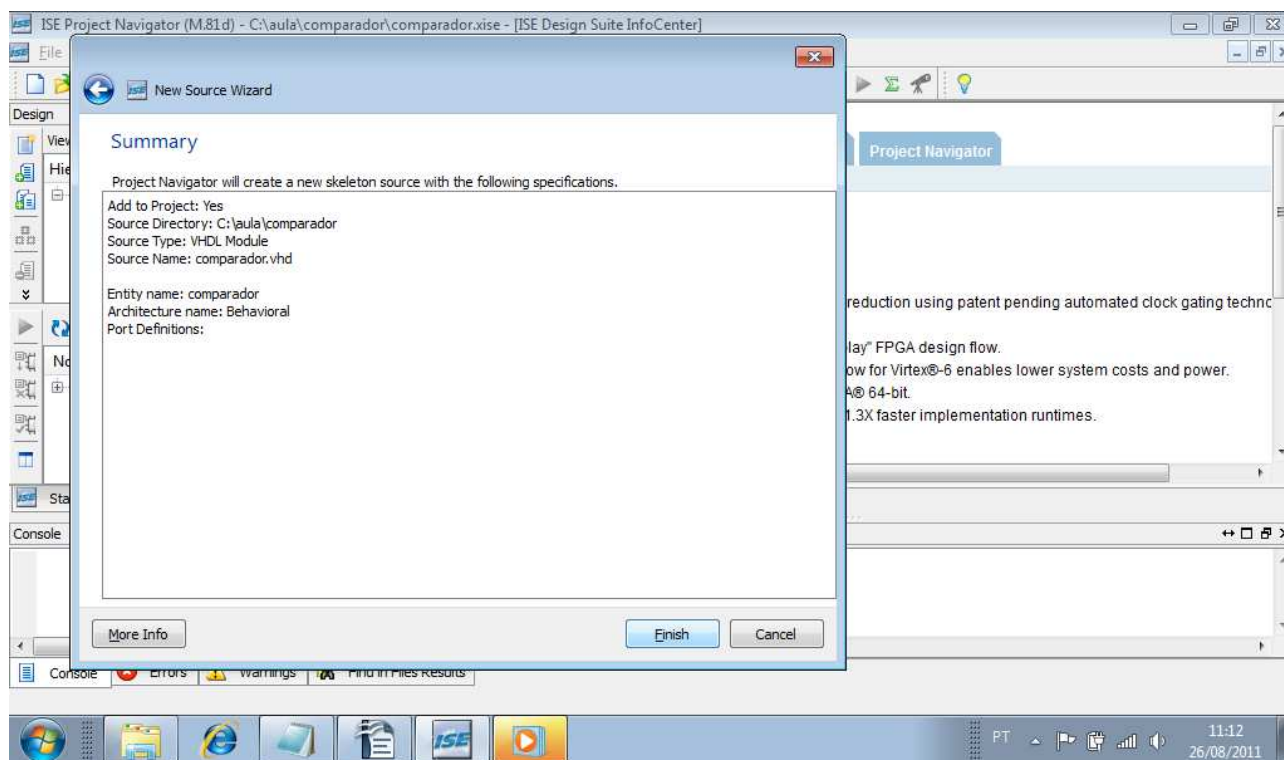


## 2.15 Na tela que for aberta, clique em “Next”.

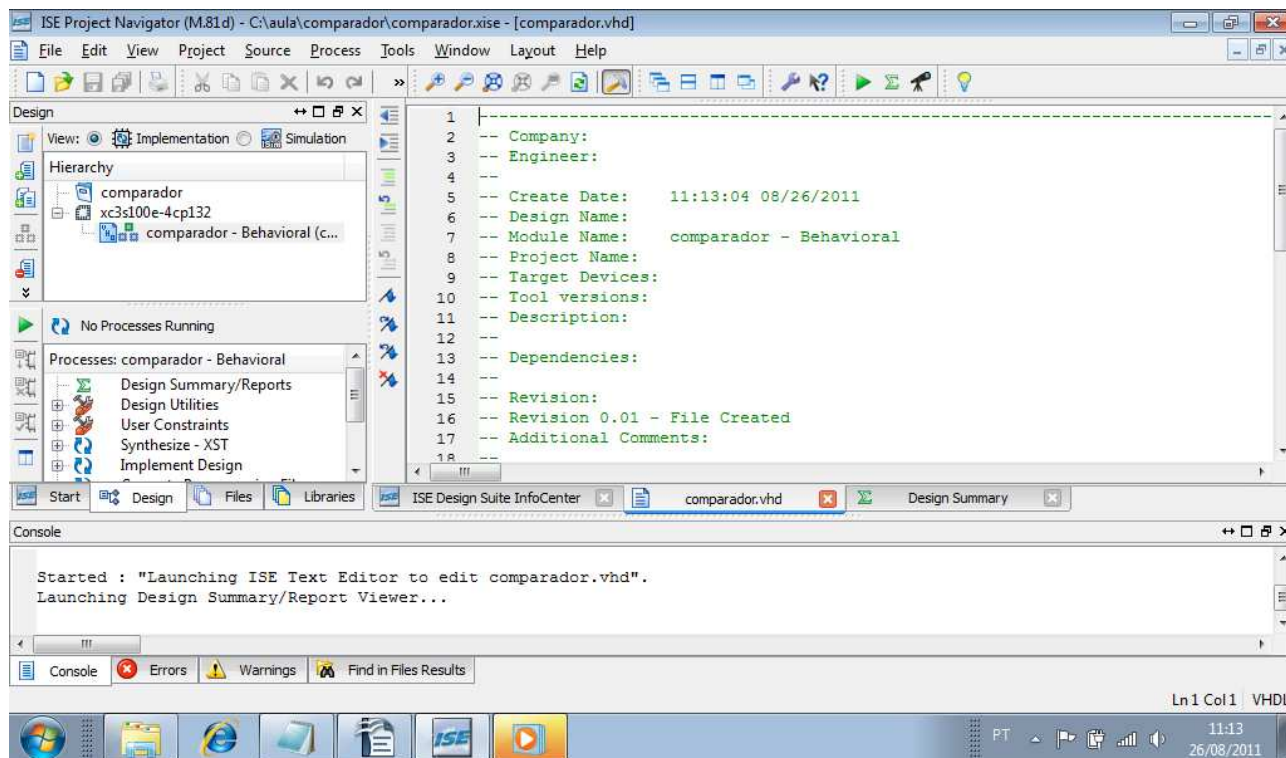




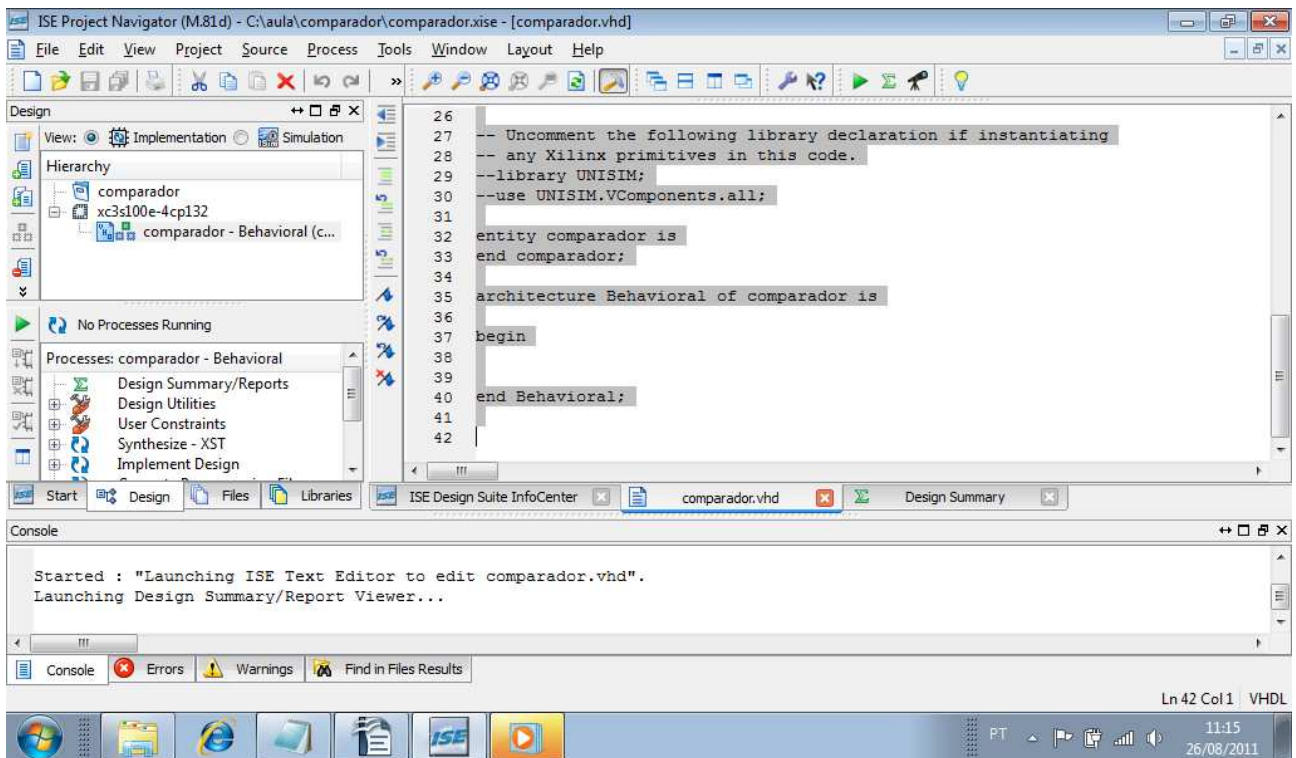
## 2.16 Na tela que for aberta, clique em “Finish”.



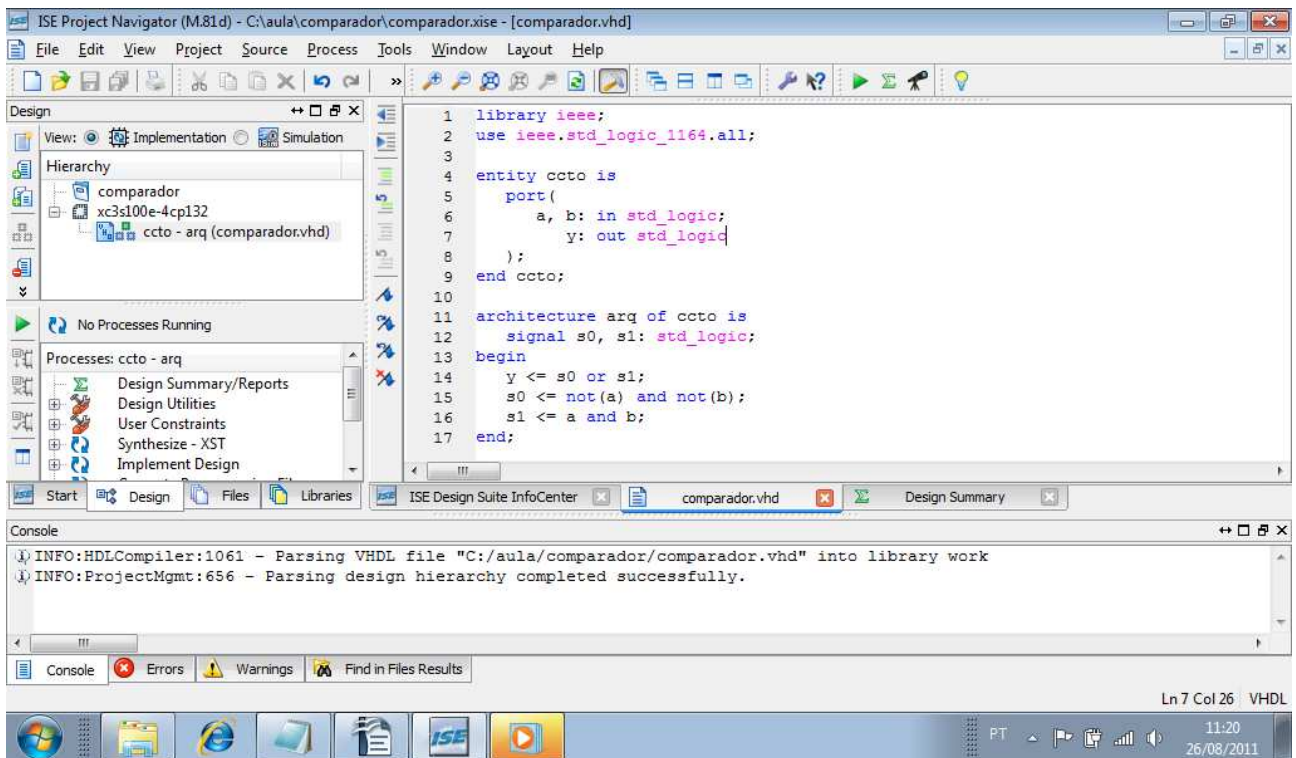
## 2.18 A tela que for aberta para você deverá ser igual a esta:



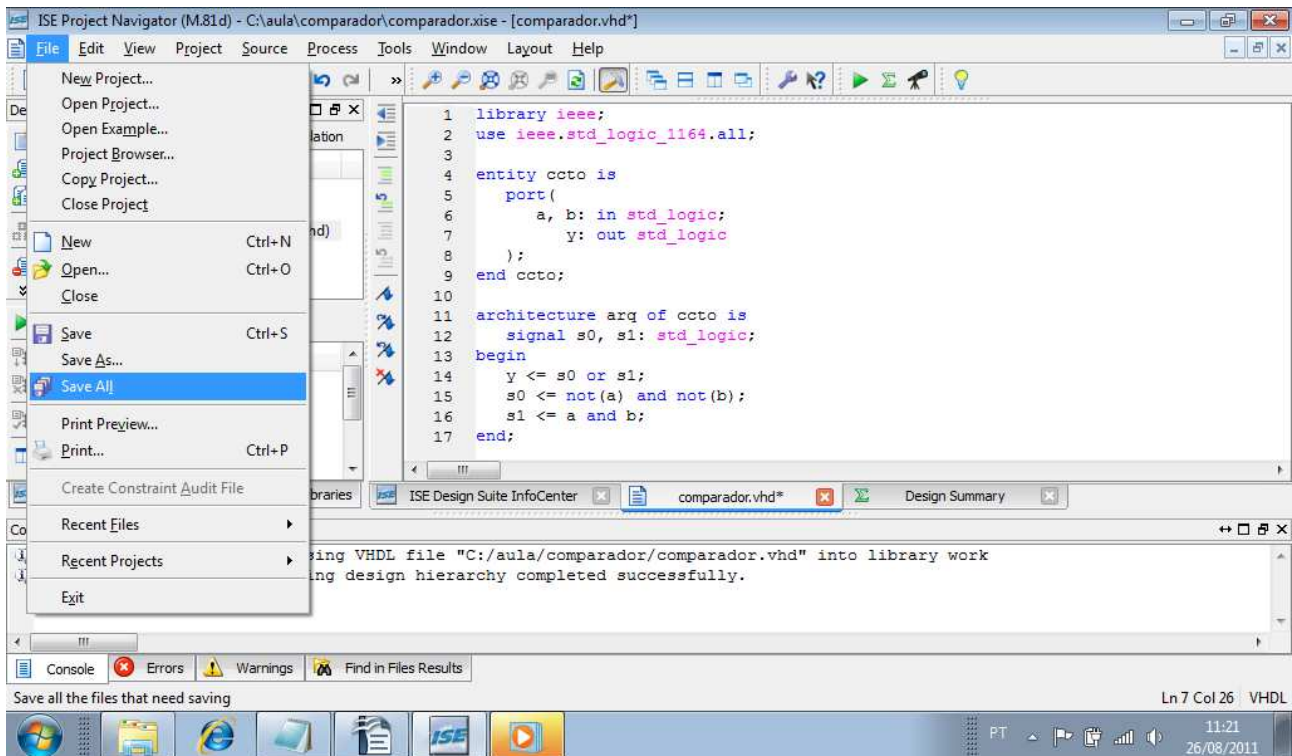
2.19 Selecione todo o texto à direita do código VHDL que foi pré-preenchido pelo ISE (é o código que está à direita na tela, sob a aba **comparador.vhd**) e delete-o.



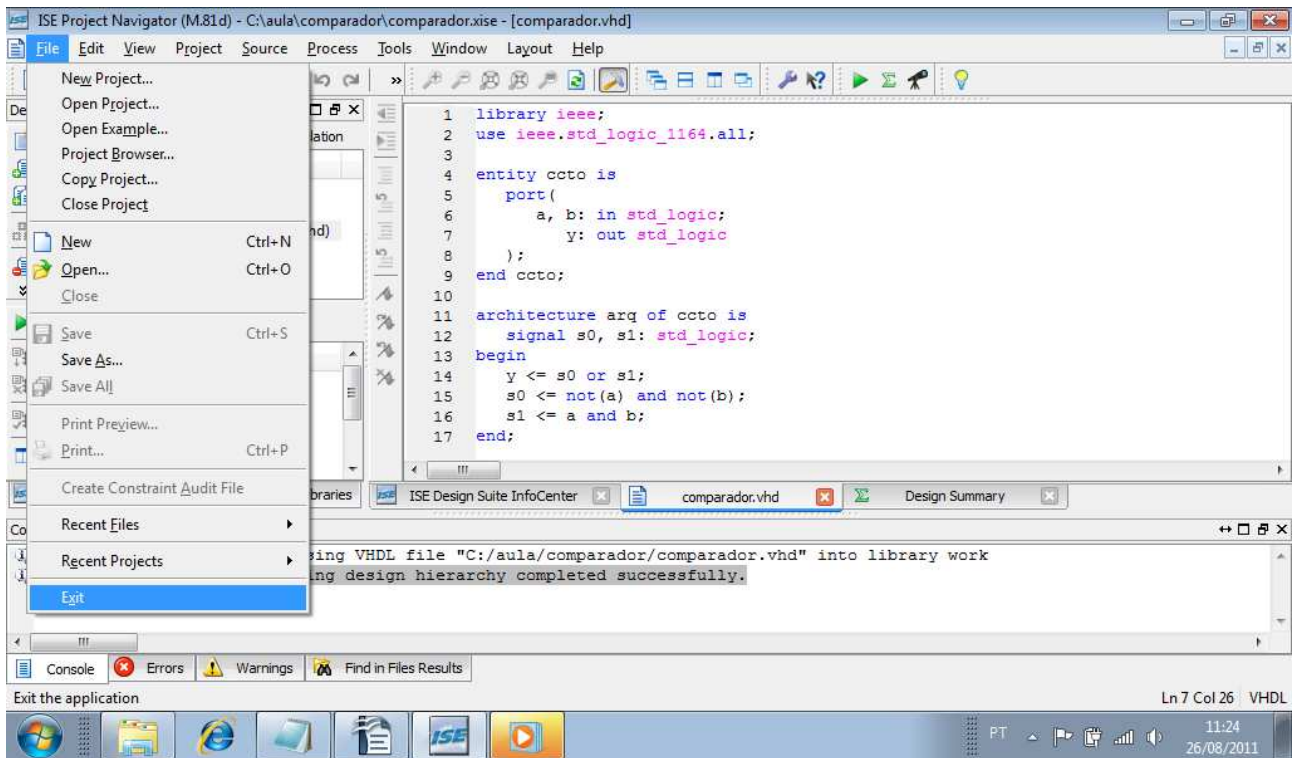
2.20 Preencha com o código VHDL do comparador de 1 *bit* apresentado em aula. A versão com sinais.



2.21 Em seguida, no menu principal, clique em “File” e em “Save All”. Certifique-se de que na tela de console de mensagens (a telinha que fica lá em baixo) a mensagem **“INFO:ProjectMgmt:656 – Parsing design hierarchy completed successfully”** foi apresentada. Caso esta mensagem não tenha sido exibida, significa que você pode ter cometido algum erro de digitação. Verifique seu código e execute este passo novamente até não haver mais mensagens de erro.

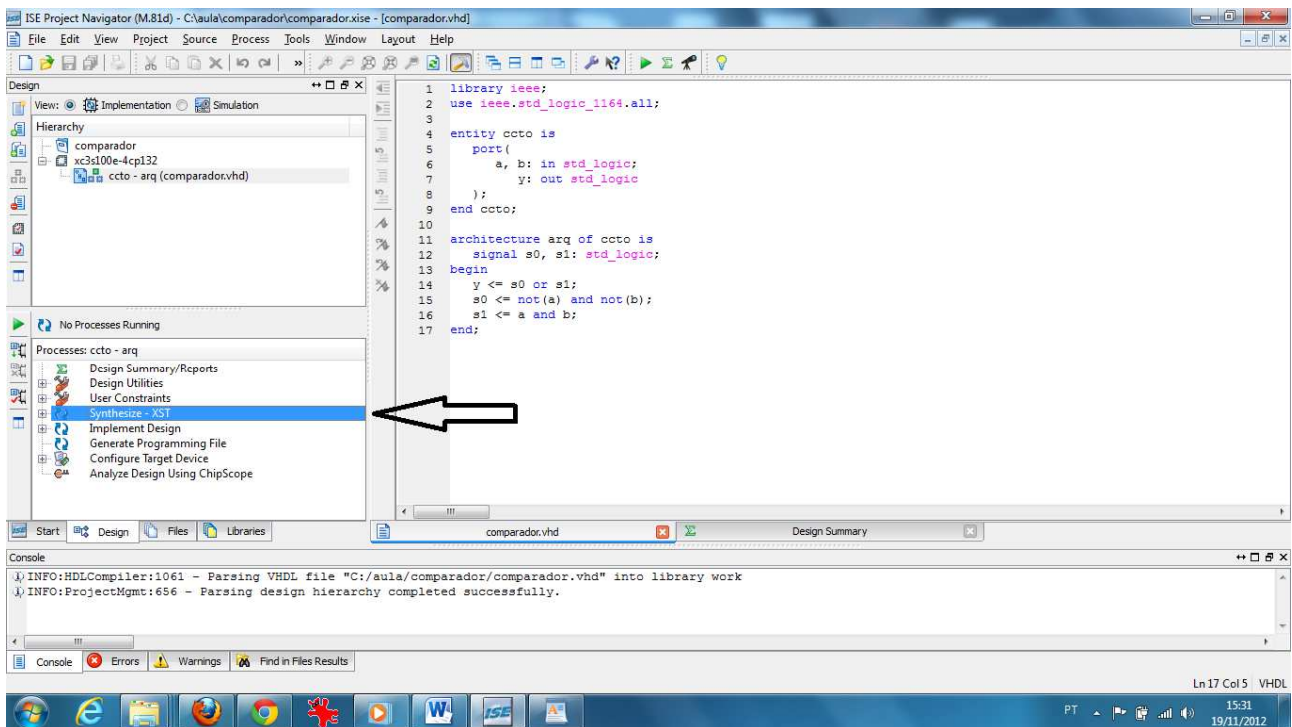


2.22 Seu código VHDL `comparador.vhd` foi criado dentro do projeto `comparador.xise`, que fica na pasta `c:\aula\comparador`.



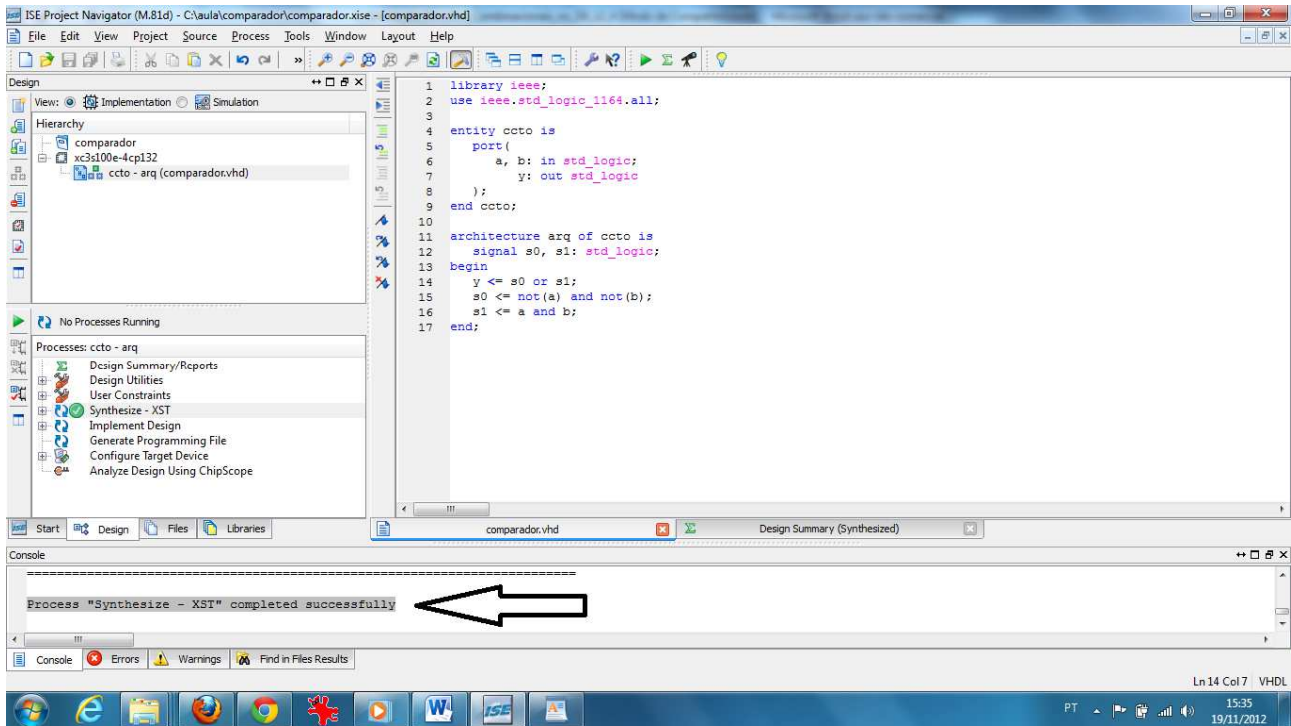


2.23 Agora você poderá efetuar a síntese de seu circuito. Encontre no painel de processos (abaixo à esquerda) no processo Synthesize.





2.24 Para realizar a síntese, clique duas vezes no painel de processos em Synthesize. Ao final do processo, a tela deverá apresentar um “check mark” de processo executado ao lado do processo de síntese e também na console a mensagem **“Process "Synthesize - XST" completed successfully”** deverá ter sido exibida. Caso isto não tenha ocorrido, é possível você ter cometido algum erro de VHDL em seu código.



Para saber mais, clique no menu principal em “Help”, em seguida em “Software Manuals”. No documento em pdf que for aberto, escolha o manual que lhe interessa através dos links disponíveis.