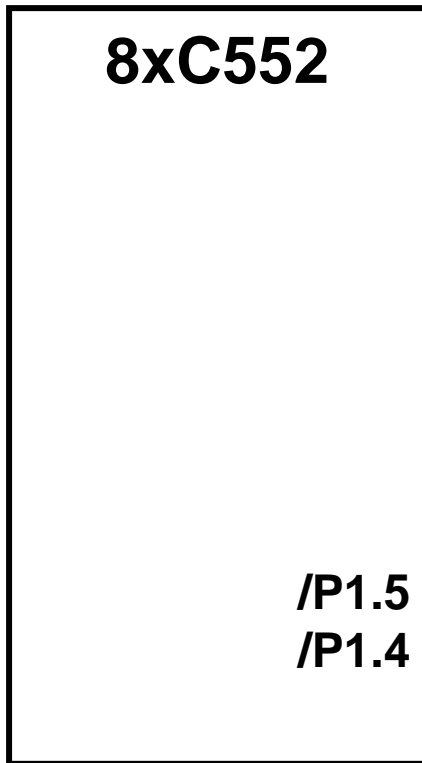


Timer 2

PATILLAJE

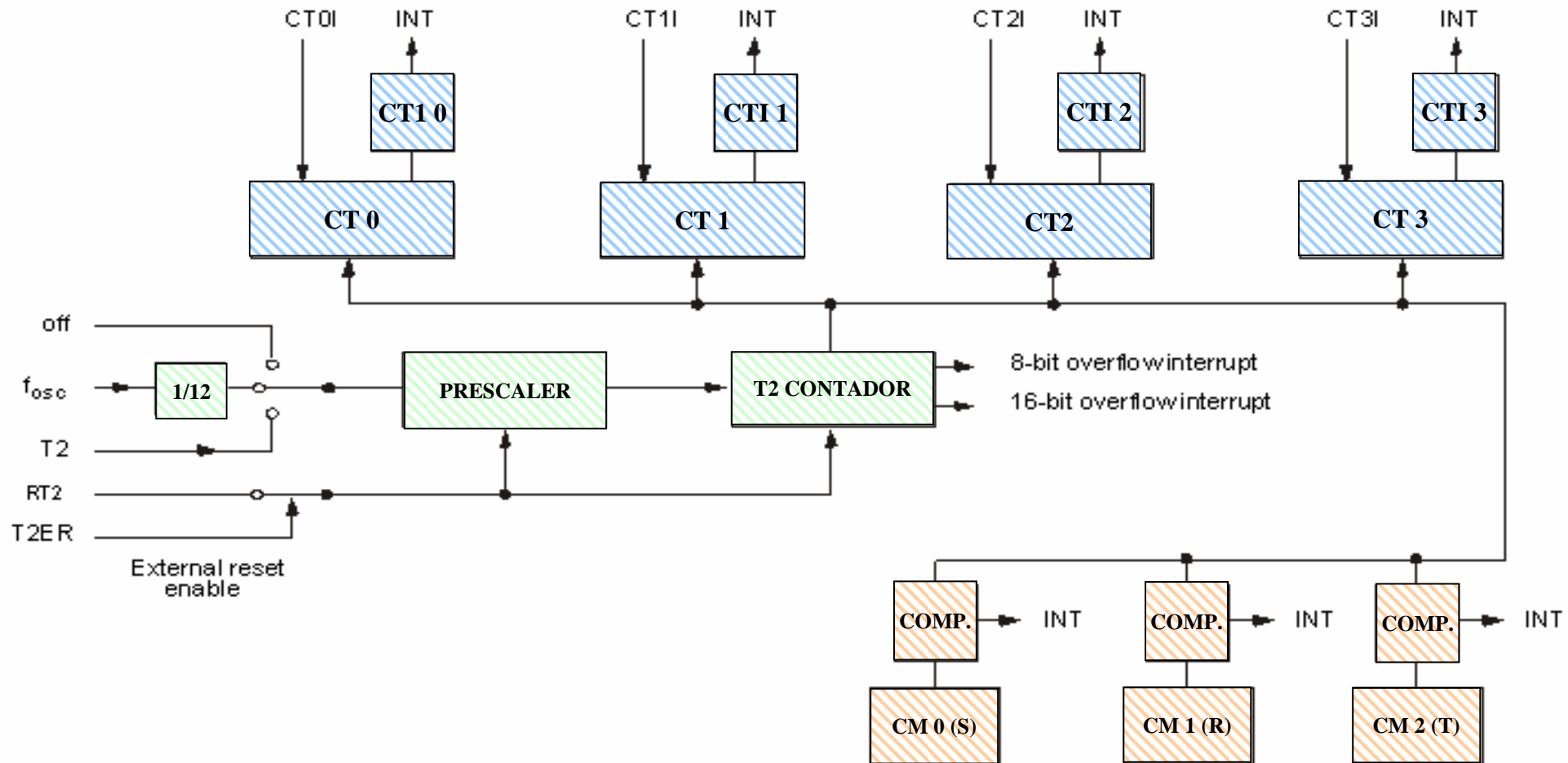


REGISTROS (SFR)

T2COM (EAh)

RT2
T2
← /P1.5
← /P1.4

Diagrama de Bloques del Timer 2



Funcionamiento del Timer 2

- Es un contador ascendente de 16 bits. Formado por dos registros de 8 bits TMH2 (EDH) y TML2 (ECH) que no tiene posibilidad de recarga.
- El predivisor permite dividir la frecuencia de entrada al timer entre 1, 2, 4 u 8. Se borra cuando se hace un reset del Timer.
- Fuente de reloj del predivisor:
 - Desconectado
 - $f_{osc}/12$
 - T2 (P1.4)

Funcionamiento del Timer 2

- Reset HW por flanco de subida de señal externa (RT2/P1.5)
- Desbordamiento (Overflow)
 - El Timer 2 puede generar una interrupción cuando se desborde TML2 o cuando se desborde TMH2 si se habilitan cada una de ellas.
 - El vector de interrupción es el mismo en ambos casos y está en la dirección 0073H (número de interrupción 14)
 - Cuando se habiliten las dos interrupciones, la rutina de atención a la interrupción deberá comprobar los flag T2BO y T2OV para saber qué desbordamiento se ha producido.
 - **Todos los flag de interrupción han de borrarse por programa.**

Registro TM2CON (EAH)

	7	6	5	4	3	2	1	0
TM2CON	T2IS1	T2IS0	T2ER	T2BO	T2P1	T2P0	T2MS1	T2MS0
(EAH)	(MSB)							(LSB)

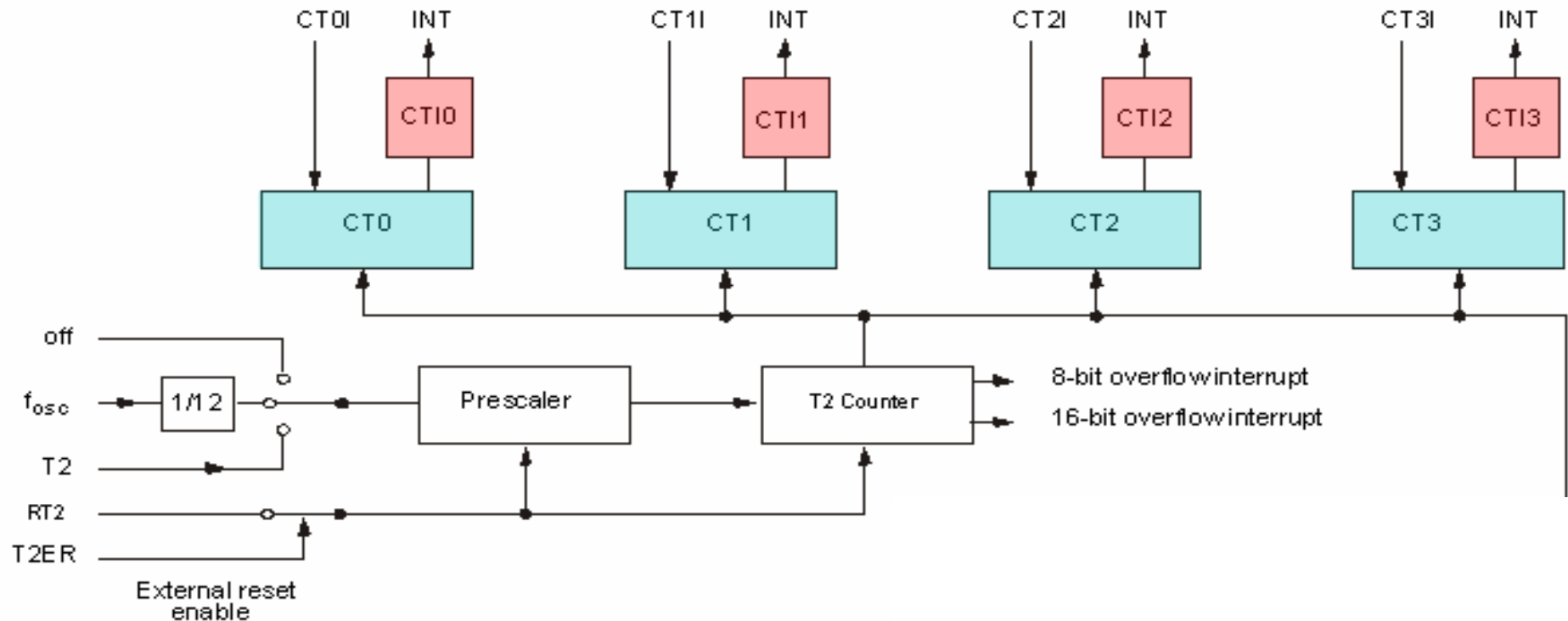
Bit	Símbolo	Función
TM2CON.7	T2IS1	Habilitación de la Interrupción por Overflow de 16 bits del Timer 2
TM2CON.6	T2IS0	Habilitación de la Interrupción por Overflow de 8 bits del Timer 2
TM2CON.5	T2ER	Habilitación del Reset externo. Cuando este bit vale 1 el Timer 2 se pone a cero con un flanco de subida en RT2 (P1.5)
TM2CON.4	T2BO	Flag de interrupción de Overflow de byte

Registro TM2CON (EAH)

	7	6	5	4	3	2	1	0
TM2CON	T2IS1	T2IS0	T2ER	T2BO	T2P1	T2P0	T2MS1	T2MS0
(EAH)	(MSB)							(LSB)

Bit	Símbolo	Función		
TM2CON.3	T2P1	Selección de pre-escalado del Timer 2		
TM2CON.2	T2P0			
		T2P1	T2P0	Reloj del Timer 2
		0	0	Fuente de Reloj
		0	1	Fuente de reloj / 2
		1	0	Fuente de reloj / 4
		1	1	Fuente de reloj / 8
TM2CON.1	T2MS1	Selección de la fuente de reloj		
TM2CON.0	T2MS0			
		T2MS1	T2MS0	Modo Seleccionado
		0	0	Timer 2 detenido
		0	1	Fuente de reloj = $f_{osc}/12$
		1	0	Modo de test. No utilizado
		1	1	Fuente de reloj externa

Lógica de Captura

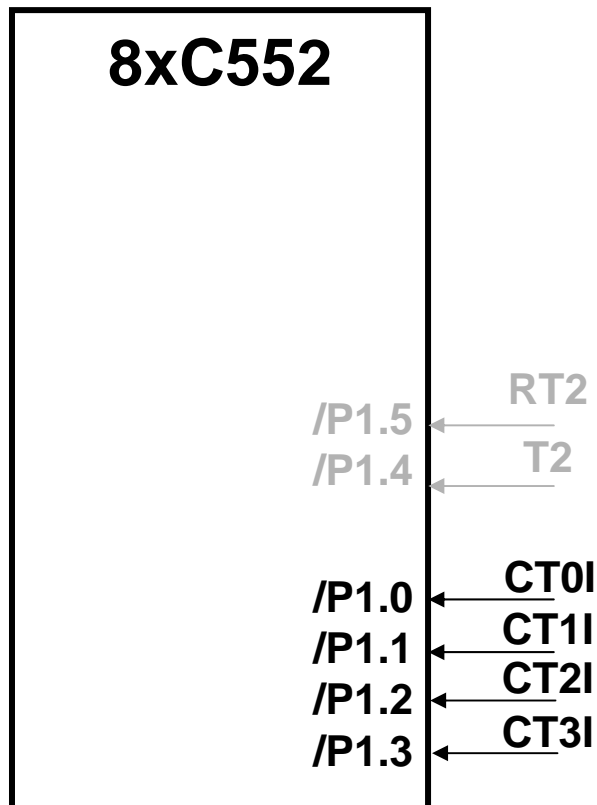


Se cargan con el contenido de T2 y solicitan una interrupción cuando hay un cambio de estado en las líneas **CT0I** (P1.0), **CT1I** (P1.1), **CT2I** (P1.2), **CT3I** (P1.3).

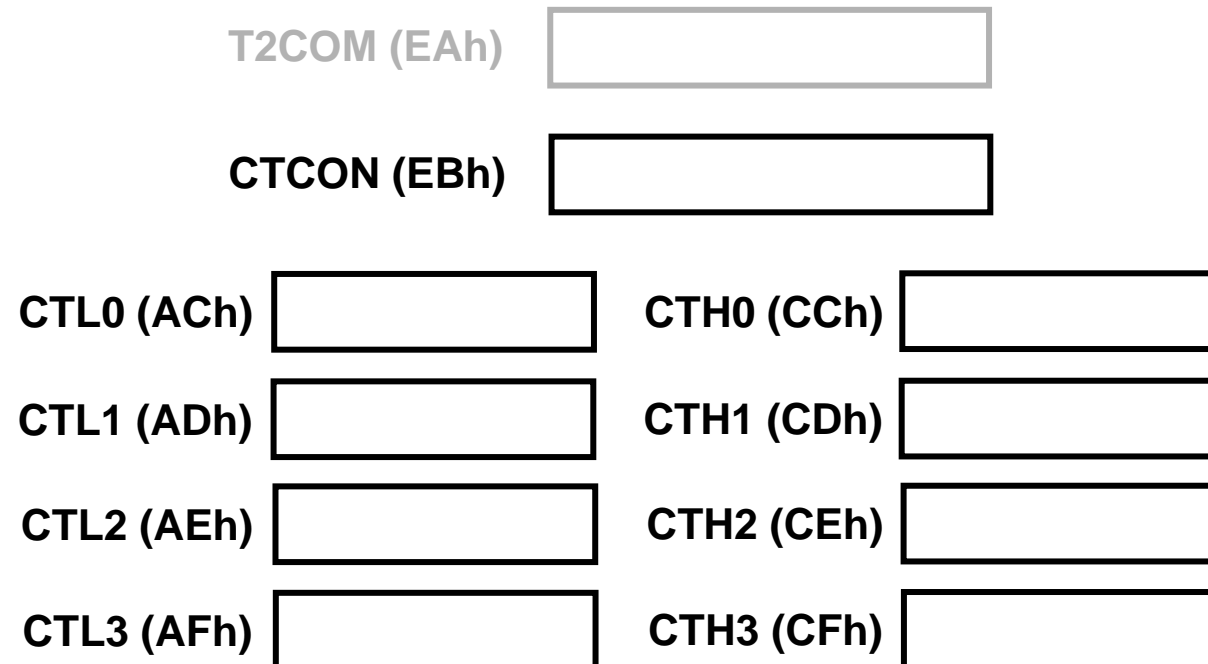
Las entradas CTxI son activas por flanco de bajada, de subida o ambos flancos.

Timer 2 + Captura

PATILLAJE



REGISTROS (SFR)

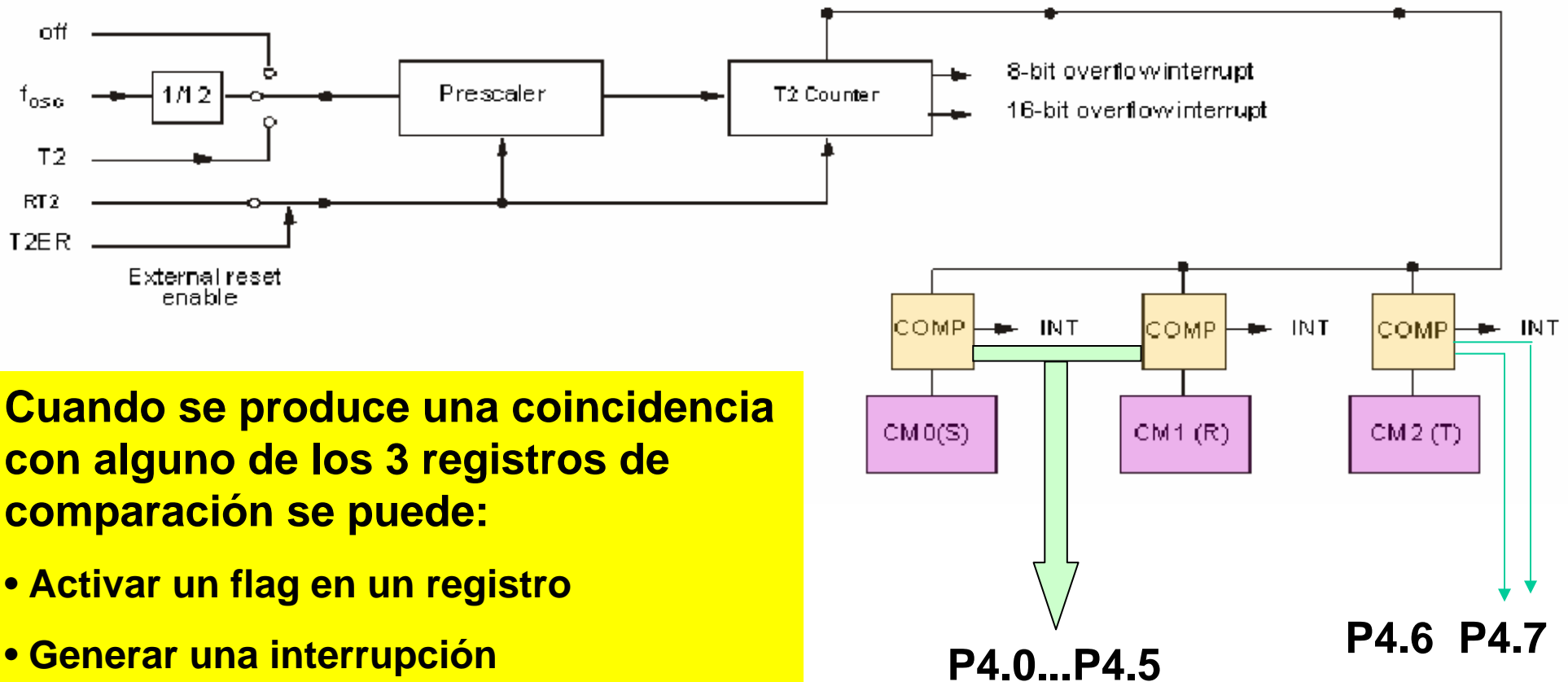


Lógica de Captura

	7	6	5	4	3	2	1	0
CTCON	CTN3	CTP3	CTN2	CTP2	CTN1	CTP1	CTN0	CTP0
(EBH)	(MSB)						(LSB)	

Bit	Símbolo	Función
CTCON.7	CTN3	CT3 disparado por flanco de bajada en CT3I
CTCON.6	CTP3	CT3 disparado por flanco de subida en CT3I
CTCON.5	CTN2	CT2 disparado por flanco de bajada en CT2I
CTCON.4	CTP2	CT2 disparado por flanco de subida en CT2I
CTCON.3	CTN1	CT1 disparado por flanco de bajada en CT1I
CTCON.2	CTP1	CT1 disparado por flanco de subida en CT1I
CTCON.1	CTN0	CT0 disparado por flanco de bajada en CT0I
CTCON.0	CTP0	CT0 disparado por flanco de subida en CT0I

Lógica de Comparación



Cuando se produce una coincidencia con alguno de los 3 registros de comparación se puede:

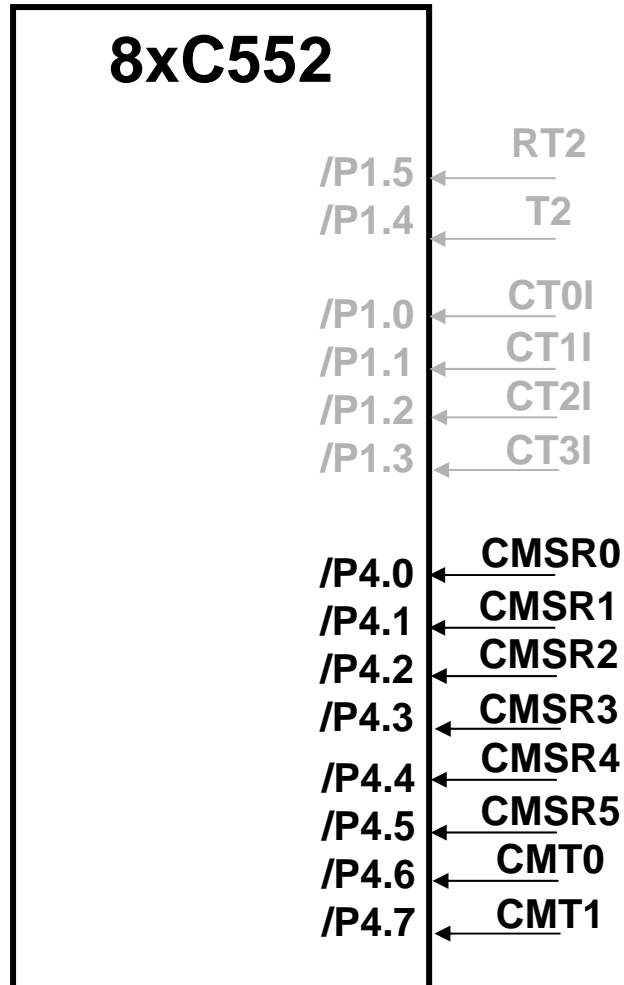
- Activar un flag en un registro
- Generar una interrupción
- Modifica el valor de un pin (P4)

Lógica de Comparación.

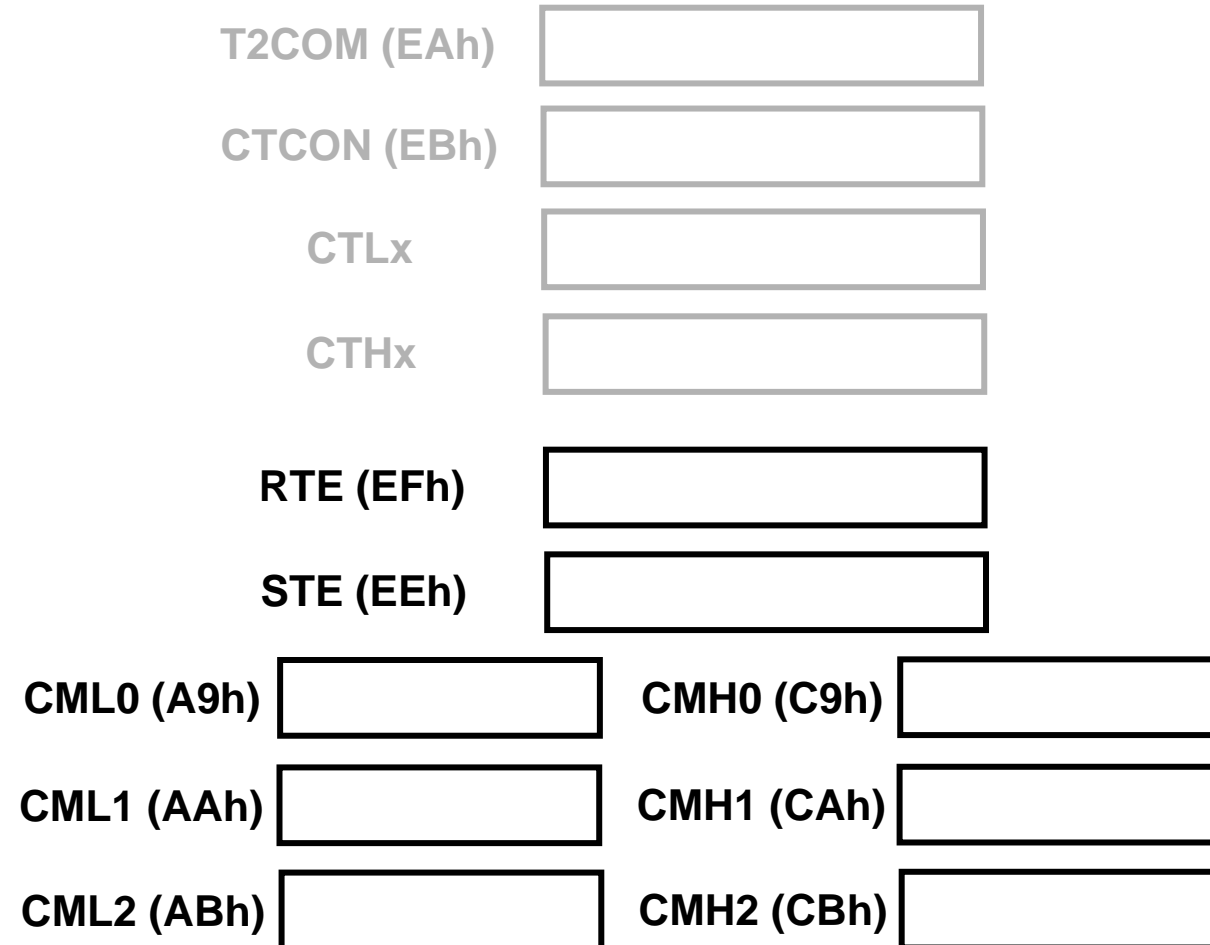
- Puesta a 0 de un pin
 - Si el **valor de T2** coincide con el valor de **CM1**, se puede resetear alguno de los pines P4.0 a P4.5 (*siempre que estén configurados en RTE*).
- Puesta a 1 de un pin
 - Si el **valor de T2** coincide con el valor de **CM0**, se puede activar alguno de los pines P4.0 a P4.5 (*siempre que estén configurados en STE*).
- Conmutación de un pin
 - Si el **valor de T2** coincide con el valor de **CM2**, se complementan los pines P4.6 y P4.7 (*siempre que estén configurados en RTE*).

Timer 2 + Captura + Comparación

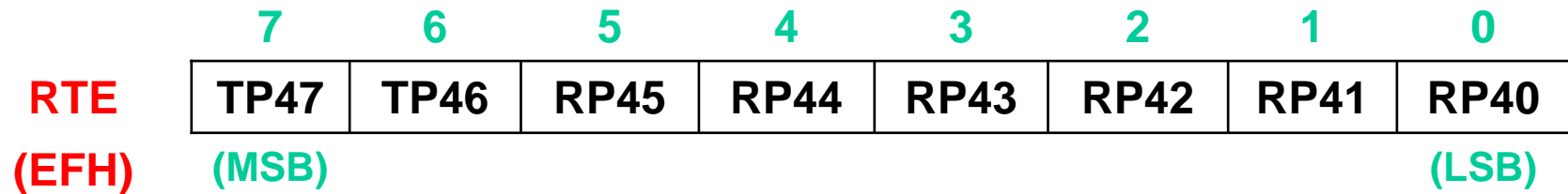
PATILLAJE



REGISTROS (SFR)

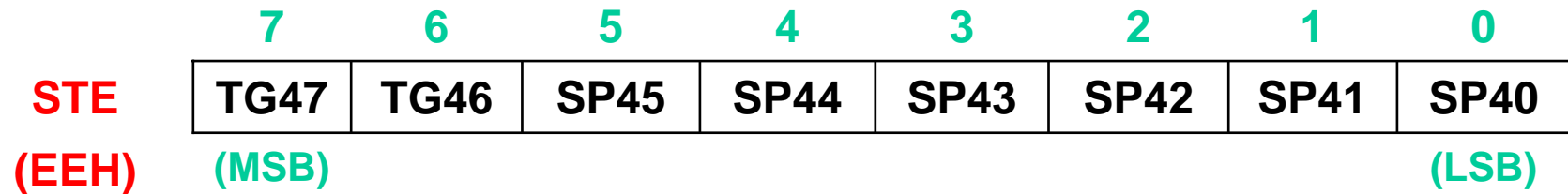


Puesta a 0 de las señales CMSRx



Bit	Símbolo	Función
RTE.7	TP47	Si 1 entonces P4.7 conmuta cuando CM2 y el T2 coinciden
RTE.6	TP46	Si 1 entonces P4.6 conmuta cuando CM2 y el T2 coinciden
RTE.5	RP45	Si 1 entonces P4.5 se pone a 0 cuando CM1 y el T2 coinciden
RTE.4	RP44	Si 1 entonces P4.4 se pone a 0 cuando CM1 y el T2 coinciden
RTE.3	RP43	Si 1 entonces P4.3 se pone a 0 cuando CM1 y el T2 coinciden
RTE.2	RP42	Si 1 entonces P4.2 se pone a 0 cuando CM1 y el T2 coinciden
RTE.1	RP41	Si 1 entonces P4.1 se pone a 0 cuando CM1 y el T2 coinciden
RTE.0	RP40	Si 1 entonces P4.0 se pone a 0 cuando CM1 y el T2 coinciden

Puesta a 1 de las señales CMSRx

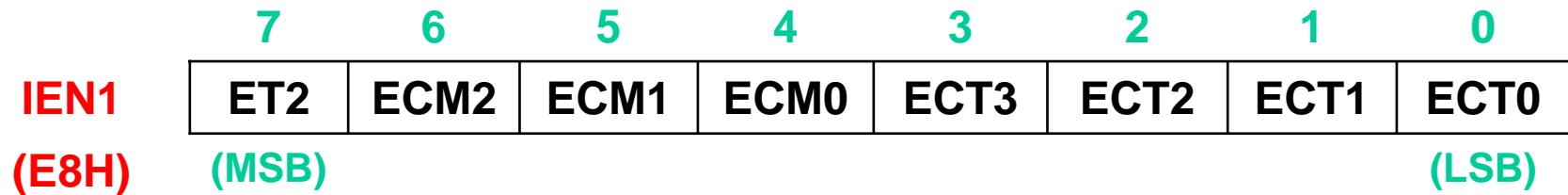


Bit	Símbolo	Función
STE.7	TG47	Estado futuro de P4.7 en próxima conmutación (flip-flop).
STE.6	TG46	Estado futuro de P4.6 en próxima conmutación (flip-flop).
STE.5	SP45	Si 1 entonces P4.5 se pone a 1 cuando CM0 y el T2 coinciden
STE.4	SP44	Si 1 entonces P4.4 se pone a 1 cuando CM0 y el T2 coinciden
STE.3	SP43	Si 1 entonces P4.3 se pone a 1 cuando CM0 y el T2 coinciden
STE.2	SP42	Si 1 entonces P4.2 se pone a 1 cuando CM0 y el T2 coinciden
STE.1	SP41	Si 1 entonces P4.1 se pone a 1 cuando CM0 y el T2 coinciden
STE.0	SP40	Si 1 entonces P4.0 se pone a 1 cuando CM0 y el T2 coinciden

Vectores de Interrupción del Timer 2

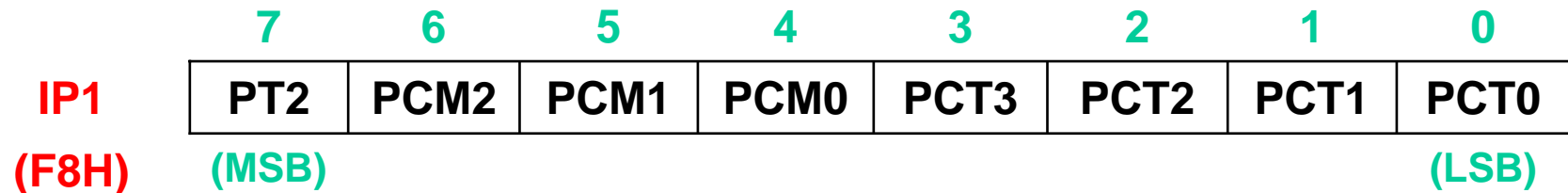
Número de int	Fuente de interrupción	Indicador	Dirección
0	Interrupción Externa 0	EX0	0003H
1	Desbordamiento Timer 0	ET0	000BH
2	Interrupción Externa 1	EX1	0013H
3	Desbordamiento Timer 1	ET1	001BH
4	SIO0 (UART)	ES0	0023H
5	SIO1 (I ² C)	ES1	002BH
6	Captura 0 Timer 2	ECT0	0033H
7	Captura 1 Timer 2	ECT1	003BH
8	Captura 2 Timer 2	ECT2	0043H
9	Captura 3 Timer 2	ECT3	004BH
10	Convertidor ADC	EAD	0053H
11	Comparación 0 Timer 2	ECM0	005BH
12	Comparación 1 Timer 2	ECM1	0063H
13	Comparación 2 Timer 2	ECM2	006BH
14	Desbordamiento Timer 2	ET2	0073H

Habilitación de Interrupciones Timer 2



Bit	Símbolo	Función
IEN1.7	ET2	Habilitación de la interrupción por Overflow
IEN1.6	ECM2	Habilitación de la interrupción del CM2
IEN1.5	ECM1	Habilitación de la interrupción del CM1
IEN1.4	ECM0	Habilitación de la interrupción del CM0
IEN1.3	ECT3	Habilitación de la interrupción del CT3
IEN1.2	ECT2	Habilitación de la interrupción del CT2
IEN1.1	ECT1	Habilitación de la interrupción del CT1
IEN1.0	ECT0	Habilitación de la interrupción del CT0

Prioridad de Interrupciones Timer 2



Bit	Símbolo	Función
IP1.7	PT2	prioridad de la interrupción por overflow
IP1.6	PCM2	prioridad de la interrupción del comparador 2
IP1.5	PCM1	prioridad de la interrupción del comparador 1
IP1.4	PCM0	prioridad de la interrupción del comparador 0
IP1.3	PCT3	prioridad de la interrupción del registro de captura 3
IP1.2	PCT2	prioridad de la interrupción del registro de captura 2
IP1.1	PCT1	prioridad de la interrupción del registro de captura 1
IP1.0	PCT0	prioridad de la interrupción del registro de captura 0

Flags Interrupción

	7	6	5	4	3	2	1	0
TM2IR	T2OV	CMI2	CMI1	CMI0	CTI3	CTI2	CTI1	CTI0
(C8H)	(MSB)						(LSB)	

Bit	Símbolo	Función
TM2IR.7	T2OV	Flag de interrupción por overflow de 16 bits
TM2IR.6	CMI2	Flag de interrupción de CM2
TM2IR.5	CMI1	Flag de interrupción de CM1
TM2IR.4	CMI0	Flag de interrupción de CM0
TM2IR.3	CTI3	Flag de interrupción de CT3
TM2IR.2	CTI2	Flag de interrupción de CT2
TM2IR.1	CTI1	Flag de interrupción de CT1
TM2IR.0	CTI0	Flag de interrupción de CT0

HAY QUE BORRARLOS MANUALMENTE EN LA ISR