



1. Um computador possui uma memória principal com capacidade para armazenar palavras de 16 bits em cada uma das suas  $N$  células. O barramento de endereços tem 12 bits de tamanho. Quantos bytes poderão ser armazenados na memória.
2. Compare uma memória principal e uma memória cache em termos de tempo de acesso, capacidade e temporariedade de armazenamento de dados.
3. Explique os conceitos de localidade espacial e localidade temporal. Como estes conceitos foram utilizados na implementação das memórias cache?
4. Como funciona o mapeamento entre memória principal e memória cache quando implementado através de mapeamento associativo? Utilize um exemplo numérico na explicação.
5. Supondo um processador com barramento de endereços de 24 bits, qual a quantidade de células de memória endereçáveis por este processador?
6. Um computador possui capacidade máxima de armazenamento de 512K células, cada uma de 16 bits.
  - a. Qual o número mínimo de bits que o barramento de endereços deve ter?
  - b. E qual é o número mínimo de bits que o barramento de dados deve ter, supondo que duas células são acessadas em cada operação de leitura/ou escrita?
  - c. Qual o maior endereço da Memória e qual a capacidade da Memória?
7. Quais as diferenças e as implicações nas políticas de escrita da memória cache: escrita em ambas e escrita no retorno?
8. Suponha um sistema computacional com um espaço de endereçamento de 512 Kcélulas. A cache associada a este sistema usa mapeamento associativo por conjuntos e possui um tamanho de 4096 quadros e 512 conjuntos. Sabendo que cada bloco contém 16 células, pergunta-se:
  - a. Qual a divisão do endereço do ponto de vista da cache? Justifique.
  - b. Considerando ainda o bit de validade, a política de escrita write-back e política de substituição LRU (5 bits), qual o overhead percentual da implementação? Justifique.

- c. Qual é o bloco que corresponde ao endereço de memória 7856110, e a qual conjunto o mesmo está destinado? Justifique.
  - d. Qual é o conjunto de destino e deslocamento correspondente ao endereço de memória 281942? justifique.
9. Supondo uma memória cache composta de 4 quadros utilizando uma política de mapeamento associativo. Tendo em vista a sequência de acessos a MP mostrada abaixo, onde a primeira linha mostra o número do acesso e a segunda linha mostra o bloco da MP acessado. Responda as questões apresentadas.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
B3	B3	B15	B5	B3	B5	B5	B15	B3	B7	B7	B7	B7	B9	B7	B3	B5	B9	B9	B11	B12

- a. Mostre qual bloco encontra-se nos quadros da Memória Cache depois da ocorrência de cada um dos acessos considerando as políticas de substituição de dados 1) FIFO; 2) LRU e 3) LFU.
  - b. Qual a taxa de acertos (hits) e faltas (faults) desta sequência de acessos considerando cada uma das políticas de substituição?
10. No que diz respeito a Memória Virtual responda:
- a. Apresente as motivações para sua implementação.
  - b. Quais os recursos de Hardware necessários para a implementação da proteção de memória por parte do S.O.?
11. Cite políticas de substituição que podem ser implementadas em um sistema que utiliza memória cache. Explique cada uma delas e apresente um exemplo numérico que diferencie-as.
12. Pressupondo uma cache com 4K quadros; cada quadro com tamanho de 256 bytes e ainda, endereços de 32 bits da memória principal, encontre o número de bits do rótulo considerando os esquemas de mapeamento direto e mapeamento associativo
13. Pressupondo uma cache com 4K quadros; cada quadro com tamanho de 256 bytes e ainda, endereços de 32 bits da memória principal, encontre o número de bits do rótulo considerando os esquemas de mapeamento direto e mapeamento associativo.
14. Com base na figura abaixo que descreve um sistema MP/Cache e sabendo que se utiliza mapeamento direto, responda, justificando todas as questões:

21	000000000	Rótulo	Cel 0	Cel 1	Cel 2	Cel 3	
32	000000001	01	...				Q0
E8	000000010	01	...				Q1
		...					.
		...					.
	...	...					.
		11	...				Q29
		00	...				Q30
F2	111111111	11	...				Q31

- Qual a divisão do endereço deste sistema?
- A qual linha da memória cache está destinado o endereço da MP 101110110?
- Qual o endereço de memória que encontra-se na 1a célula da linha Q30 M. cache?
- Qual a quantidade de blocos de memória que o sistema possui? Justifique.
- Qual o tamanho da memória cache e da memória principal em bytes? Justifique.

15. O que é e, como funciona a TLB?