**電気情報工学実験第１　レポート**

　2025年度

|  |  |
| --- | --- |
| 実験テーマ | 5-1.半導体デバイス |
| 担当教員名 | 田中 貴久 先生 |

|  |  |  |  |
| --- | --- | --- | --- |
| 班番号 | Ｂ**－１** | 出席番号 | ２５E００１ |
| 実験者氏名 | 青柳 仁 | | |
| 共同実験者氏名 | 加藤 永暉、神原 彩人、小林 直裕 | | |

|  |  |  |  |
| --- | --- | --- | --- |
| 実験日 | 2025/04/17 | レポート提出日 | 2025/04/23 |

**１****．実験目的**

MOSキャパシタを作製することを通じて、MOSFETの動作原理や製造過程を理解するとともに、MOSキャパシタの容量−電圧特性を調べる。

**２．実験結果**

まず、酸化膜の膜厚を測定する実験を実施した。反射分光膜厚計を用いて得られた酸化膜厚は64.272 nmであった。

次に、電圧を変化させながら作製したMOSキャパシタの容量を測定する実験では、以下の図１のような容量−電圧特性が得られた。

グラフ, 折れ線グラフ

自動的に生成された説明

図１　容量−電圧特性

**３．考察**

３．１　実験で用いた基板がp型かn型かの検証

　一般に、p型MOSキャパシタとn型MOSキャパシタでは、ゲート電圧に対する容量の応答が異なる。p型MOSキャパシタでは、以下の図２のような容量−電圧特性が得られる。

ダイアグラム, ヒストグラム

自動的に生成された説明

図２　p型MOSキャパシタの容量−電圧特性の模式図

一方で、n型MOSキャパシタでは、以下の図３のような容量−電圧特性が得られる。

ダイアグラム

自動的に生成された説明

図３　n型MOSキャパシタの容量−電圧特性の模式図

p型MOSキャパシタではゲート電圧を逆方向に大きくすると、半導体内に正孔が誘起され、Si-SiO2界面に多数キャリアである正孔が蓄積し、蓄積状態をとる。反対に、n型MOSキャパシタではゲート電圧を順方向に大きくすると、半導体内に電子が誘起され、Si-SiO2界面に多数キャリアである電子が蓄積し、蓄積状態をとる。

　図１を図２および図３と比較すると、ゲート電圧を順方向に大きくすると急激に容量が増加し、最大値付近でほぼ一定に推移する点、また逆方向に大きくすると最小値をとる点で図３の模式図の高周波帯のグラフに当てはまるといえる。したがって、今回の実験で用いた基板はn型であると考えられる。

３．２　反射分光膜厚計を用いた酸化膜厚測定

　実験の結果より、基板上に成膜した酸化膜の膜厚は64.272 nmであった。

３．３　CV カーブの最大容量に基づく酸化膜厚の導出

　容量が最大値をとる蓄積モードでは、MOSキャパシタの容量は酸化膜の容量に等しいとみなせる。したがって、最大容量を, 酸化膜厚を, キャパシタの断面積を, 真空中の誘電率を, の比誘電率をとすると

ここで、であり

と計算でき、図１より、作製したMOSキャパシタの最大容量はであるから

よって、酸化膜厚は73.8 nmと求まる。

３．４　反射分光膜厚計とCVカーブから求めた酸化膜厚の違いについて

　それぞれの方法で求めた酸化膜厚を以下の表１に再掲する。

表１　異なる方法によって求めた酸化膜厚の値 (nm)

|  |  |
| --- | --- |
| 反射分光膜厚計 | CVカーブ |
| 64.3 | 73.8 |

これらの値を比較すると、CVカーブの方が大きい値を示していることがわかる。CVカーブから求めた膜厚の値は、測定したMOSキャパシタの最大容量から式(3)により間接的に導出したものであり、この最大容量の値に含まれる誤差が反映されているといえる。すなわち、反射分光膜厚計によって求めた値を真の値と仮定すると、MOSキャパシタの最大容量の実験値は真の値より小さく測定されたと言うことができる。

　この原因について考察する。第一に、蓄積状態への進行が不完全であった可能性が考えられる。蓄積状態では、理想的には

となるが、不完全な蓄積状態では半導体の容量を考慮して

の関係が成り立つため、式(4)を用いるとの値は実際よりも小さく見積もられる。式(5)から、

不完全な蓄積状態が現れる原因として、CV測定における電圧の変化の速度が速く、キャリアの蓄積が追いついていなかったのではないかと考えた。根拠としては、図１において6~16 V付近で、電圧を減少させたときのほうが容量の値が大きくなったことが挙げられる。今回の実験では、電圧を増加させて、16 Vに達したのちに電圧を減少させた。そのため、この手順の間の時間経過でキャリアの蓄積がさらに進行していたと考えることができる。この仮説は、電圧を変化させてから容量の値の一方向の変化がなくなるまで十分な時間をおいて測定することで検証できると考えた。

　第二に、キャリアが不足している可能性を考えた。今回用いたn型半導体基板が、蓄積状態で理想的に金属的に振る舞うために必要な不純物濃度を満たしていない場合、式(5)のように半導体基板の容量が無視できなくなると考えた。この仮説は、より不純物濃度の高いn型半導体基板を用意し、同様の実験をおこなって比較することで検証することができる。比較の結果、仮に不純物濃度の高い基板でより大きい容量が測定された場合、今回用いた基板では完全な蓄積状態に達するのに必要な不純物濃度を満たしていないと結論づけることができる。

３．５　空乏層容量および不純物濃度の導出

図１から最小容量は68.9 pFとわかる。また、式(2)と反射分光膜厚計で測定した酸化膜厚の値から酸化膜の容量は

と求められる。したがって、空乏層容量は

である。空乏層幅は

より

ここで、

より

空乏層にかかる電圧をとすると、不純物濃度は

よってと求められる。

３．６　フラットバンド電圧の実験値の導出

テキスト図６において、もっとも近い不純物濃度のグラフをもとに酸化膜厚約60 nmに対応するの値を読むと、となる。は酸化膜容量であるから

図１から、対応するフラットバンド電圧は3.5 Vと読み取れる。

３．７　フラットバンド電圧の理論値の導出

　フラットバンド電圧は金属と半導体の仕事関数の差であるから

ここで、は金属の仕事関数、はSiの電子親和力、は真性半導体のフェルミ準位までのエネルギー、はドーピングにより移動したフェルミ準位の偏移量である。Alは、Siは、とする。また、

で、室温300 K、として計算すると

式(14)を計算すると

と求まる。よってフラットバンド電圧は

３．８　フラットバンド電圧の実験値と理論値の差について

フラットバンド電圧の実験値は理論値と比較して大きくなった。この原因として、酸化膜中または界面に存在する正の固定電荷の影響が考えられる。固定電荷がだけ存在するとき、フラットバンド電圧の変化量は

で与えられる。式(6)からであり、フラットバンド電圧の実験値と理論値の差は4.188 Vであるから、式(18)から界面電荷密度は

と推定した。

３．９　低周波特性が得られない理由

　低周波特性は、印加電圧の周波数が、少数キャリアである正孔の生成、移動、再結合のサイクルより十分遅いときに観測される。ここで、MOSキャパシタとMOSFETの構造の違いから今回の実験においてMOSキャパシタで低周波特性が得られなかった原因を考える。MOSFETでは、ゲートに閾値電圧以下の負電圧を印加してpチャネルを形成する際、ソースおよびドレインから正孔が迅速かつ大量に供給される。このため、MOSFETでは、比較的高い周波数でも正孔の生成や移動が追いつくため、反転層は導電性の層として機能し、全体の容量は酸化膜厚の容量と同程度になる低周波特性が得られる。一方で、MOSキャパシタは金属、酸化膜、半導体の単純な３層構造であるため、少数キャリアの生成や移動は熱生成や拡散に依存する構造である。この速度はMOSFETのキャリア生成・移動速度に比べて遅く、今回の実験で用いた周波数100 kHzはMOSキャパシタに対して高周波として作用したと考えられる。

**４．まとめ**

MOSキャパシタの作製を通して半導体素子の製造過程についての理解が深まった。さらに、MOSキャパシタの容量−電圧特性を調べることでMOSキャパシタの性質や動作を確かめることができた。