

Práctica 6: Familia lógica TTL. Parámetros eléctricos y tipos de salidas.

Índice

1. Objetivos
2. Material necesario
3. Desarrollo práctico
 - 3.1 Niveles lógicos. Margen de ruido y *fan-out*.
 - 3.2 Salidas especiales
 - 3.2.1 Colector abierto
 - 3.2.2 Triestado

1. Objetivos

- Estudiar un ejemplo representativo de familia lógica bipolar: la TTL (*Transistor-Transistor Logic*).
- El estudio de la familia TTL se realizará simulando en PSpice el comportamiento de diversos chips de la subfamilia TTL estándar.

2. Material necesario

- Familia TTL: Hojas de especificaciones (*datasheets*) de los chips 7404, 7405 y 74125, disponibles en PoliformaT.

MUY IMPORTANTE: Observe que las hojas de especificaciones de cada componente contienen datos de dispositivos con nombres ligeramente diferentes (74XXX, 74LSXXX o 74SXXX, donde XXX es el nombre de dispositivo: 04, 05 o 125). Estas variaciones hacen referencia a **subfamilias** TTL. Las subfamilias TTL son variaciones tecnológicas respecto a la familia TTL original (llamada subfamilia TTL estándar), en las que algunos de los transistores bipolares de los circuitos internos se sustituyen por transistores Schottky, y también se varían los valores de las resistencias en los circuitos internos. Para la realización de esta práctica debe referirse exclusivamente a los datos de la subfamilia TTL estándar (denotados por SN74XXX, sin ninguna letra adicional).

- PC y programa de simulación PSpice para Windows. Existe una versión de estudiante en PoliformaT. También está accesible a través de PoliLabs (<https://polilabs.upv.es>). En la Figura 1 se puede observar la ventana principal de PoliLabs. Hay que seleccionar la ventana DISCA-Windows. Probablemente, la primera vez que la utilice tendrá que descargar e instalar un *plugin* (UDS).

3. Desarrollo práctico

- Inicie PSpice haciendo doble clic sobre el icono PSPICE del escritorio, y guarde los archivos en la unidad de red W:\.
- **MUY IMPORTANTE:** Cuando guarde un circuito, dé al archivo un nombre corto, y preferiblemente con caracteres alfanuméricos (y guiones); evite acentos, espacios y caracteres especiales. Recuerde también que los nombres por defecto utilizados por PSpice (Schematic1, Schematic2, etc.) pueden dar problemas.

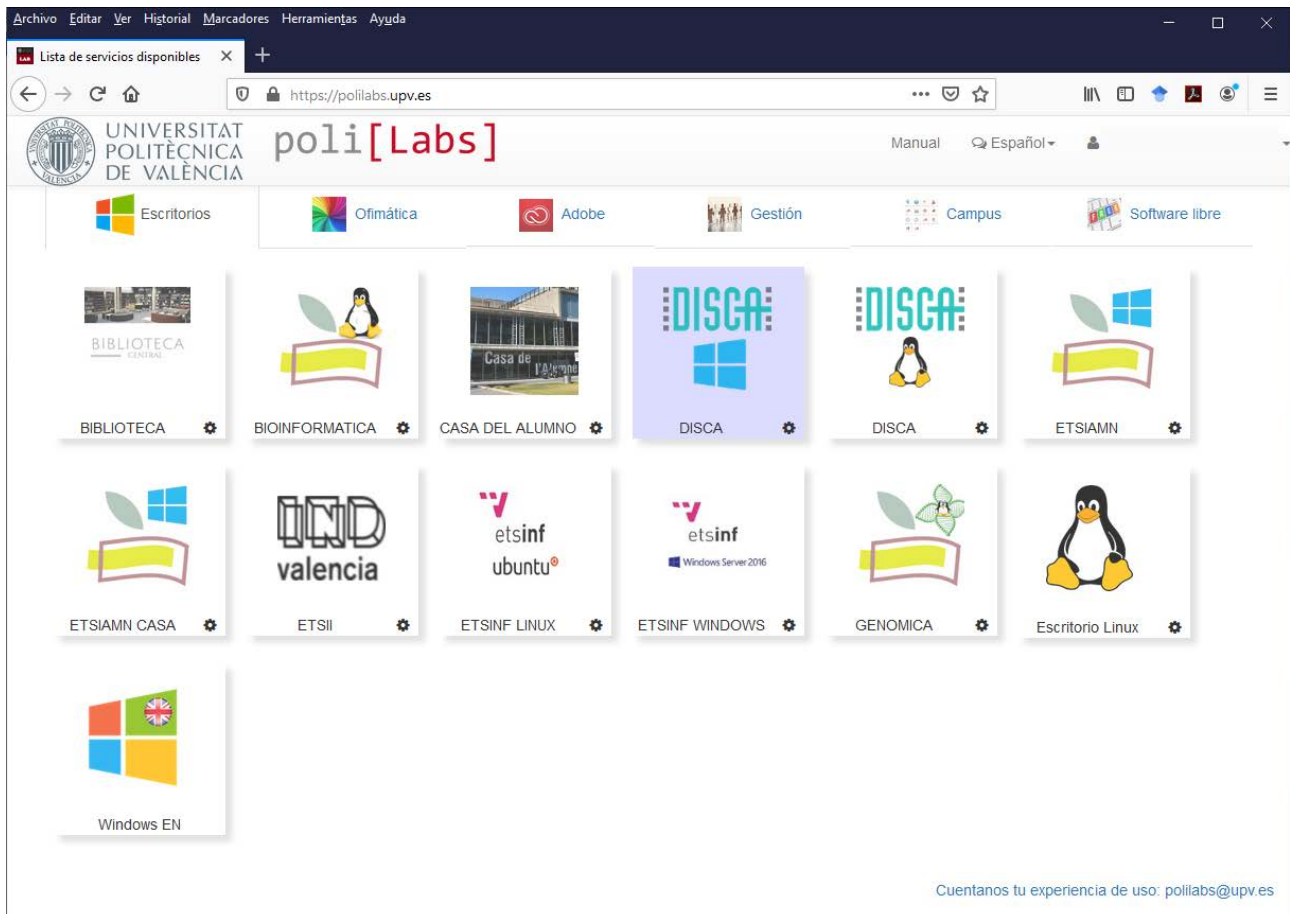


Figura 1. Ventana principal de PoliLabs.

3.1 Niveles lógicos. Margen de ruido y *fan-out*.

(i) Con ayuda de las hojas de especificaciones de la puerta 7404, averigüe los rangos de tensiones de entrada ($V_{IL(max)}$ y $V_{IH(min)}$) y de salida ($V_{OL(max)}$ y $V_{OH(min)}$) de la familia TTL.

$V_{IL(max)} =$ V

$V_{IH(min)} =$ V

¿Qué representan estos valores?

$$V_{OL(max)} = \quad V$$

$$V_{OH(min)} = \quad V$$

¿Qué representan estos valores?

(ii) Con los datos del apartado (i), calcule el margen de ruido de la familia TTL.

$$NM_H =$$

$$NM_L =$$

$$NM =$$

(iii) Dibuje el circuito de la Figura 2 en el programa Schematics de PSpice. Utilice la opción **Draw > Get New Part** del menú para obtener los distintos componentes: VDC para las fuentes de tensión, r para la resistencia, EGND para la masa y 7404 para el inversor.

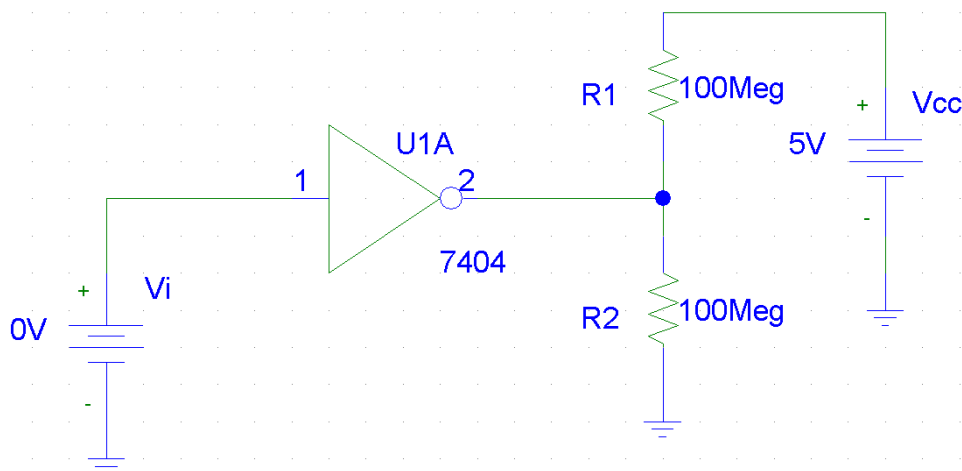


Figura 2. Circuito para monitorizar la tensión de salida en vacío de una puerta TTL.

NOTA: El divisor de tensión de la salida es necesario para que PSpice simule los valores V_{OH} y V_{OL} , pues sin conexión solo genera valores lógicos puros ("0" y "1"). Las resistencias son muy altas precisamente para emular la situación de salida en vacío.

Establezca la tensión de entrada (V_i) a nivel bajo. Para ello basta dar el valor "0V" al atributo "DC" del componente VDC. Simule el circuito (**Analysis > Setup > Bias Point Detail** y **Analysis > Simulate**) y verifique el valor lógico de la salida. Compruebe que tiene activada la casilla "V" para visualizar las tensiones.

¿Cuál es la tensión en la salida? ¿A qué nivel lógico se corresponde?

Establezca la tensión de entrada (V_i) a nivel alto, para lo que tendrá que cambiar el valor del atributo "DC" del generador a 5V. Simule el circuito y verifique el valor lógico de la salida.

¿Cuál es la tensión en la salida? ¿A qué nivel lógico se corresponde?

En este punto habrá comprobado que la puerta funciona como un inversor lógico (puerta NOT).

Establezca ahora la tensión de entrada (V_i) a 1.5V. Simule el circuito y verifique el valor lógico de la salida.

¿Cuál es la tensión en la salida? ¿A qué nivel lógico se corresponde?

¿Por qué ha ocurrido esto?

(iv) Verifique sobre el circuito los rangos de tensión de entrada del apartado (i), variando el valor de V_i y comprobando cuándo se pierden los niveles lógicos de salida.

¿Coinciden?

(v) Analice cómo varían las tensiones de salida dependiendo de la corriente de salida. Para ello, dibuje los circuitos de la Figura 3. Simule cada circuito para los valores de R_L que se indican, mostrando los valores de voltaje, y rellene la siguiente tabla. La idea es variar R_L para provocar una modificación de la corriente de salida que, según el nivel lógico, puede ser entrante (circuito 3a) o saliente (circuito 3b). R_L está emulando la presencia de circuitos conectados a la salida de la puerta.

	$V_i = 0V$	$V_i = 5V$
R_L	$V_{OH} (V)$	$V_{OL} (V)$
22k Ω		
1k Ω		
100 Ω		

¿Qué relación observa entre R_L y V_o ?

¿Qué ocurre cuando $R_L = 100\Omega$?

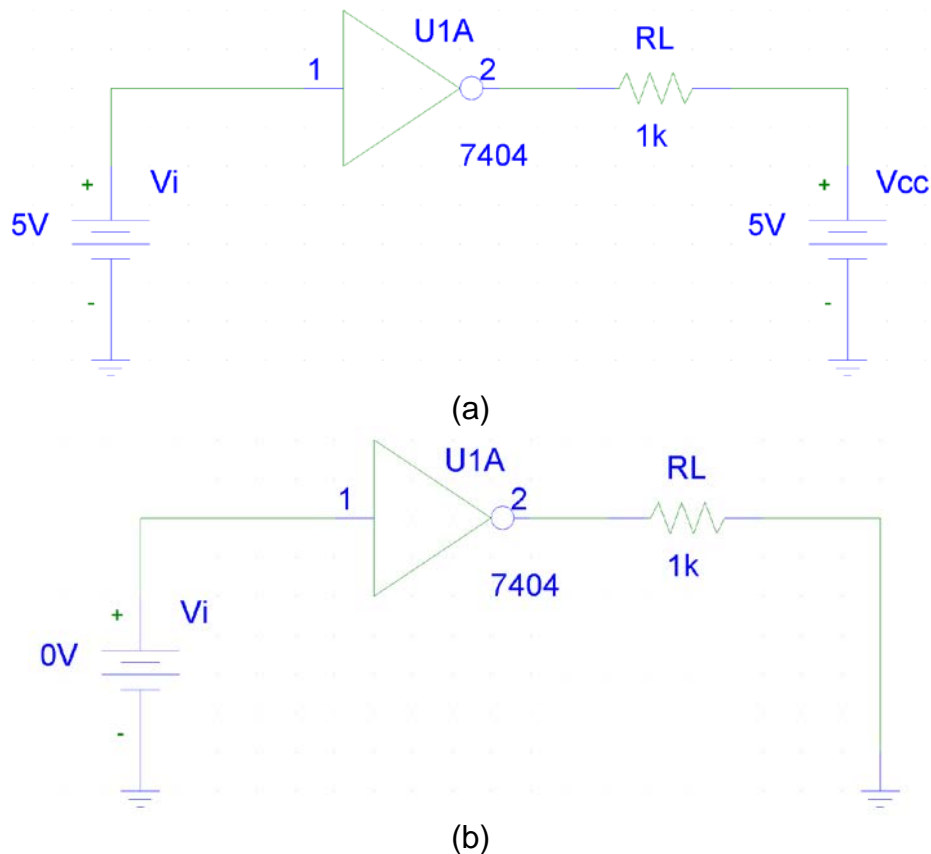


Figura 3. Circuito para analizar la variación de las tensiones de salida en función de la corriente de salida. (a) Nivel bajo. (b) Nivel alto.

Lo que sucede es que R_L influye en la corriente de salida: a menor R_L , mayor corriente de salida (I_O mayor), y viceversa. Esto explica por qué los fabricantes indican en las hojas de especificaciones una **corriente de salida máxima** ($I_{OH(max)}$, $I_{OL(max)}$): para garantizar los niveles lógicos de la tensión de salida.

(vi) Utilizando las hojas de especificaciones del 7404, averigüe las corrientes máximas de salida ($I_{OL(max)}$ e $I_{OH(max)}$), y calcule el *fan-out* de la familia TTL.

$I_{OL(max)} =$ **mA**

$I_{OH(max)} =$ **mA**

***Fan-out*(TTL)_H =**

***Fan-out*(TTL)_L =**

***Fan-out*(TTL) =**

3.2 Salidas especiales: triestado y colector abierto

Las salidas triestado y en colector abierto **permiten conectar varias salidas entre sí**, cosa que no se puede hacer con las salidas estándar (*totem-pole*), pues se pueden producir conflictos lógicos y la degradación de la puerta por corriente excesiva.

A continuación realizaremos algunos ejemplos de montaje con puertas con salidas especiales.

3.2.1 Salidas en colector abierto

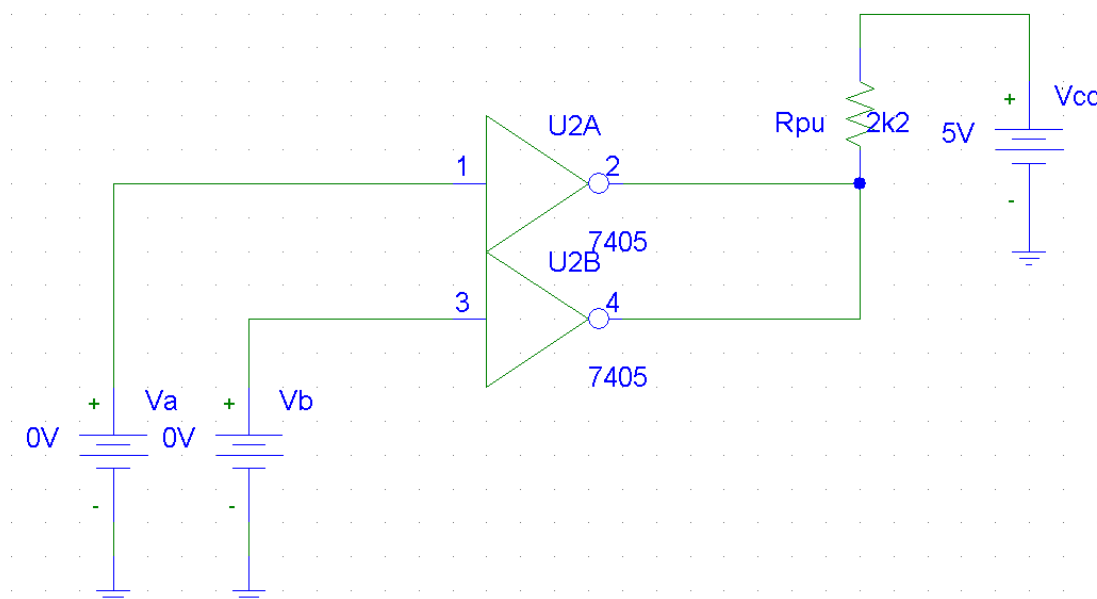


Figura 4. Interconexión de dos salidas en colector abierto.

Dibuje el circuito de la Figura 4. El **chip 7405** está constituido por 6 inversores con salidas en colector abierto (ver las hojas de especificaciones en PoliformaT), de los cuales se utilizan 2. Obsérvese la presencia de la **resistencia de pull-up** R_{pu} de $2.2k\Omega$, externa al chip, y conectada entre la salida común y V_{cc} .

(i) Varíe el valor de la tensión en las entradas A (V_a) y B (V_b): “0” = 0V, “1” = 5V, y rellene la siguiente tabla de verdad:

$V_a(V)$	$V_b(V)$	$V_F(V)$	F
0	0		
0	5		
5	0		
5	5		

Indique la expresión de **F en función de las entradas A y B**:

F =

Verifique que **la salida F es la AND-cableada de las salidas de las puertas**. Es decir, la interconexión de las salidas en colector funciona como una AND de las mismas, sin necesidad de añadir ninguna puerta.

(ii) Quite la resistencia R_{pu} y su conexión a +5V, dejando las salidas de las dos puertas interconectadas entre sí (ver Figura 5). Vuelva a cambiar los valores de V_a y V_b y rellene la siguiente tabla:

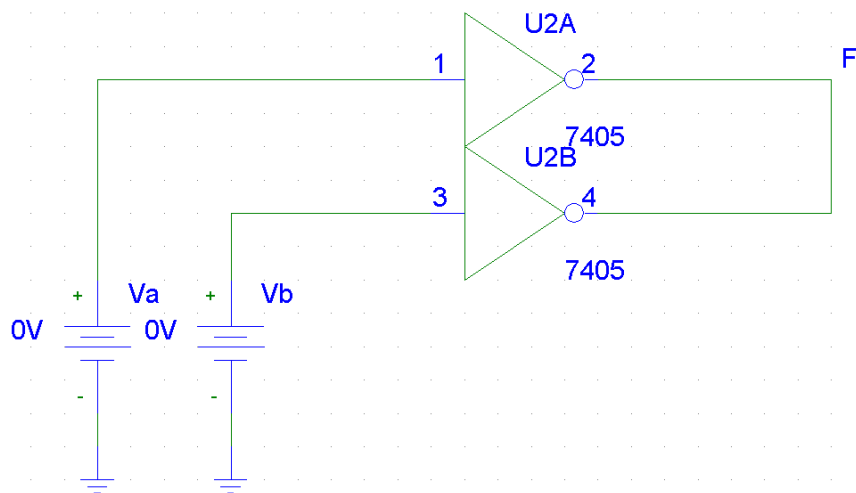


Figura 5. Interconexión de dos salidas en colector abierto sin resistencia de *pull-up*.

$V_a(V)$	$V_b(V)$	F
0	0	
0	5	
5	0	
5	5	

¿Qué observa? ¿Por qué es necesaria la resistencia R_{pu} ?

3.2.2 Salidas triestado

Las salidas triestado tienen, como su nombre indica, 3 estados: los habituales “0” y “1”, y un tercero especial, la **ALTA IMPEDANCIA** (Z o *Hi-Z*), que equivale a la desconexión de la salida. Mediante un terminal de control (*ENABLE*), se selecciona el modo normal o el *Hi-Z*. Esto permite compartir una salida común (en modo BUS), siempre que, en un momento dado, todas las salidas menos una estén en *Hi-Z*.

(i) Para mostrar el funcionamiento de las salidas triestado, dibuje el circuito de la Figura 6. Se trata de un multiplexor 2x1, realizado con dos *buffers* triestado que pertenecen al **chip 74125** (ver las hojas de especificaciones en PoliformaT). Los *buffers* se habilitan (ver la entrada de habilitación –*ENABLE*– en las patillas 1 y 4 de cada *buffer*) a nivel bajo.

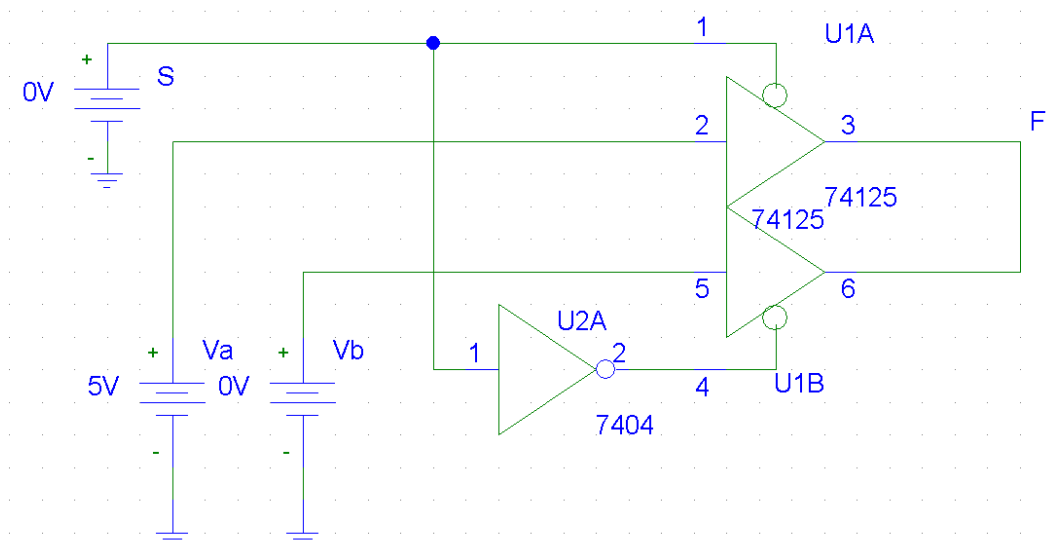


Figura 6. Multiplexor 2x1 realizado con puertas triestado.

S es la señal de selección del multiplexor, encargada de activar uno de los 2 canales de entrada, A o B. El inversor 7404 utilizado asegura que las señales de habilitación de ambos *buffers* sean complementarias.

Fije las entradas A y B a dos valores lógicos distintos. Por ejemplo, A="1" (5V) y B="0" (GND).

Ponga S="1" (5V). ¿Qué valor lógico tiene F? ¿Por qué?

Ponga S="0". ¿Qué valor lógico tiene F? ¿Por qué?

¿Por qué no hay conflicto lógico en F entre las salidas de los dos *buffers*?

¿Se podría hacer el mismo montaje con puertas 7404? ¿Por qué?