

FONAMENTS DE COMPUTADORS

Pràctica 3

Descodificadors i multiplexors

<i>Cognoms i nom</i>	<i>Grup</i>	<i>DNI</i>

GENERALITATS

En aquesta pràctica, una vegada coneguts els conceptes de la lògica combinacional i experimentat amb portes i funcions lògiques elementals, així com la utilització per a generar funcions i la posterior simplificació, l'alumne posarà en pràctica els coneixements adquirits relatius a circuits més complexos i d'especial importància dins de les diferents unitats funcionals del computador, com són els descodificadors i multiplexors.

Els circuits integrats o xips disponibles en el mercat amb descodificadors i multiplexors formen part dels anomenats circuits MSI (*mitjana escala d'integració*). En aquesta pràctica implementarem funcions lògiques per mitjà de l'ús de aquests circuits.

L'esquema de l'entrenador que usarà l'alumne serà exactament el mateix que es va utilitzar en la pràctica anterior, sense introduir cap altre bloc funcional. Recordem l'esquema:

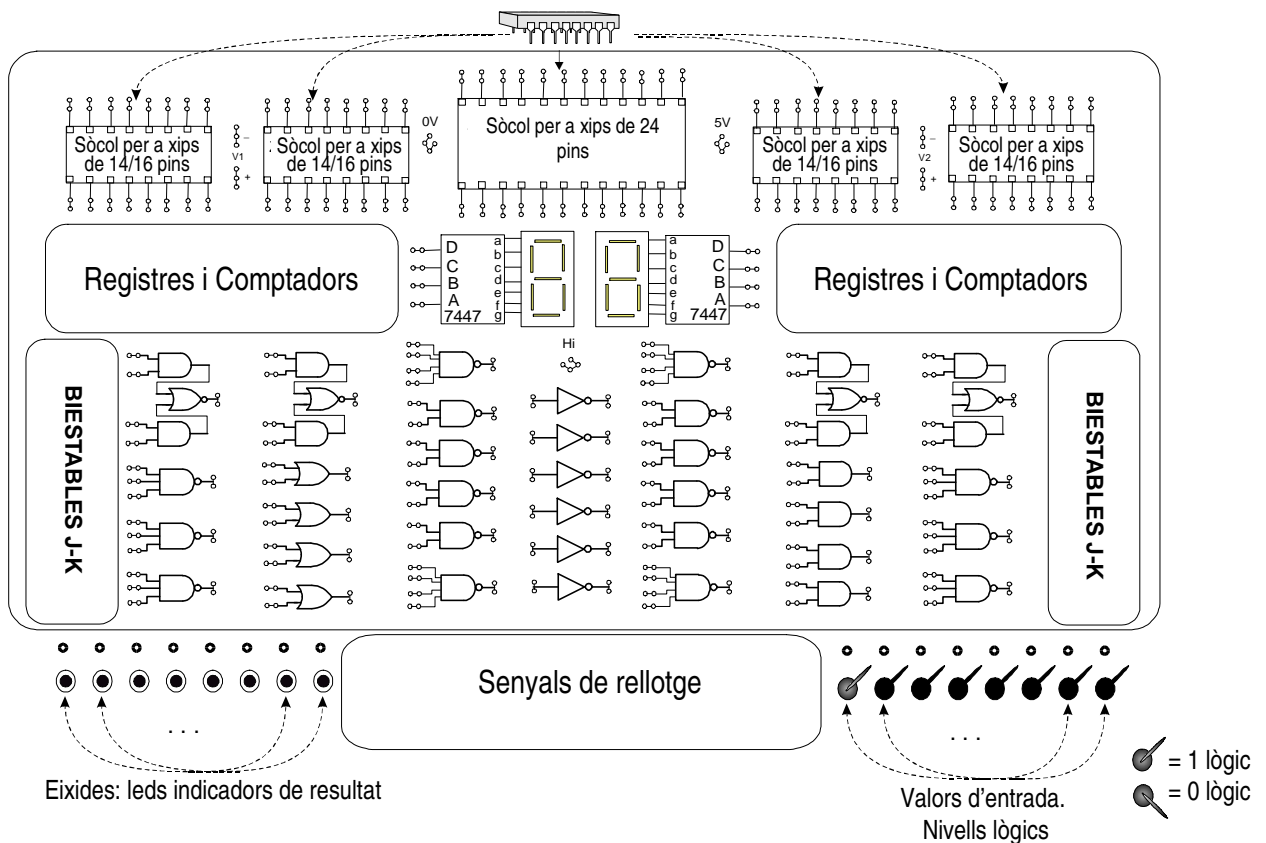


Figura 1: esquema funcional detallat.

Descodificadors binaris.

En aquest primer apartat de la pràctica l'alumne aplicarà els coneixements teòrics relatius a descodificadors binaris. El circuit MSI que s'utilitzarà és el xip 74139 de 16 pins, que incorpora dos descodificadors independents de 2 entrades i quatre eixides (actives a nivell baix), a més d'una entrada d'habilitació (també activa a nivell baix). En els fulls d'especificacions del fabricant (al final del butlletí), l'alumne trobarà tota la informació necessària per a connectar i utilitzar el 74139. L'alumne s'ha de familiaritzar amb els fulls d'especificacions de cara a saber interpretar qualsevol circuit a partir de les especificacions d'aquest.

ATENCIÓ!: El fabricant utilitza els mateixos fulls tècnics per a descriure dos descodificadors distints, el 74138 (un sol descodificador de 3 a 8 amb diverses habilitacions) i el 74139 (dos descodificadors de 2 a 4 amb habilitació integrats en un únic xip).

- a) Utilitzeu el circuit 74139 col·locat en un dels sòcols de 16 pins de l'entrenador i verifiqueu el funcionament correcte de qualsevol dels dos descodificadors de 2 a 4 per mitjà de l'obtenció de la seva taula de veritat.

Entrades			Eixides			
Habilitació	Selecció					
/G	B	A	/Y0	/Y1	/Y2	/Y3
1						
0						
0						
0						
0						

Taula de veritat d'un descodificador dels dos incorporats en el xip 74139

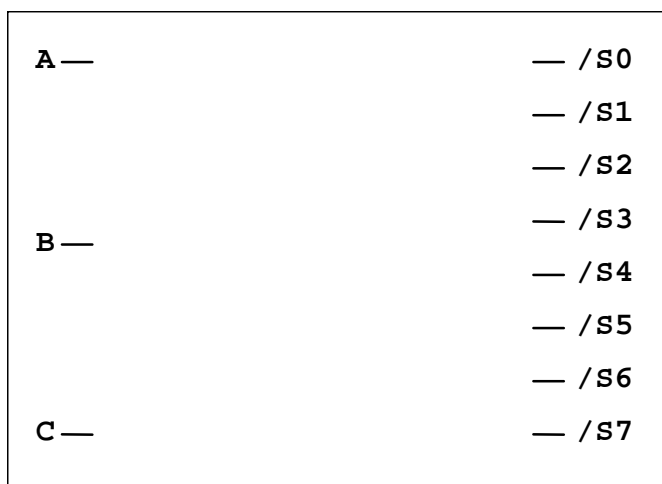
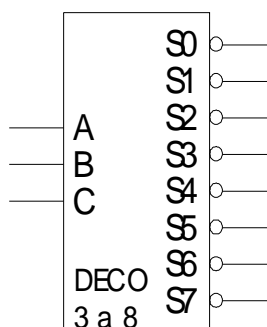
NOTA: En la taula de veritat anterior s'han utilitzat noms genèrics; el fabricant, per a distingir les entrades i eixides de cada un dels descodificadors que es troben dins del xip les anomena /G1, A1, B1, /I10, /I11, /I12, /I13 per al primer i /G2, A2, B2, /I20, /I21, /I22, /I23 per al segon.

- b) Dibuixeu el símbol lògic corresponent a la taula de veritat anterior

ATENCIÓ: No oblideu, per a aquest circuit i per a tots els altres, d'etiquetar totes les entrades i eixides, i d'emprar la nomenclatura adequada a les entrades i eixides actives a nivell baix.

Una de les tècniques per mitjà de la qual és possible obtenir descodificadors de nombre més gran d'entrades a partir d'altres amb un nombre menor, és la **composició de descodificadors**, que consisteix a col·locar diversos descodificadors en paral·lel i per mitjà de lògica addicional determinar què descodificador ha d'estar actiu en cada moment.

- c) Utilitzant la tècnica comentada anteriorment, utilitzeu els dos descodificadors del circuit 74139 junt amb una porta NOT per a dissenyar i implementar en l'entrenador un descodificador de 3 a 8, el símbol lògic del qual podem observar en la figura següent. (Nota: observeu que en aquest cas no hi ha entrada d'habilitació externa).



Símbol lògic DECO 3 a 8

Circuit implementat

NO DESMUNTEU EL CIRCUIT (s'utilitza en apartats posteriors)

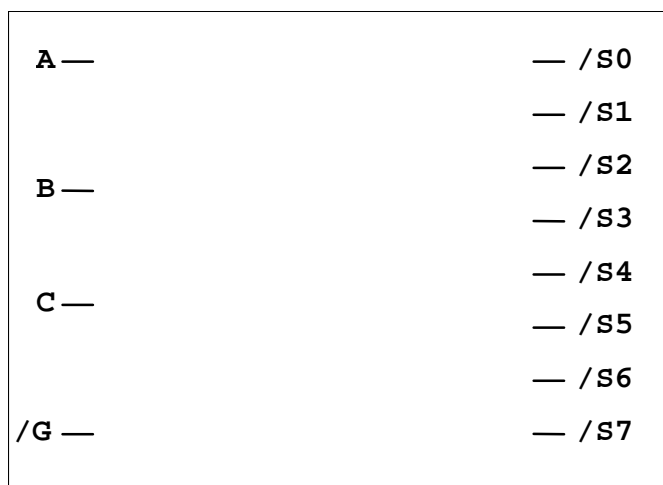
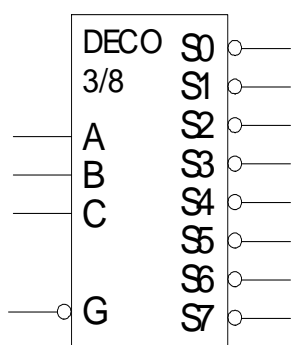
- d) Verifiqueu el funcionament correcte del circuit implementat en l'apartat anterior obtenint la seva taula de veritat

<i>Entrades</i>	<i>Eixides</i>							
CBA	/S0	/S1	/S2	/S3	/S4	/S5	/S6	/S7
000								
001								
010								
011								
100								
101								
110								
111								

Taula de veritat d'un descodificador de 3 a 8

- e) Modifiqueu el descodificador 3 a 8 implementat en l'apartat "c" de manera que s'obtinga un circuit descodificador 3 a 8 amb entrada d'habilitació externa a nivell baix. Per a l'implementació del circuit cal utilitzar algunes portes lògiques addicionals.

Mostreu el circuit implementat junt amb el símbol lògic del mateix.



Símbol lògic DESCO 3 a 8
amb entrada d'habilitació

Circuit implementat

- f) Verifiquen el funcionament correcte del circuit implementat en l'apartat anterior obtenint la seva taula de veritat.

Entrades		Eixides							
/G	CBA	/S0	/S1	/S2	/S3	/S4	/S5	/S6	/S7
0	000								
0	001								
0	010								
0	011								
0	100								
0	101								
0	110								
0	111								
1	000								
1	001								
1	010								
1	011								
1	100								
1	101								
1	110								
1	111								

Taula de veritat d'un descodificador de 3 a 8 amb entrada d'habilitació

Multiplexors.

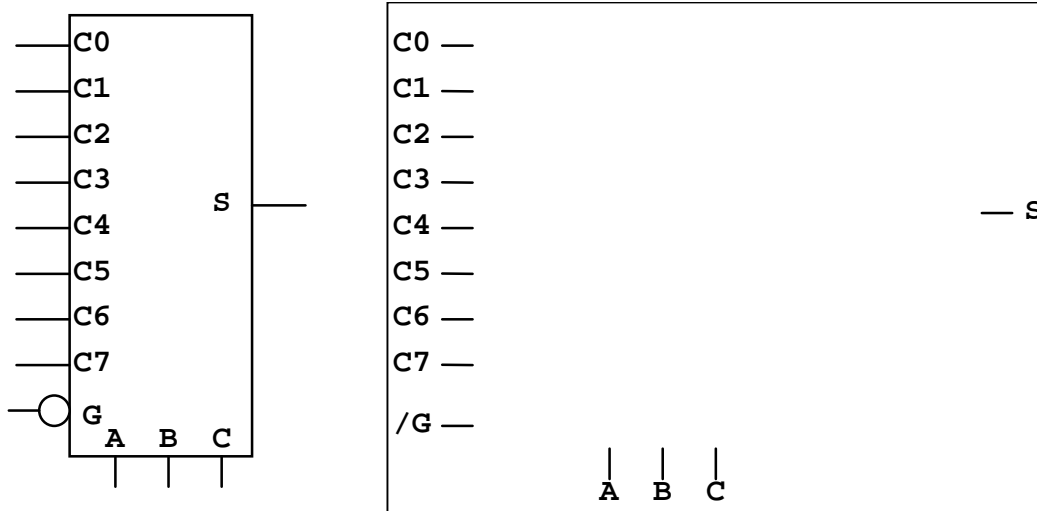
Un multiplexor és un circuit combinacional amb 2^n línies d'entrada de dades, 1 línia d'eixida i n entrades de selecció. Les entrades de selecció indiquen quina de les línies d'entrada de dades és la que proporciona el valor a la línia d'eixida.

El circuit MSI que s'utilitzarà és el xip 74153 de 16 pins (vegeu fulls d'especificacions al final del butlletí) que incorpora dos multiplexors complets en el mateix xip.

També es poden construir multiplexors amb nombre més gran d'entrades que utilitzen multiplexors de menys entrades i que també utilitzen la **composició de multiplexors**.

- a) Utilitzeu el xip 74153 i les portes necessàries disponibles en l'entrenador, per a construir un multiplexor de 8 a 1 amb entrada d'habilitació activa a nivell baix. **Tingueu en compte** que només disposem d'un circuit integrat 74153, per la qual cosa serà necessari implementar per mitjà de portes lògiques algun dels multiplexors emprats en la composició. **A més a més**, pareu atenció que aquest circuit te dotze (12) entrades. Això vol dir que tindríem que verificar $2^{12} = 4096$ que són un bon grapat. Però el pitjor és que no tenim 12 commutadors per generar cadascuna de les 12 variables d'entrada. Per poder provar el circuit amb trellat fixarem les entrades de dades (C7, C6, C5, C4, C3, C2, C1 i C0) als valors fixes 01110001 respectivament. D'aquesta manera ens queden quatre (4) entrades (/G, C, B i A) que connectarem als commutadors i avaluarem només 16 de les 2^{12} (4096) possibles combinacions de les entrades.

NO DESMUNTEU EL CIRCUIT.



*Símbol lògic MUX 8 a 1
amb entrada d'habilitació*

Circuit implementat

- b) Per cert, si abans, per a provar el multiplexor, em donat valors fixes a les entrades de dades, el que hem fet és implementar-ne una funció lògica concreta. Sabries dir-me quina és aquesta funció? Expressa-la per mitjà de la forma canònica disjuntiva:

$$f_{C,B,A} = \sum_{CBA} (\quad)$$