

Práctica 8. Entregable

CONFIGURACIÓN Y PRESTACIONES DE LOS MÓDULOS DE MEMORIA

Nombre y apellidos: Andreu Mut Portes

GRUPO: 2A L1

Ejercicios propuestos: Obtención de las características de los módulos de memoria SDRAM

Información proporcionada por el programa CPU-Z para el computador ejemplo bajo la pestaña SPD.

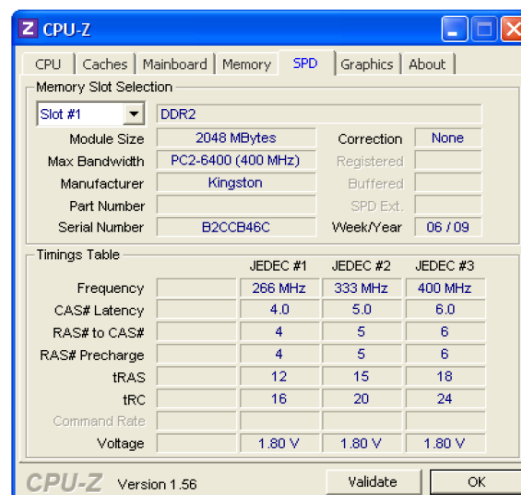


Figura 3. Características de los módulos de memoria proporcionadas por el fabricante

Parámetros temporales de la memoria del computador ejemplo:

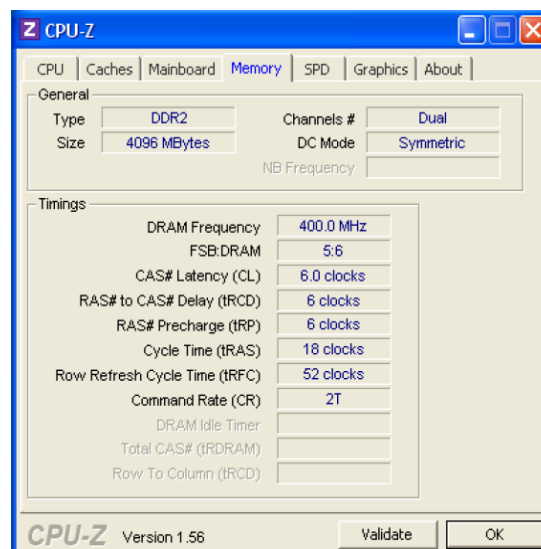


Figura 4. Principales parámetros temporales de los módulos de memoria en función de su frecuencia de trabajo

PARTE I. Análisis de la configuración de memoria del equipo ejemplo

- Desde los datos proporcionados por la hoja de especificaciones de los módulos (archivo KVR800D2N6_2G.pdf) y el programa CPU-Z (Figuras 3 y 4) rellénese la siguiente tabla. Recuérdese que la figura 3 muestra **información solo de un slot, pero existe un segundo** con idénticas características.

Información sobre la capacidad y organización de los módulos de memoria

Número total de módulos DIMM	2
Tamaño de los módulos DIMM que forman la memoria <i>Expresado en MB</i>	2 * 2048MB= 4096MB
Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	4GB
Capacidad en palabras x tamaño_palabra de los módulos DIMM Capacidad = Palabras * nºbits (en Bytes)	<p>2048MB=Paraules * 64bits => Paraules = $2^{31} / 2^3B = 2^{28}$paraules = 256MParaules</p> <p>Capacitat = 256Mparaules * 8B</p>
Número de filas de chips en cada módulo	<p>2 files de 128M*64bits</p> <p>Per què? Segons les especificacions, cada modul te "128M*8bits". Com volem 64 bits, necessitem 8 moduls de 8 bits. (8*8=64bits) pero son 128M * 64 bits.</p> <p>Les especificacions diuen que es 256M*64 per tant necessitem 2 files de 128M*64bits</p>
Capacidad de los chips de memoria de los módulos <i>(expresada en palabras x tamaño_palabra)</i>	128Mparaules x 8bits (segons les especificacions del pdf)
Número total de chips de memoria contenidos en un módulo	<div style="border: 1px solid black; padding: 5px; margin: 10px 0;"> $\text{nombre_xips} = \frac{W}{w}$ </div> <p>(Diapos 71/103) La formula anterior dona resultat per fila.</p> <p>Nombre xips= 64bits/8bits= 8 xips per fila. Tenim 2 files, aleshores: 2*8=16 xips (en un modul DIMM)</p>
Tipo de chips de memoria SDRAM que se utilizan <i>(DDR, DDR2, DDR3)</i>	DDR2
Nomenclatura estándar de los módulos empleados <i>(PC-xx00, PC2-xx00, PC3-xx00)</i>	PC2-XX00

Información sobre frecuencia de trabajo y ancho de banda de los módulos

Frecuencia de reloj máxima a la que pueden trabajar los buses externo de los módulos de memoria	400MHz (Segons Figura 3)
Tasa máxima de transferencia de los módulos (palabras que se transfieren por segundo) <i>Expresada en millones de transferencias por segundo (MT/s)</i>	800MT/s Es el doble de la f porque actúa en el tic i en el tac
Ancho de banda pico de los módulos <i>Expresado en MB/s</i>	400MHz * 8Bytes * 2= 6400MB/s (el 2 es pel tic i el tac)
Frecuencia de reloj a la que trabajan los buses externos de los módulos en el equipo del laboratorio	Els tres busos externs treballen a les següents velocitats: 266MHz, 333MHz i 400MHz (Segons Figura 3)
Ancho de banda pico de los módulos en el equipo del laboratorio <i>Expresado en MB/s</i>	400MHz * 8Bytes * 2= 6400MB/s

2. En la hoja de especificaciones se indica que los chips de memoria de los módulos son de tipo DDR2-800 ¿Qué significado tiene el valor 800?

Es la tasa máxima de transferencia dels moduls. El que hem anomenat anteriorment com a 800MT/s

3. A partir de los datos proporcionados por la hoja de especificaciones de los módulos (KVR800D2N6_2G.pdf) y el programa CPU-Z, rellénese la siguiente tabla con los valores de los principales parámetros temporales:

	ns	Ciclos Reloj
t_{ck} (ciclo mínimo de reloj)	2.5ns /cicle	
CL (CAS Latency)	15ns	6
T_{RCD}	15ns	6
T_{RAS}	45ns (min)	18
T_{RC}	60ns (min)	24

Nota: Puede ser que el valor en ns de algunos de estos parámetros no lo proporcione la hoja de características. En tal caso, rellénese el correspondiente hueco de la tabla con ND.

$$t_{ck} = (1 / (\text{Frequència}) * 10^6)$$

$$t_{ck} = (1 / (400 * 10^3) * 10^6) = 2,5ns$$

$$CL = t_{ck} * \text{numCicles} = 2,5 * 6 = 15ns$$

4. Exprese la temporización del chip SDRAM en el formato estándar establecido por JEDEC (*Joint Electron Device Engineering Council*): CL- T_{RCD} - T_{RP} - T_{RAS}

$$T_{RP} = T_{RC} - T_{RAS} = 60 - 45 = 15\text{ns}$$

Se dona en ciclos.

6	--	6	--	6	--	18
---	----	---	----	---	----	----

5. ¿Cuánto valdría CL si la frecuencia de trabajo fuera de 300 MHz?

$$t_{ck} = (1 / (300 * 10^3)) * 10^6 = 3.3333\text{ns}$$

CAS = $3.333 * 6\text{cicles} = 20\text{ns}$ <- Cal expresarla en cicles per tant... (saben que 15ns son 6 cicles)

$$(20 * 6) / 15 = 8 \text{ cicles}$$

6. ¿Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío del comando de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

Temps d'accés es major o igual que $T_{rdd} + T_{cl}$, per tant... (Diapos 53/103)

$$\text{Temps d'accés es: } 15 + 15 = 30\text{ns}$$

$$\text{En cicles... } 6 + 6 = 12$$

	Ciclos Reloj	ns
Tiempo de acceso	12	30ns

PARTE II. Cronograma de lectura de 4 bloques de 4 palabras. ► Ayudados por la Figura 2 y por los valores de los parámetros temporales obtenidos en el Ejercicio 1, represéntese sobre el cronograma la temporización del envío de las sucesivas órdenes (*command*), de las correspondientes direcciones de fila o columna y del volcado de los datos (D) correspondientes al acceso a 4 bloques **pertenecientes a filas distintas** de un mismo banco. Los comandos corresponderán a los de activación (A) y lectura (R). La dirección podrá ser de filas (F_i) o de columnas (C_i), donde el subíndice indica el número de orden del bloque (0 ... 3) al que hacen referencia. Finalmente, los datos se expresarán en la forma D_i , donde el subíndice i hace referencia a la palabra (0 ... 3) dentro de cada uno de los bloques. Asimismo, **deberán marcarse con una (P) sobre la línea de órdenes los ciclos de reloj en los que se realizan las precargas**. Recuérdese que al tratarse de una SDRAM de tipo DDR, en cada ciclo de reloj se transfieren dos palabras. **Nota:** No hace falta representar el envío de los comandos NOP

*Imaginar aquest exercici com a la matriu de la diapos 45/103 del tema 5. Cal llegir en **files diverses** segons l'enunciat, aleshores caldrà esperar després de cada activació el $t_{rcd} + CL$. En el 99% dels casos t_{rcd} serà igual que t_{rp} . Caldrà llegir en les 4 files (F_0, F_1, F_2 i F_3) la columna que nosaltres vulguem perquè no ens diu de llegir cap en concret. Per exemple (C_3 de la fila 0, C_2 de la fila 1, C_3 de la fila 2, C_4 de la fila 3)*

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19	T20	T21	T22	T23	T24	T25	T26	T27	T28	T29	T30	T31	T32	T33	T34	T35	T36
Orden	A						R												P							A						R				
Dirección	F ₀						C ₃																			F ₁						C ₂				
Datos													D ₈ D ₉	D ₁₀ D ₁₁																						

	T37	T38	T39	T40	T41	T42	T43	T44	T45	T46	T47	T48	T49	T50	T51	T52	T53	T54	T55	T56	T57	T58	T59	T60	T61	T62	T63	T64	T65	T66	T67	T68	T69	T70	T71	T72
Orden							P						A						R												P					
Dirección													F ₂						C ₃																	
Datos	D ₂₀ D ₂₁	D ₂₂ D ₂₃																								D ₄₀ D ₄₁	D ₄₂ D ₄₃									

	T73	T74	T75	T76	T77	T78	T79	T80	T81	T82	T83	T84	T85	T86	T87	T88	T89	T90	T91	T92	T93	T94	T95	T96	T97	T98	T99	T100	T101	T102	T103	T104	T105	T106	T107	T108
Orden	A						R												P																	
Dirección	F ₃						C ₄																													
Datos													D ₆₀ D ₆₁	D ₆₂ D ₆₃																						

PARTE III. VOLUNTARIA

Análisis de la configuración de memoria del equipo del estudiante

Para llevar a cabo esta parte de la práctica el estudiante deberá instalar en su equipo personal el programa CPU-Z, bien desde el archivo proporcionado en PoliformaT o bien a través del enlace: <http://www.cpubid.com/software/cpu-z.html>

El archivo se deberá ejecutar en el equipo del estudiante para conocer las características más importantes del sistema. La información de memoria obtenida se deberá completar con los datos extraídos de la hoja de especificaciones proporcionada por el fabricante de los chips. Esta hoja de especificaciones es, generalmente, fácil de obtener a través de una consulta en cualquier buscador.

En el caso del equipo ejemplo de la primera parte de esta práctica bastaría con buscar en Internet “Kingston HX318C10FB/8” para obtener las hojas de especificaciones correspondientes.

1. Copiar y pegar las capturas de pantalla obtenidas de la ejecución de CPU-Z sobre vuestro computador y que se corresponden con las pestañas *SPD* y *Memoria*, equivalentes a las mostradas en Figuras 3 y 4.
2. A partir de los datos proporcionados por el programa CPU-Z acerca de la configuración de memoria del equipo en el que se halla instalado, rellénese la tabla que aparece a continuación:

Identificativo de la memoria proporcionado por el fabricante	CMK16GX4M2B3200C16W
Número total de módulos DIMM	2
Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	16GB
Nomenclatura estándar de los módulos empleados <i>(PC-xx00, PC2-xx00, PC3-xx00)</i>	DDR4-3200 (PC4-25600)
Frecuencia de reloj a la que trabajan los buses externos de los módulos SDRAM en el equipo analizado	1600MHz
Ciclo de reloj al que trabajan los buses externos de los módulos SDRAM en el equipo analizado <i>Expresado en ns</i>	$(1/1600 \cdot 10^3) \cdot 10^6 = 0.625\text{ns}$
Ancho de banda pico de los módulos SDRAM en el equipo analizado <i>Expresado en MB/s</i>	$1600\text{MHz} \cdot 8\text{Bytes} \cdot 2 = 25600\text{MB/s}$

3. Expresar la temporización del chip SDRAM en el formato estándar establecido por JEDEC (*Joint Electron Device Engineering Council*): {CL- T_{RCD} - T_{RP} - T_{RAS} }, de acuerdo a la temporización JEDEC #i requerida con arreglo a la frecuencia de los buses de la SDRAM

$$T_{rp}=T_{rc} - T_{ras} = 54-36=18\text{cicles}$$

18 -- 18 -- 18 -- 36

- 4.Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío de la orden de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

	Ciclos Reloj	ns
Tiempo de acceso	18+18=36cicles	36*0.625=22.5ns

5. Localizar la hoja de características de los módulos de memoria que, según CPU-Z, se encuentran instalados en el equipo analizado.

***Nota:** En ocasiones, el identificador de memoria ofrecido por CPU-Z no se corresponde con el real, el cual se puede observar abriendo el equipo y examinando la leyenda contenida sobre los módulos DIMM instalados. Si se puede realizar fácilmente esta operación indique a continuación la identificación auténtica de los módulos*

CMK16GX4M2B3200C16W

6. A partir de los datos proporcionados por la hoja de características de los módulos de memoria que ha localizado (según identificador ofrecido por CPU-Z), rellénesse la tabla que aparece a continuación:

Capacidad en palabras × tamaño_palabra de los módulos DIMM	4096MB=Paraules * 64bits => Paraules = $2^{32} / 2^3B = 2^{29}$ paraules = 512MParaules Capacitat = 512Mparaules * 8B
Número de filas de chips dentro de cada módulo	
Número total de chips de memoria contenidos en un módulo	
Capacidad en palabras × tamaño_palabra de los chips de memoria de los módulos	
Tipo de chips de memoria SDRAM que se utilizan (DDR-xxxx, DDR2-xxxx, DDR3-xxxx)	DDR4-3200 (PC4 25600)
Frecuencia de reloj máxima a la que pueden trabajar los buses externos de los módulos de memoria	1600MHz

Tasa máxima de transferencia de los módulos
(palabras que se transfieren por segundo)

Expresada en millones de transferencias por segundo (MT/s)

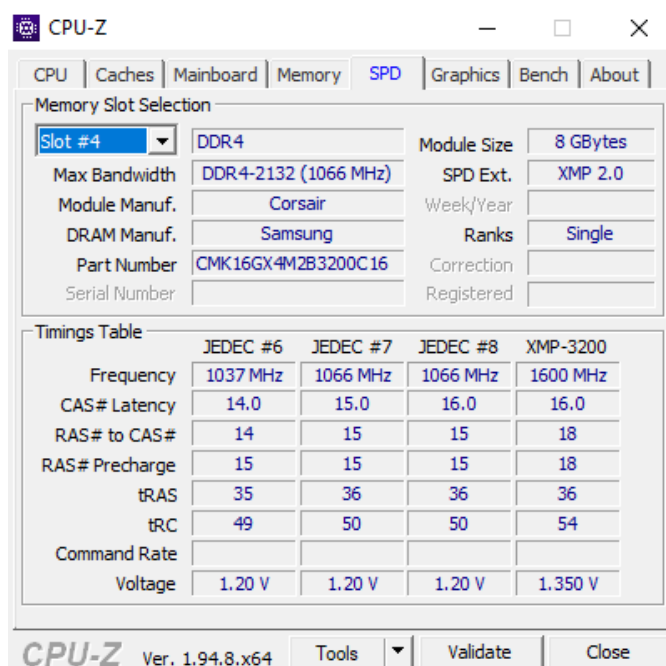
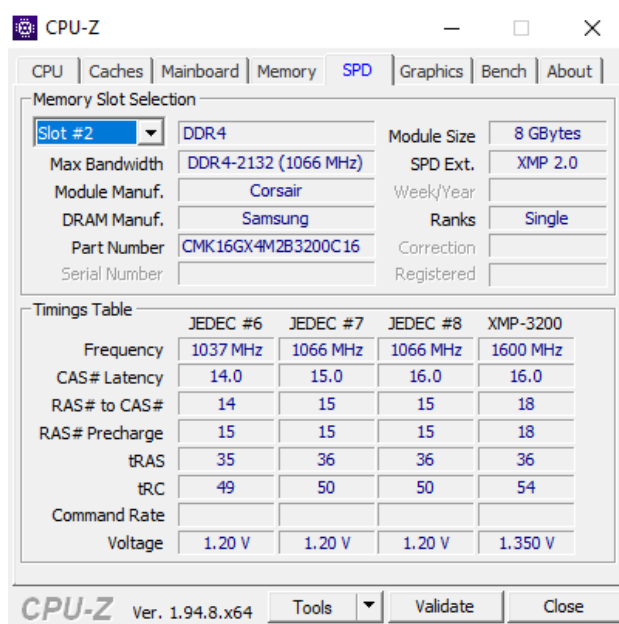
3200MT/s

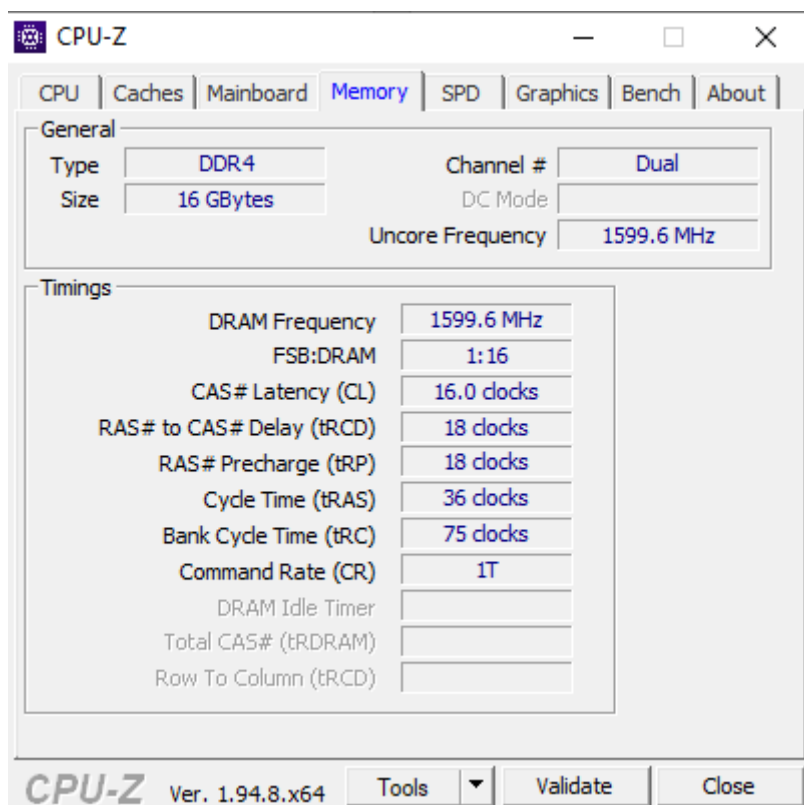
Ancho de banda pico de los módulos

Expresado en MB/s

$1600\text{MHz} * 8\text{Bytes} * 2 =$
25600MB/s

Insertar aquí capturas de pantalla obtenidas tras la ejecución del programa CPU-Z





Insertar aquí hoja de especificaciones del fabricante

Detalles

Memoria interna: 16 GB, Diseño de memoria (módulos x tamaño): 2 x 8 GB, Tipo de memoria interna: DDR4, Velocidad de memoria del reloj: 3200 MHz, Forma de factor de memoria: 288-pin DIMM, Latencia CAS: 16

Número de artículo IEIG5U28

Tipo	SDRAM-DDR4	
Color	blanco	
EAN	0843591088381	
Código del fabricante	CMK16GX4M2B3200C16W	
Capacidad	16 GB (2 x 8.192 MB)	
Módulos	2 unidad(es)	
Diseño	DIMM	
Equipamiento	dos caras	
Conexión	288 contactos	
Voltaje	1,35 voltios (por 1,2 hasta 1,35 voltios)	
Estándar	DDR4-3200 (PC4-25600)	
Reloj físico	1600 MHz	
Sincronizaciones	Latencia CAS (CL)	16
	RAS-al-CAS Delay (tRCD)	18
	Tiempo RAS Precharge (tRP)	18
	Tiempo activo (tRAS) de fila	36
Característica	XMP 2.0	
Peso	96 gramos	