

CST Análise e Desenvolvimento de Sistemas

AOC786201 - Fundamentos de Arquitetura e Organização de Computadores

Lógica sequencial
Flip-flop

Combinacional X Sequencial

Combinacional



Apresentam as saídas, únicas e exclusivamente, dependentes das combinações das entradas.
Circuitos combinacionais não possuem memória.

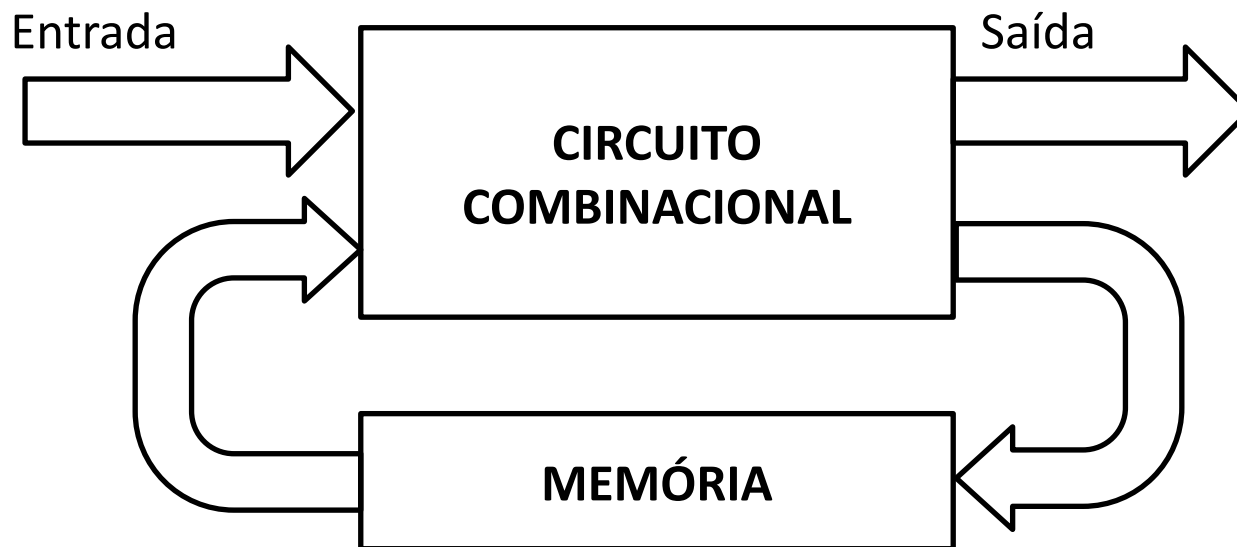


Combinacional X Sequencial

Sequencial



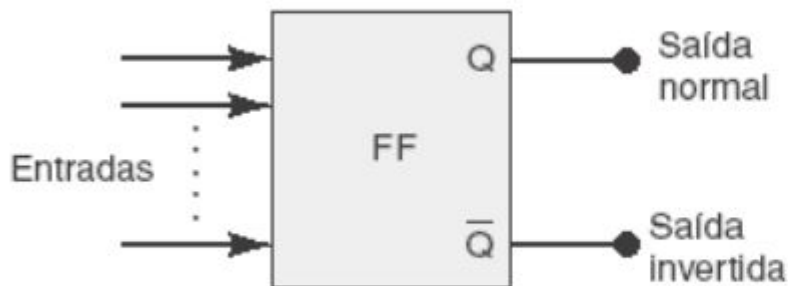
Saída é uma combinação das entradas e de uma saída anterior, operaram geralmente sob o comando de uma sequência de pulsos denominadas **clock**.



Circuitos sequenciais

- São construídos a partir de portas lógicas.
- Possuem SEMPRE apenas duas saídas opostas (Q e Q').
- O objetivo é forçar as saídas assumirem os seguintes níveis lógicos:
 - $Q = 1$ (gravar o bit 1)
 - $Q = 0$ (gravar o bit 0)
 - $Q = Q_a$ (mantém o estado anterior - armazena)
- As saídas são alteradas através das **entradas**:
 - Liga **SET** → grava a saída $Q = 1$
 - Liga **RESET** → grava a saída $Q = 0$
 - Desliga **SET** e **RESET** → mantém o bit
- Podem operar sem sinal de sincronismo ou com sinal de sincronismo (pelo nível ou pela borda).

Circuitos sequenciais



Estados de saída

$Q = 1, \bar{Q} = 0$:

chamado estado ALTO ou 1;
também chamado estado SET

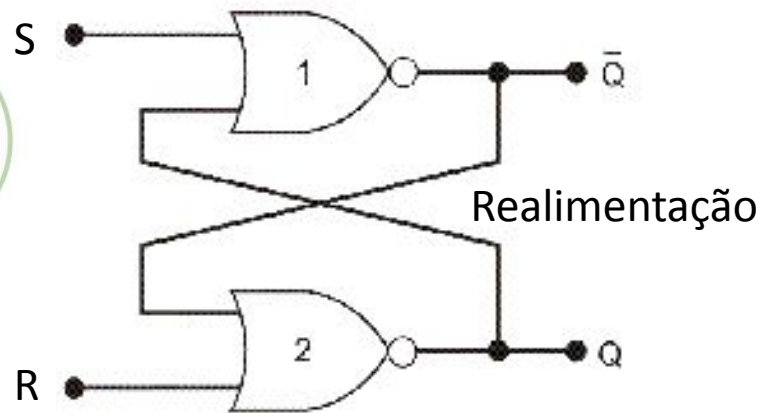
$Q = 0, \bar{Q} = 1$:

chamado estado BAIXO ou 0;
também chamado estado
CLEAR ou RESET

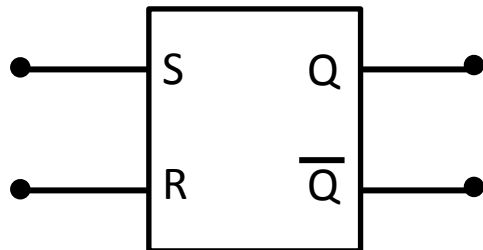
SET	RESET	Q	\bar{Q}
DESLIGA	DESLIGA	MANTEM	
DESLIGA	LIGA	0	1
LIGA	DESLIGA	1	0
LIGA	LIGA	PROIBIDO	

Circuitos sequenciais sem sincronismo

Latch com portas NOR - SR



S	R	Q	\bar{Q}	
0	0	Q	\bar{Q}	Mantém
0	1	0	1	RESET
1	0	1	0	SET
1	1	0	0	Proibido



Não tem como saber se o LATCH comercial é feito com NANDs ou com NORs.

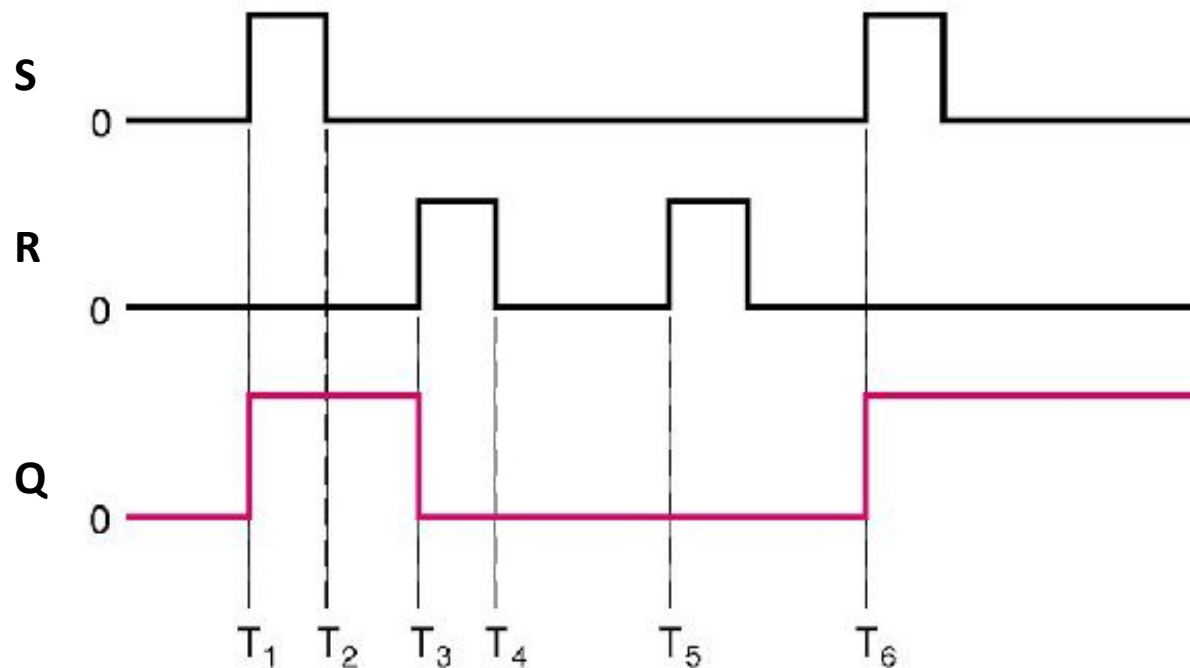
LATCHs : são dispositivos biestáveis (possuem dois estados estáveis (0,1)).

Diagrama de tempo

Latch com portas NOR – SR

Diagrama de tempo

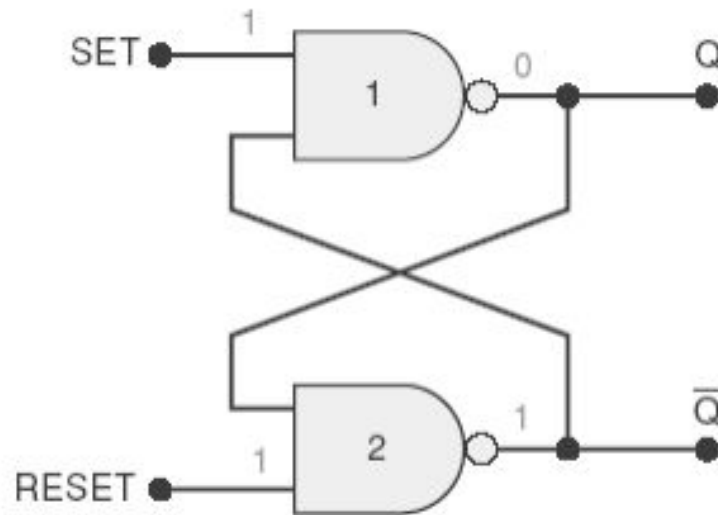
Considerar Q inicialmente resetado



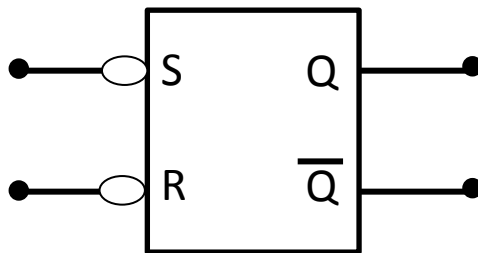
S	R	Q	\overline{Q}
0	0	Q	\overline{Q}
0	1	0	1
1	0	1	0
1	1	0	0

O fato do circuito manter uma informação ao longo do tempo o caracteriza como um **dispositivo de memória**.

Latch com portas NAND

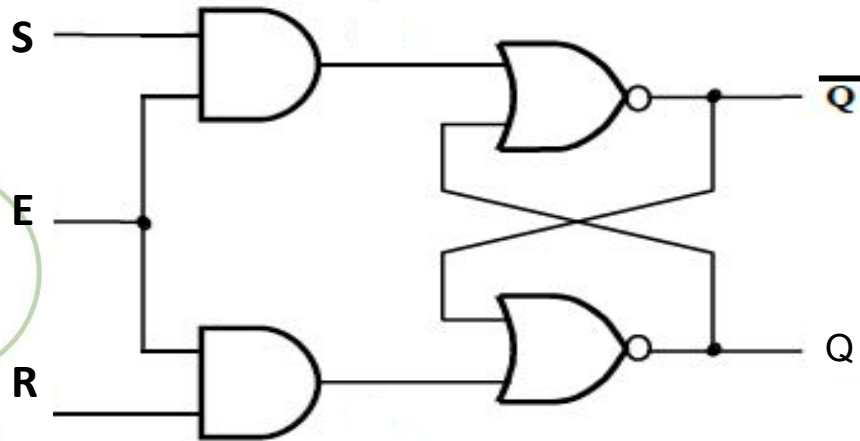


S	R	Q	\overline{Q}	
0	0	1	1	→ Proibido
0	1	1	0	→ SET
1	0	0	1	→ RESET
1	1	Q	\overline{Q}	→ Mantém

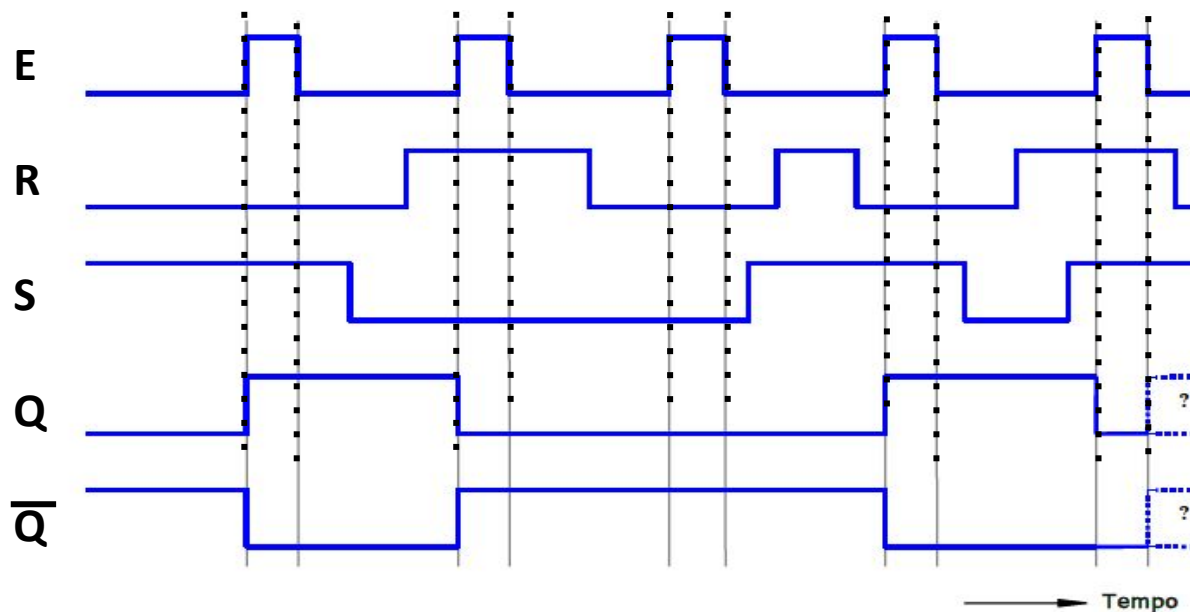


Circuitos sequenciais com sincronismo

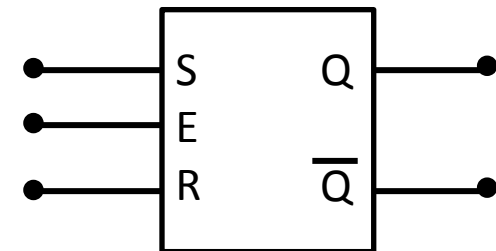
Latch com portas NOR - SR - *Enable*



E	S	R	Q	\overline{Q}	
0	x	x	Qa	\overline{Qa}	Mantem
1	0	0	Qa	\overline{Qa}	Mantem
1	0	1	0	1	RESET
1	1	0	1	0	SET
1	1	1	x	x	PROIBIDO

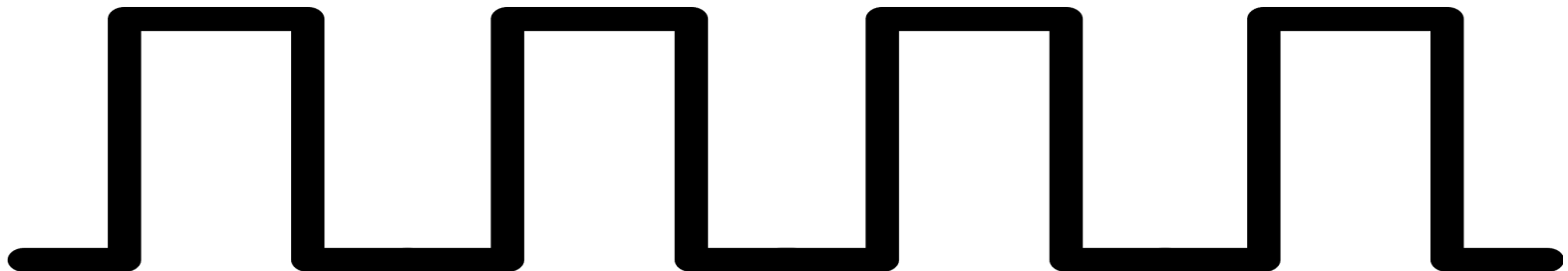


**Diagrama de
tempos**



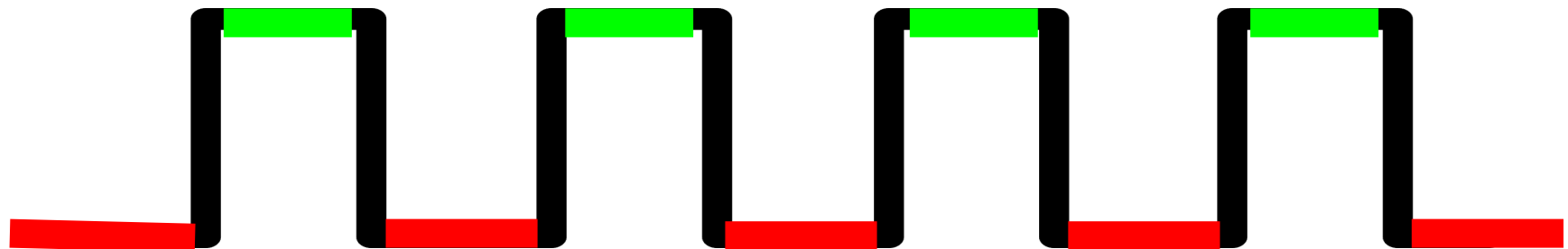
Sinal de sincronismo

1. Os sinais de sincronismo são normalmente chamados de **ENABLE** (nos Latches) e **CLOCK** (nos Flip-Flops).
1. Os circuitos sequenciais utilizam um sinal de sincronismo para determinar o momento em que suas saídas mudarão de estado.
2. O sinal de sincronismo é comum para todas as partes do circuito.
3. Normalmente, o sinal de sincronismo é uma onda quadrada.
4. Podem operar pelo **nível** ou pela **borda**.



Sinal de sincronismo operando pelo nível

1. É o sinal de **ENABLE** utilizado nos **LATCHs**.
2. Utiliza diretamente o **nível alto ou baixo** para determinar a mudança das saídas.



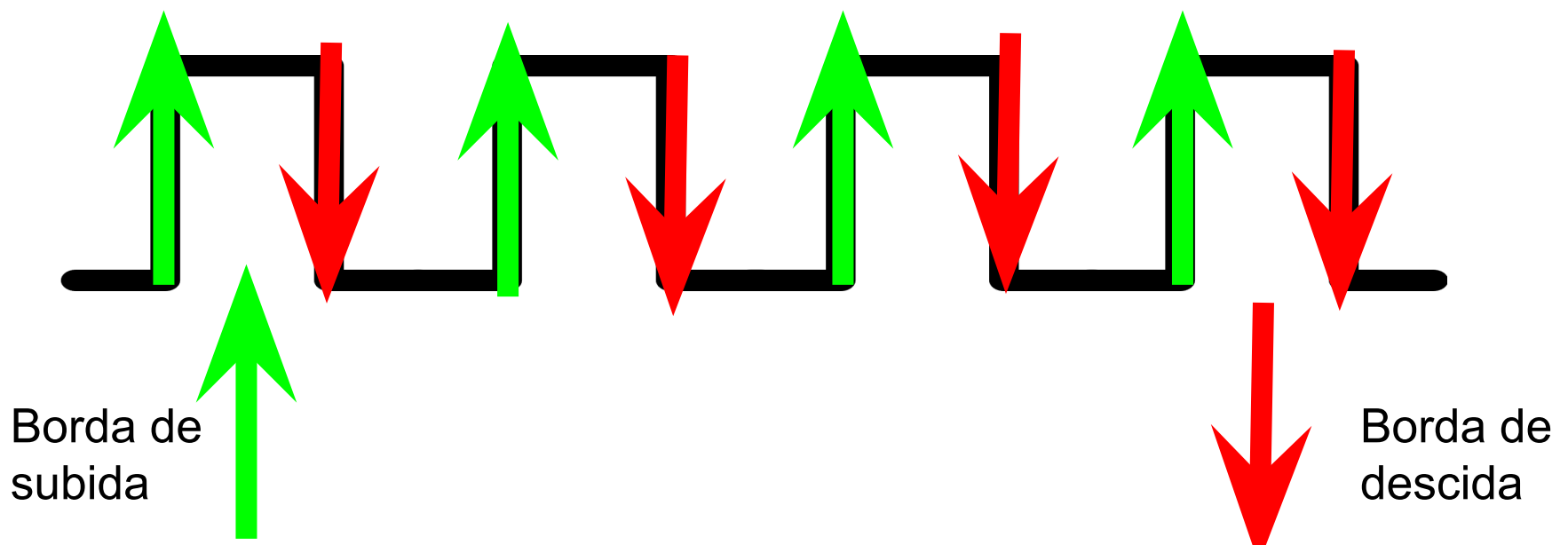
Nível baixo (0)



Nível alto (1)

Sinal de sincronismo - operando pela borda

1. É o sinal de **CLOCK** utilizado nos **FLIP-FLOPS**.
1. Utiliza apenas a borda de transição do clock para determinar a mudança das saídas. Podendo ser borda de SUBIDA ($0 \rightarrow 1$) ou borda de DESCIDA ($1 \rightarrow 0$).



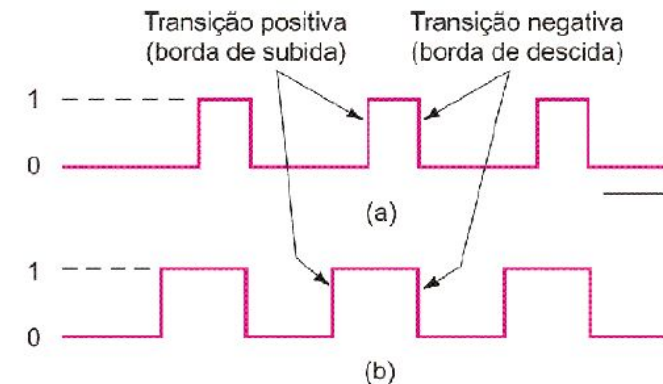
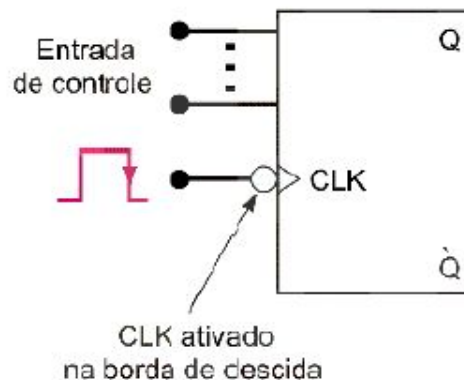
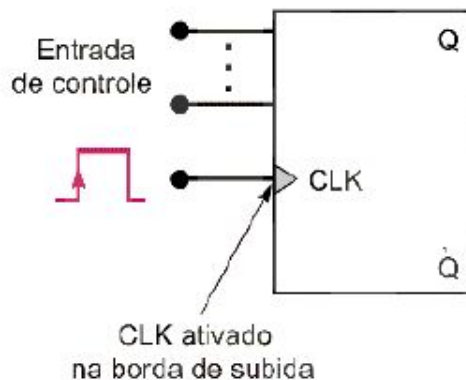
Características dos Flip-Flops

1. Suas **entradas de controle J e K** fazem o mesmo papel do SET e RESET respectivamente.

$$J = \text{SET} \rightarrow Q = 1$$

$$K = \text{RESET} \rightarrow Q = 0$$

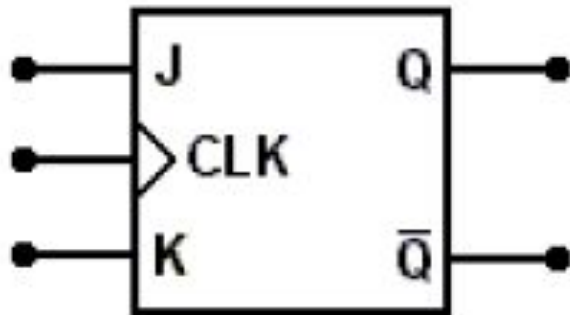
1. O estado proibido foi substituído pelo estado **TOGGLE** (de inversão).
2. Sua entrada de sincronismo é chamada de CLOCK e opera pela borda.
3. O sinal de *sincronismo* é indicado por um pequeno triângulo na entrada do *clock*;



Flip-Flop JK

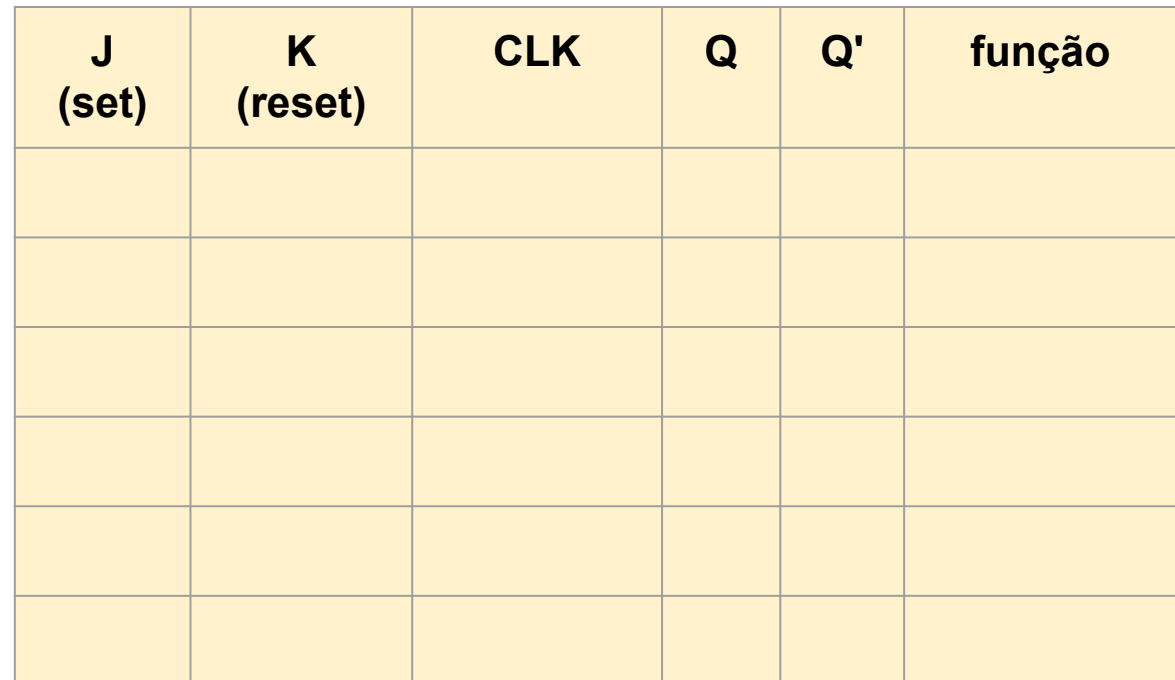
O funcionamento do flip-flop JK é semelhante ao do RS. A diferença é que o flip-flop JK não possui a condição proibida. Na situação em que $J = K = \text{ATIVO}$ a saída é complementada.

Exercício: Obtenha a tabela verdade do Flip-Flop operando na borda de subida do clock.



J	K	CLK	Q	Q'	

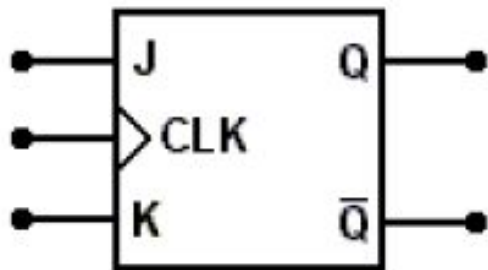
Exercício: Obtenha a tabela verdade do Flip-Flop.



Flip-Flop JK - Tabela Verdade

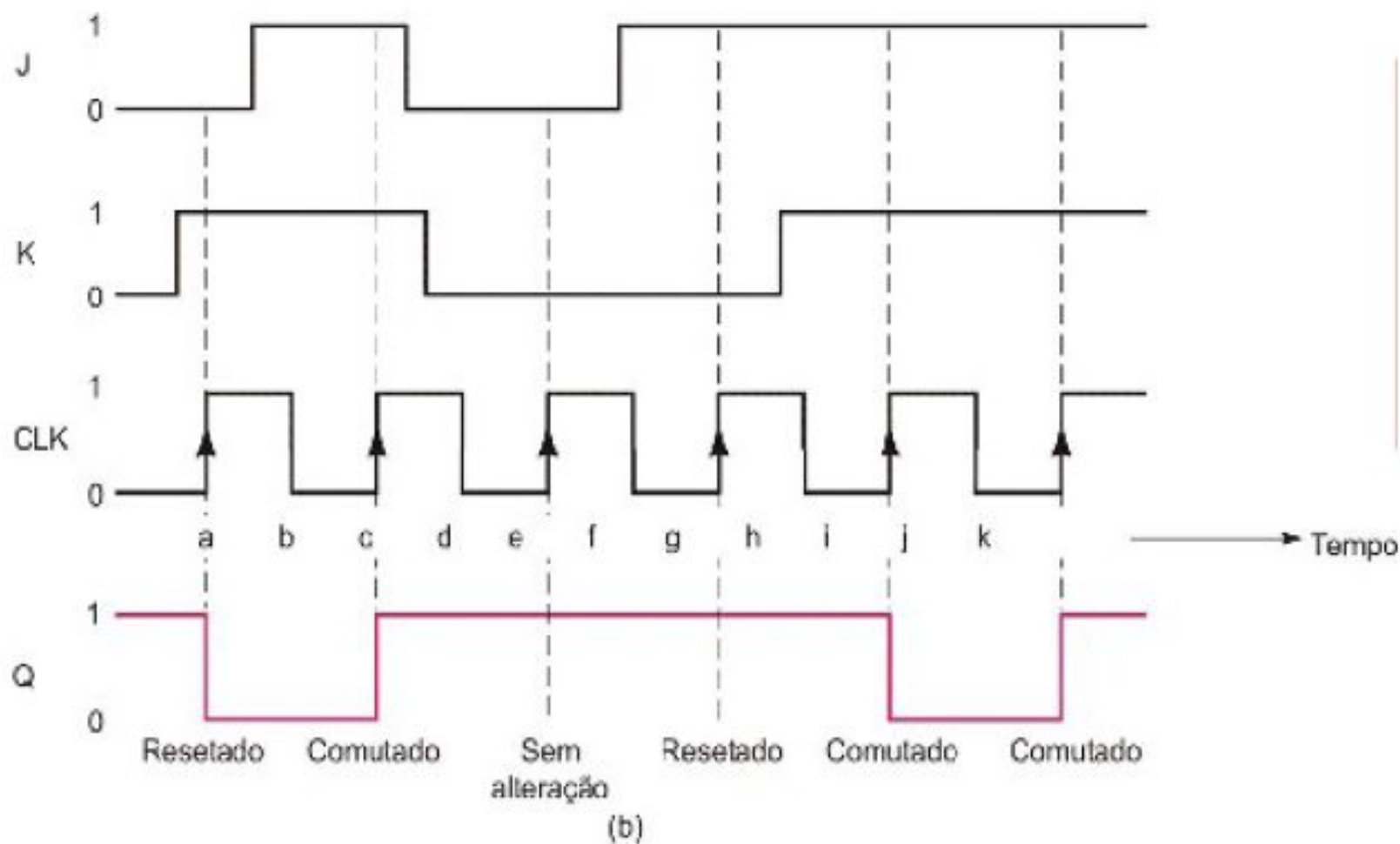
O funcionamento do flip-flop JK é semelhante ao do RS. A diferença é que o flip-flop JK não possui a condição proibida. Na situação em que $J = K = \text{ATIVO}$ a saída é complementada.

Exercício: Obtenha a tabela verdade do Flip-Flop operando na borda de subida do clock.



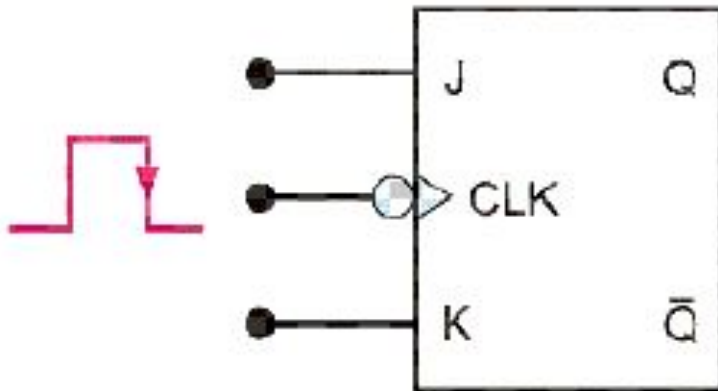
J (set)	K (reset)	CLK	Q	Q'	função
X	X	0, 1 ou ↓	Qa	Qa'	Mantém
0	0	↑	Qa	Qa'	Mantém
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	Qa'	Qa	Troca (TOGGLE)

Flip-Flop JK - Diagrama de tempo



Flip-Flop JK

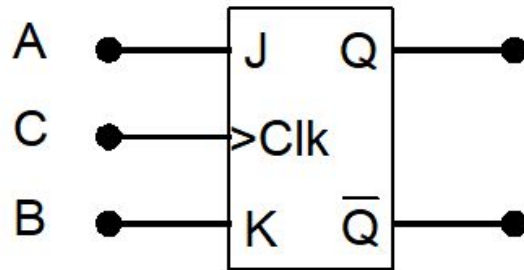
Obter a tabela verdade do Flip-Flop abaixo sabendo que o clock é sensível a borda de descida.



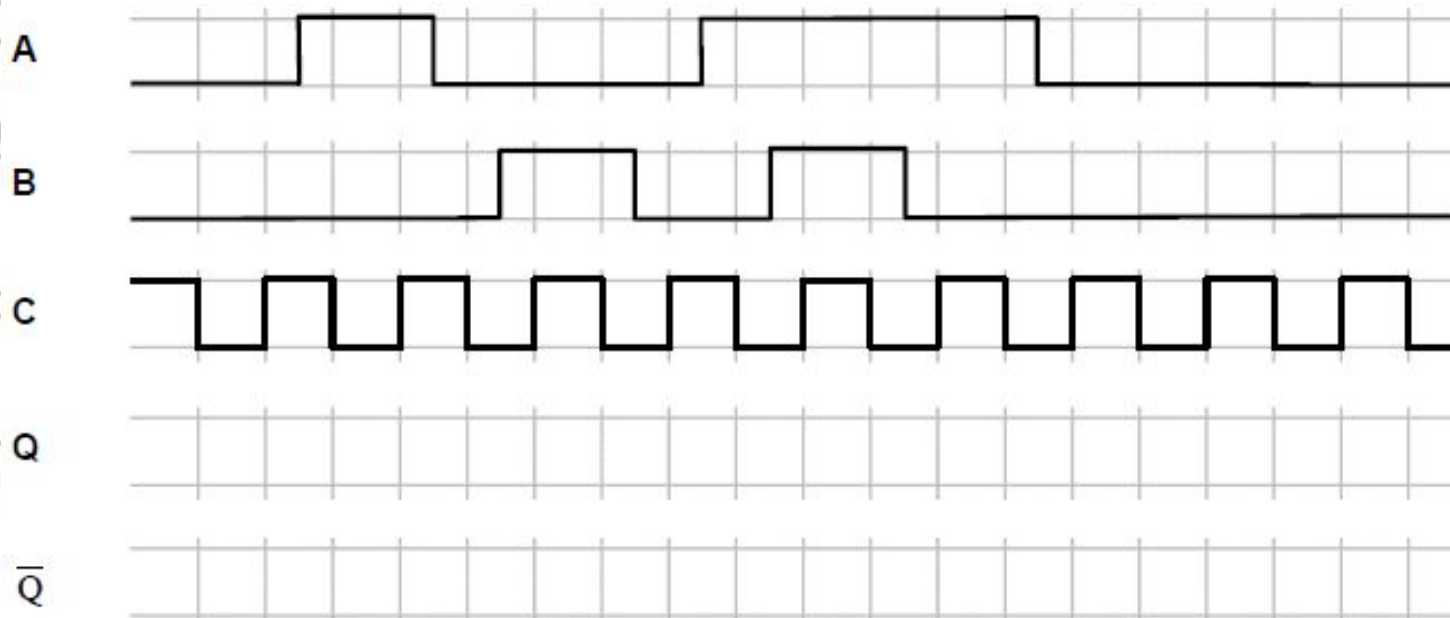
J	K	CLK	Q	Q'	
X	X	0, 1 ou ↑	Qa	Qa'	Mantem
0	0	↓	Qa	Qa'	Mantem
0	1	↓	0	1	RESET
1	0	↓	1	0	SET
1	1	↓	Qa'	Qa	TOGGLE

Exercícios Flip-Flop JK

Obtenha a tabela verdade e diagrama de tempo do Flip-Flop. Considere a saída Q inicialmente resetada.

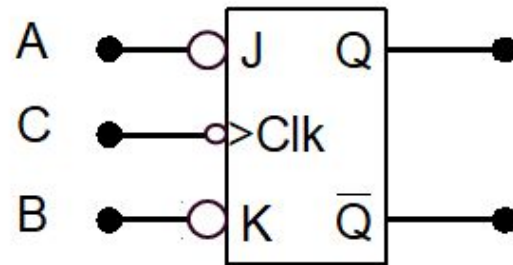


J	K	Clk	Q	Q



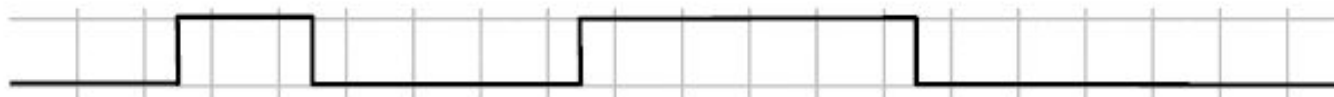
Exercícios Flip-Flop JK

Obtenha a tabela verdade e diagrama de tempo do Flip-Flop. Considere as saídas inicialmente resetadas.

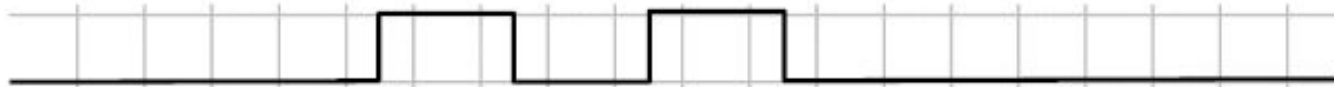


J	K	Clk	Q	Q'

A



B



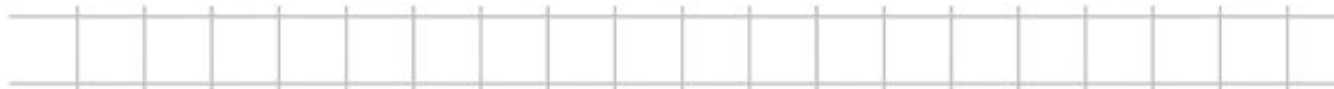
C



Q

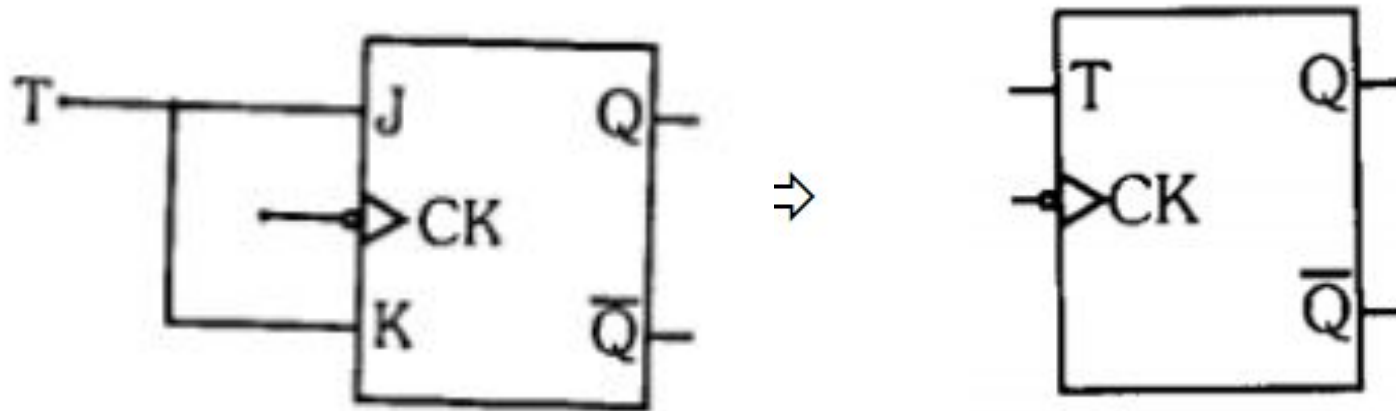


\bar{Q}



Flip-Flop T (“Toggle”)

É um flip-flop com uma única entrada, onde J e K são conectados em um único ponto denominado de entrada T, eliminando assim parte da tabela verdade onde as entradas J e K são diferentes.



J	K	Q
0	0	Q_a
0	1	0
1	0	1
1	1	Q_a'



T	Q
0	Q_a
1	Q_a'

Flip-Flop T (“Toggle”)

T



CLK



Q



Q'



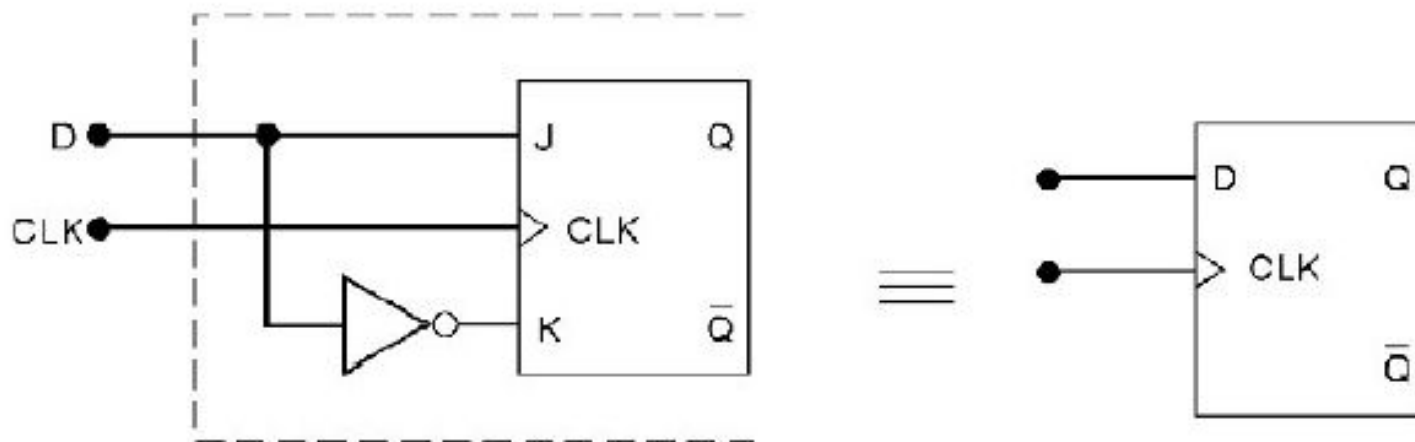
Flip-Flop T (“Toggle”)

Dizemos que quando $T = 1$, o flip-flop está em *Toggle Mode* (Modo de Comutação) onde a cada descida do *clock*, a saída apresenta um estado complementar ao anterior. Isso será muito utilizado no estudo de contadores assíncronos que serão estudados posteriormente.



Flip-Flop D

É um flip-flop com uma única entrada, onde J e K são conectados através de um INVERSOR em um único ponto denominado de entrada D. Na presença do *clock*, o valor digital da entrada D é copiado para a saída e armazenado até a ocorrência do próximo *clock*.



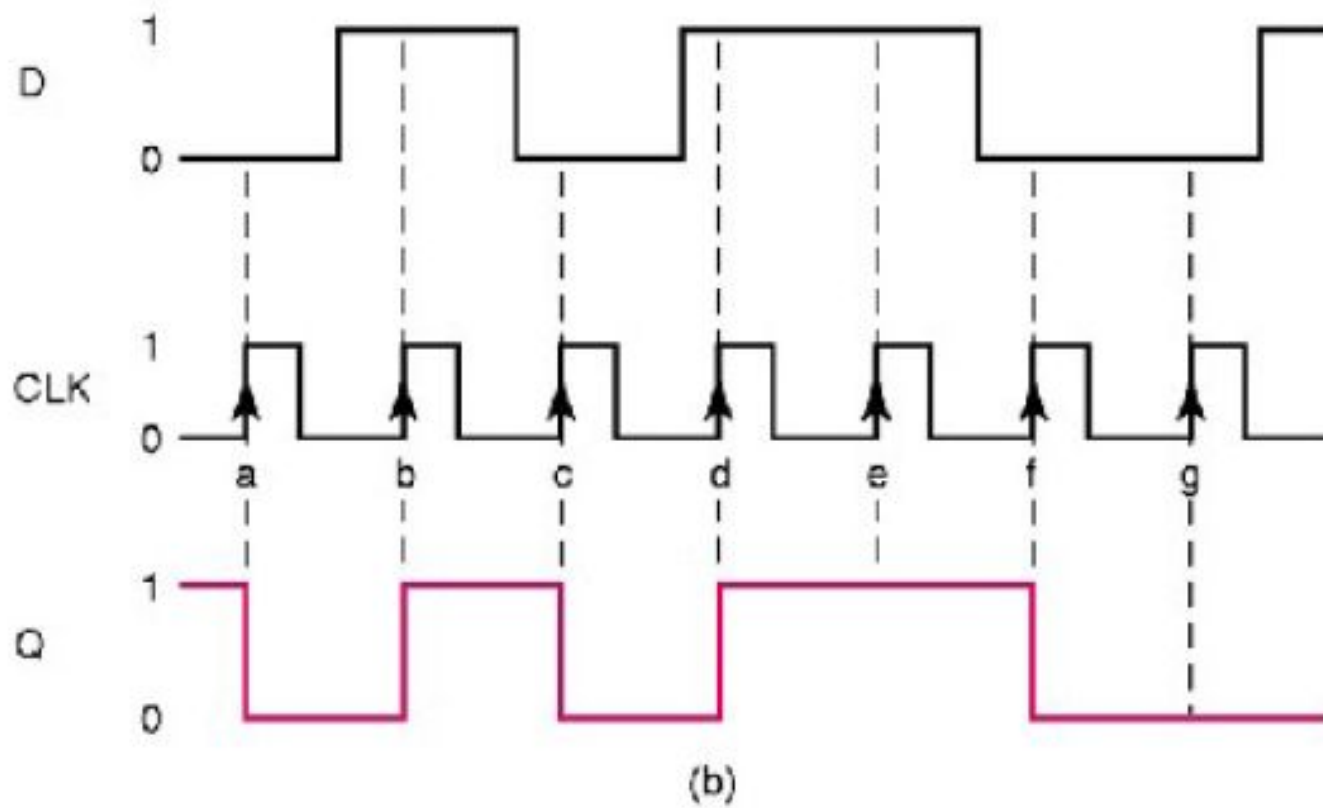
J	K	Q
0	0	Q_A
0	1	0
1	0	1
1	1	Q_A

D	Q
0	0
1	1

Clock sensível a borda de subida

Flip-Flop D - Diagrama de tempo

Clock sensível a borda de subida



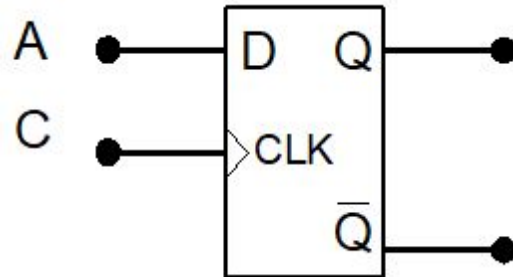
Flip-Flop D

Utilizado para armazenar uma palavra binária nos chamados registradores de deslocamento.

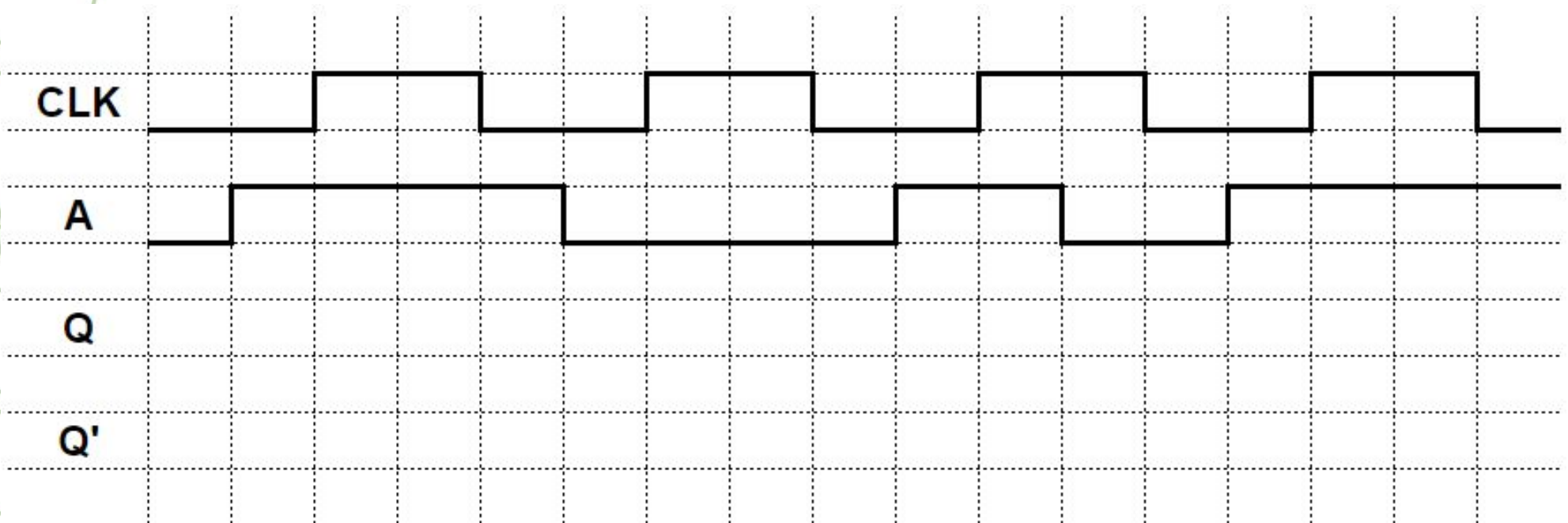
Em breve estudaremos os registradores!



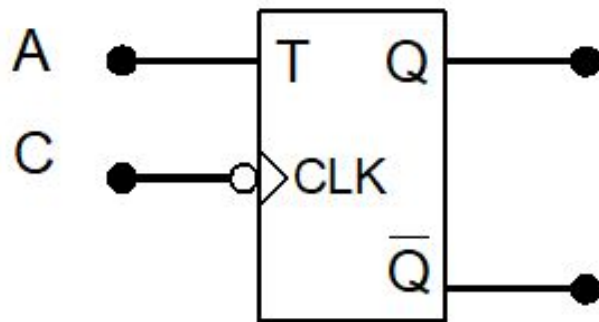
Exercícios Flip-Flop T e D



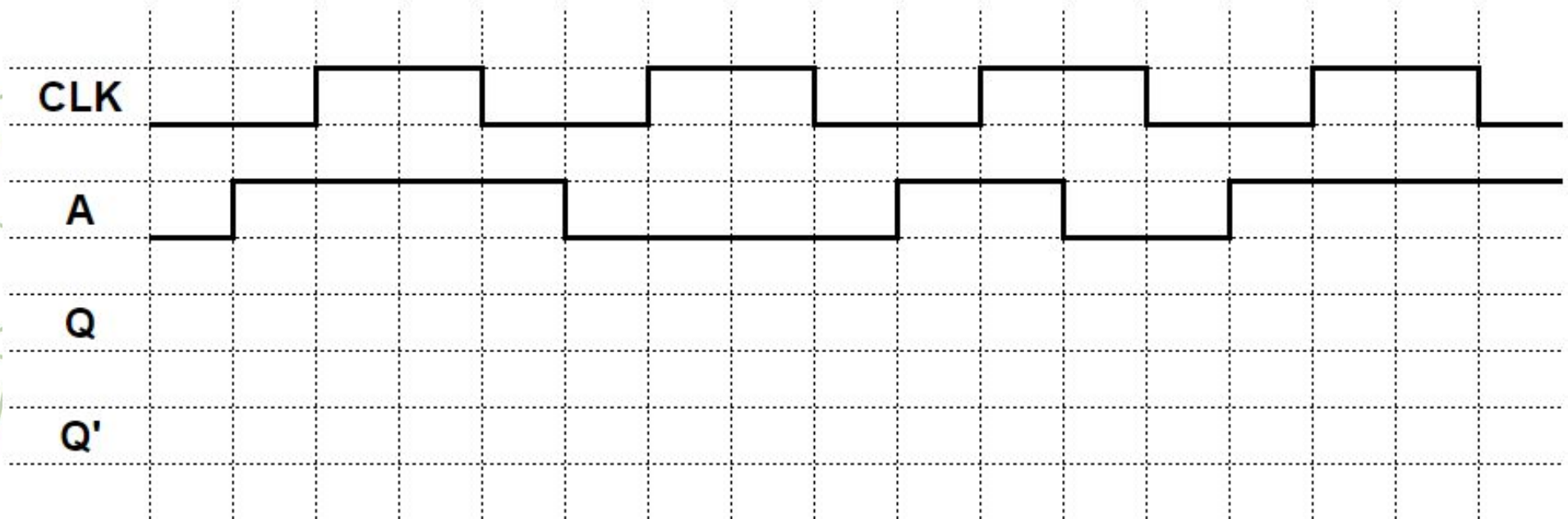
		Q	Q



Exercícios Flip-Flop T e D



		Q	\bar{Q}



Entradas assíncronas

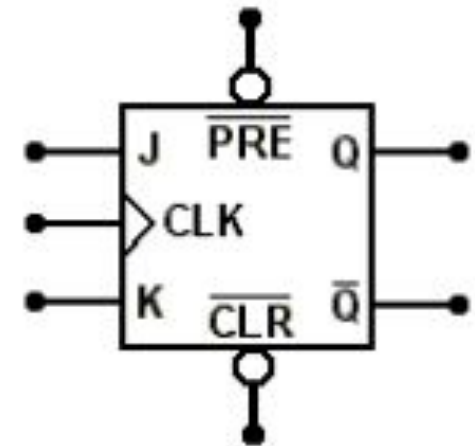
- Todas as entradas dos flip-flops até agora vistos dependem do sinal de sincronismo (*clock*).
- Estas **entradas** são chamadas entradas **síncronas**.
- Em muitos flip-flops existem outras entradas que não dependem do sinal de sincronismo para atuarem, e por isso são chamadas de entradas **assíncronas**.
- Essas entradas são usadas para alterar a qualquer instante, o estado do flip-flop para “0” ou “1”.

Entradas assíncronas

Estas entradas são normalmente ativas pelo nível baixo.

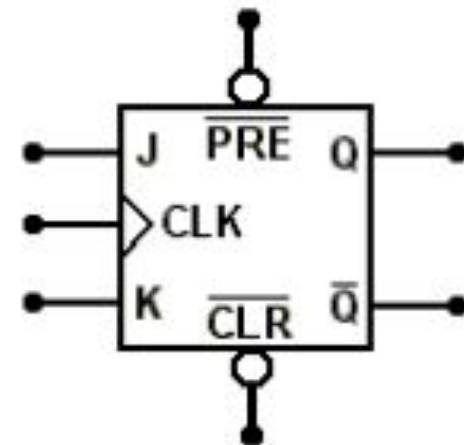
Tabela verdade das entradas assíncronas
PRESET e CLEAR

PRE	CLR	Q	\bar{Q}
1	1	operação normal	
0	1	1	0
1	0	0	1
0	0	*	*

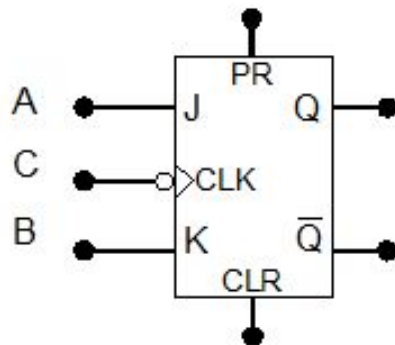


Entradas assíncronas

PRE	CLR	J	K	Clk	Q	\bar{Q}
0	1	X	X	X	1	0
1	0	X	X	X	0	1
1	1	X	X	0	Q_0	\bar{Q}_0
1	1	0	0	\uparrow	Q_0	\bar{Q}_0
1	1	1	0	\uparrow	1	0
1	1	0	1	\uparrow	0	1
1	1	1	1	\uparrow	\bar{Q}_0	Q_0



Exercício



					Q	Q

