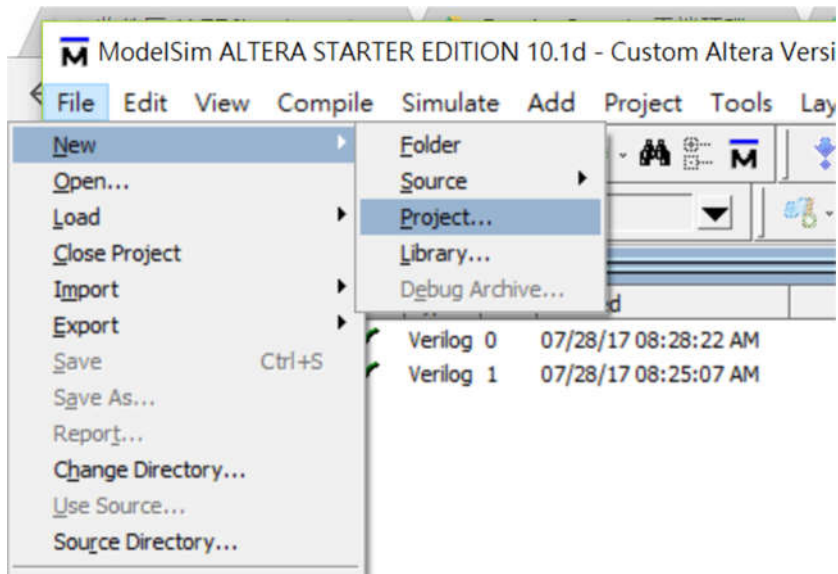


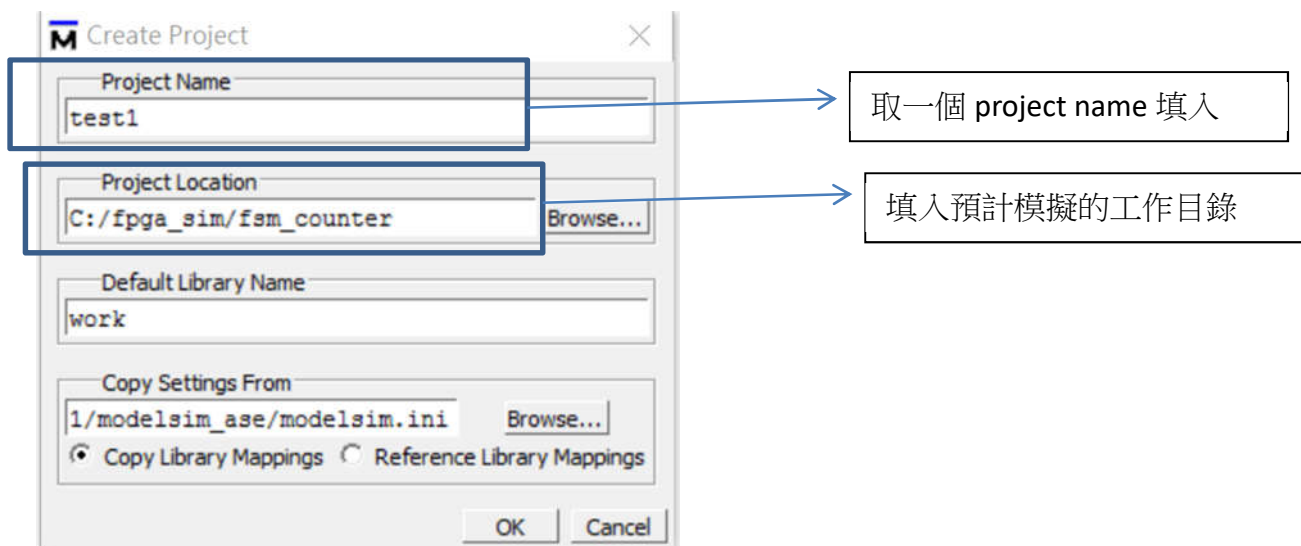
ModelSim®使用方法

建立新的 Project

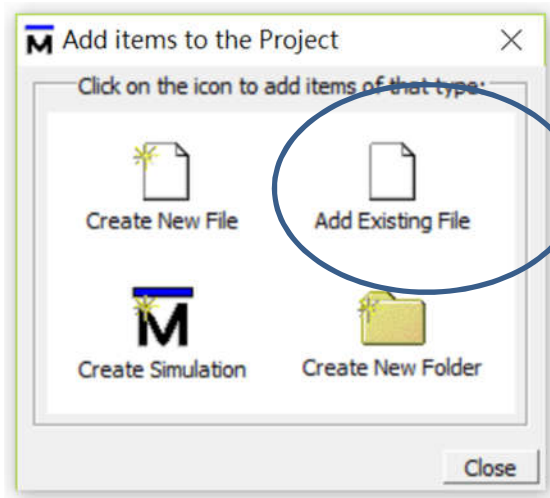
甲、File -> New -> Project



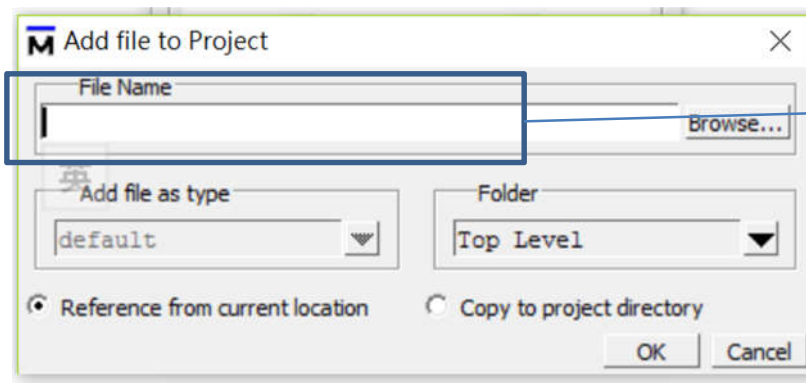
會出現下列的畫面



將 Verilog Code 檔入 project



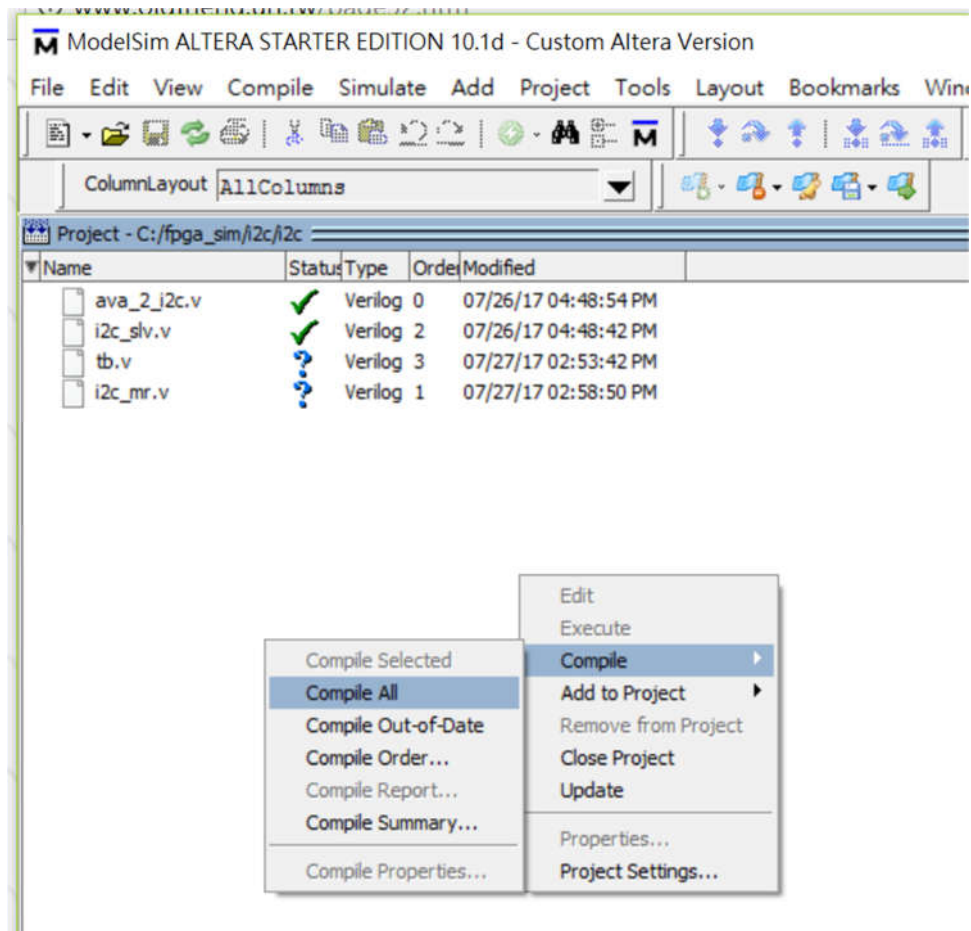
點選 "Add Existing File", 加入
準備要模擬的檔案



填入預備要模擬的檔案

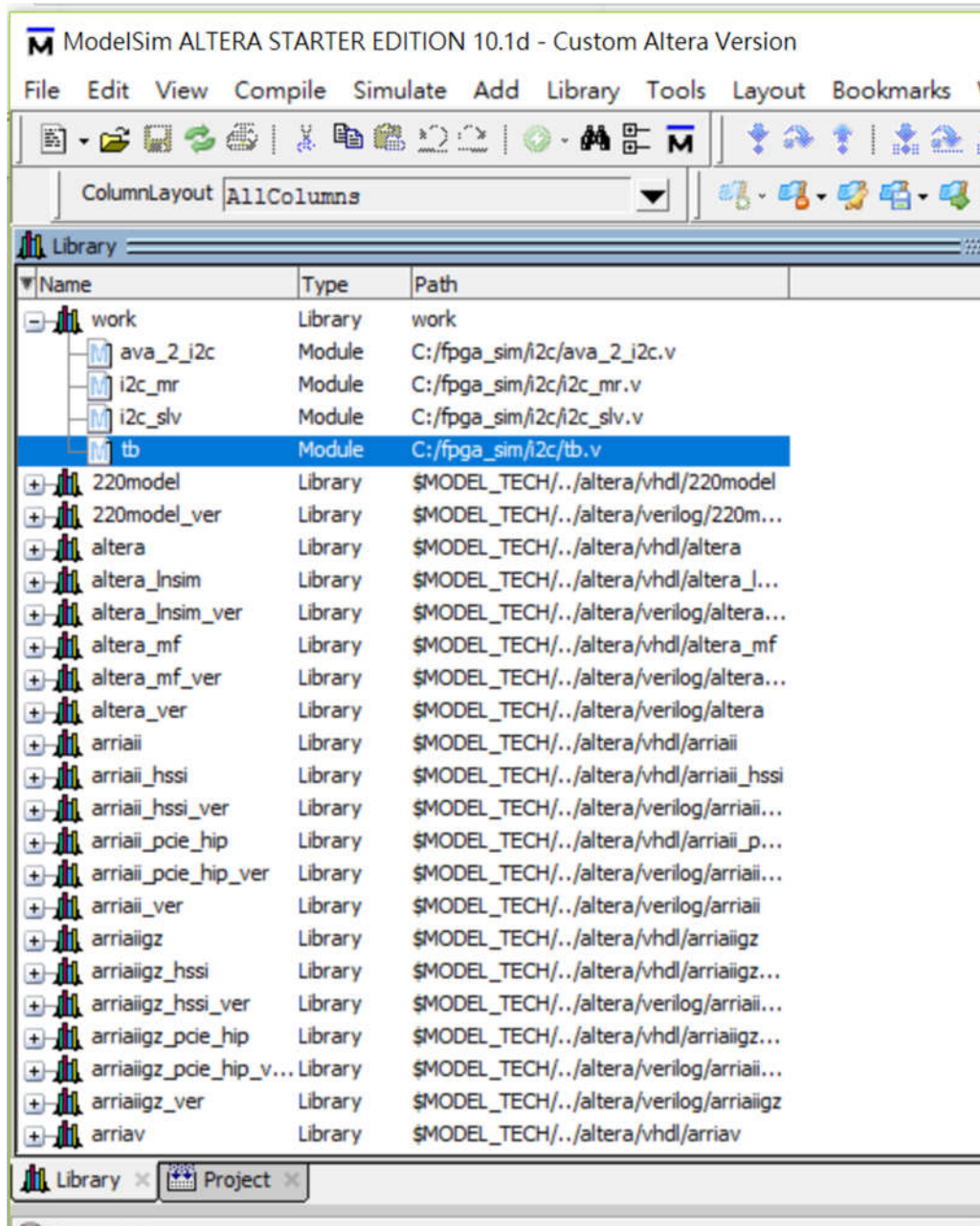
Compile the design

將滑鼠指標移至空白處,按下右鍵,會出現如下的視窗,
選 compile -> compile All



Simulation

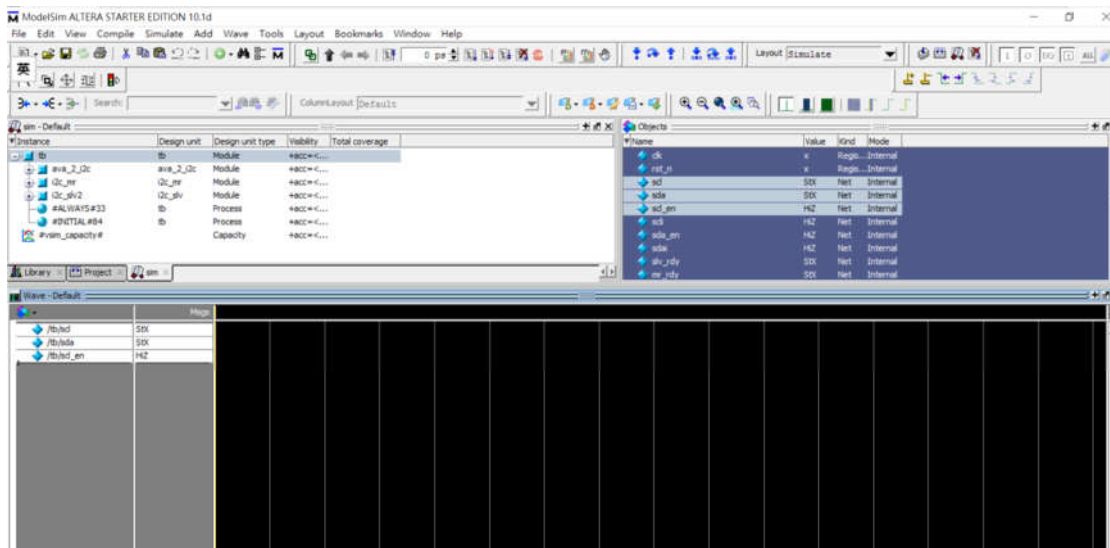
切換到 Library 標籤頁,點開"work"目錄,再用滑鼠左鍵雙擊預計要模擬的檔案



將預計觀察的訊號加入 waveform 中

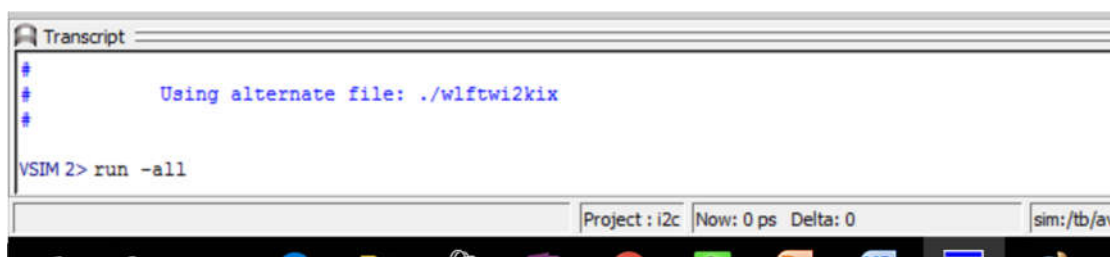
切換到 sim 標籤頁，再用滑鼠點擊預計要觀察訊號所在的 module。
此時該 module 裏所有的訊號會出現在 Objects 的視窗中。(若是沒有看到 Objects 的視窗，可以由 View -> Objects 打開)。同樣若是沒有看到 waveform 的視窗，可以由 View -> Wave)

利用滑鼠點選 Objects 視窗裏想要觀察的訊號,再按住滑鼠左鍵曳至 Wave 視窗



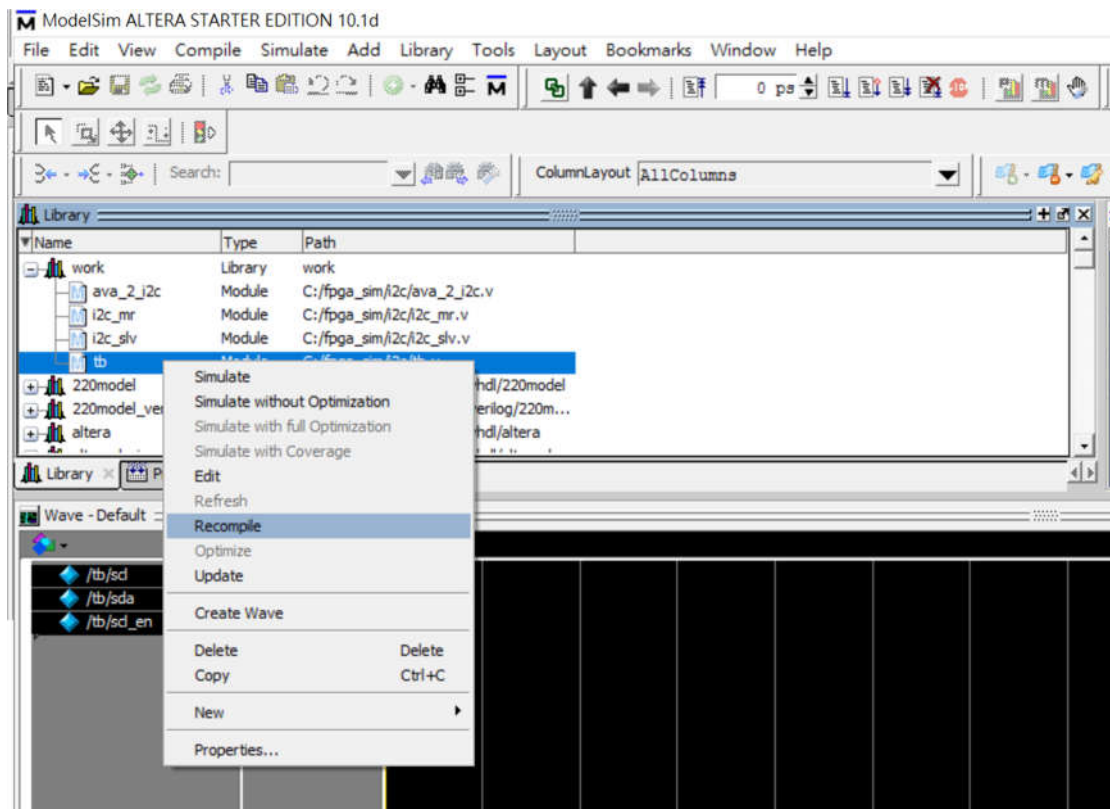
執行模擬

在 Transcript 視窗裏打入 **run -all** 的指令, Modelsim 即開始模擬.



重新模擬

若有修正 Verilog Code 需要重新模擬,則切換到 Library 標籤頁,點開"work"目錄,再用滑鼠的右鍵,點選 **Recompile**.



待電腦 compile 完成之後,同樣在 transcript 視窗中 key 入下列的 command
restart -force ; run -all
 Modelsim 即會重新開始模擬.

