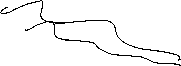
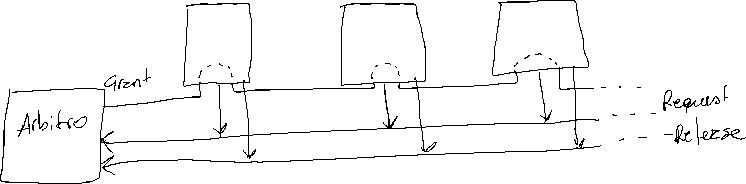
**BUS**

1. Domanda:  
   Descrivere le differenze tra i bus sincroni e quelli asincroni e descrivere un protocollo asincrono  
   Risposta:  
   La principale differenza tra bus sincroni ed asincroni sta nel modo in cui i componenti che li usano comunicano tra loro.  
   Nel primo caso le operazioni vengono scandite da un clock, che passa sulle linee di controllo del bus, questo rende la comunicazione molto veloce ma costringe ad avere bus di dimensioni ristrette per evitare fenomeni di clock skew. Questi trovano largo impiego come bus CPU-Memoria, proprio grazie alla loro elevata velocita’  
   Nel secondo caso le comunicazioe vengono effettuate tramite ad esempio un protocollo di handshaking. Questi bus possono essere piu’ lunghi dei precedenti e vengono utilizzati per l’interconnessione della CPU con i vari dispositivi di I/O



1. Domanda:  
   Spiegare le tecniche di arbitraggio dei bus, farne vedere una possibile implementazione (anche tramite un disegno) e come si possa aumentare la banda passante di un bus.  
   Risposta:  
   Le tecniche di arbitraggio dei bus possono essere divise in due categorie, centralizzate e decentralizzate.   
   Nella prima categoria abbiamo un concetto master/slave, il primo impersonato dalla CPU e il secondo dai vari dispositivi, all’interno del quale la possibilita’ di utilizzare il bus e’ dettato dalla CPU. Possono essere anche implementate diverse priorita’ per determinati dispositivi in modo da dare precedenza alle comunicazioni piu’ importanti. Un’implementazione di questo tipo di arbitraggio e’ la Daisy Chain, con o senza piorita’. I dispositivi piu’ vicini all’arbitro avranno una maggiore precedenza degli altri, non garantendo percio’ un fariness nell’utilizzo del bus  
   Nella seconda categoria i dispositivi si coordinano tra di loro per spartirsi la possibilita’ di usare il bus. Puo’ essere implementato un round-robin, ovveroa turno i dispositivi possono utilizzare il bus, o ancora possiamo adottare una tecnincas simile a quella adottata nelle comunicazioni ethernet, ovvero quando un dispositivo vuole utilizzare un bus ascolta se e’ un in uso, in caso negativo prova ad effettuare la comunicazione, e se vi sono collisioni, questa viene rischedulata dopo un tempo casuale



1. Descrivere le differenze tra i bus sincroni e quelli asincroni e descrivere un protocollo asincrono.
2. Descrivere le possibili modalità di arbitraggio dei bus.
3. Descrivere le possibili organizzazioni dei bus di connessione tra un processore, la memoria di lavoro e i dispositivi di ingresso/uscita. Dopodiché descrivere le differenze tra un bus sincrono ed uno asincrono
4. Dire cosa è la banda passante di un bus e far vedere come è possibile incrementarne la capacità.

**CACHE**

1. Disegnare una memoria cache completamente associativa ed una set associativa a quattro vie e confrontarle tra di loro dal punto di vista dei loro vantaggi e svantaggi
2. Disegnare una memoria cache completamente associativa ed una set associativa a quattro vie e confrontarle tra di loro dal punto di vista dei loro vantaggi e svantaggi.

**RISC**

1. Disegnare l’architettura PIPELINE del processore didattico, dopodiché dato il programma sottostante, da modificare via software nel miglior modo possibile per evitare conflitti sui dati, dire in quanto tempo viene eseguito ipotizzando che il processore possa lavorare con un clock con periodo di 100 psec.
2. Dire cosa sono i conflitti di tipo define use e in che modo si risolvono via software (utilizzando a tal fine un disegno di massima dell'architettura pipeline RISC didattica vista a lezione), nell'esposizione si consiglia di scrivere frammenti di programmi per evidenziare tali fenomeni e come risolverli
3. Disegnare l’architettura PIPELINE del processore didattico, dopodiché dato il programma sottostante, da modificare via software nel miglior modo possibile per evitare conflitti sui dati, dire in quanto tempo viene eseguito ipotizzando che il processore possa lavorare con un clock con periodo di 100 psec.
4. Disegnare l’architettura PIPELINE del processore didattico, dopodiché dato il programma sottostante, da modificare via software nel miglior modo possibile per evitare conflitti sui dati, dire in quanto tempo viene eseguito ipotizzando che il processore possa lavorare con un clock con periodo di 100 psec.
5. Disegnare l’architettura PIPELINE del processore didattico, dopodiché dato il programma sottostante, da modificare via software nel miglior modo possibile per evitare conflitti sui dati, dire in quanto tempo viene eseguito ipotizzando che il processore possa lavorare con un clock con periodo di 200 psec.
6. Scrivere un segmento di programma in linguaggio assembly del processore didattico a 32 bit di 6 istruzioni in cui ci sia almeno un conflitto define use ed uno load use. Modificarlo per evitare i conflitti oppure, nel caso in cui non sia possibile evitare tutti i conflitti, inserire il minor numero di NOP. Inoltre dare le linee guida per risolvere via hardware tali tipi di conflitti tramite la propagazione in avanti. Per comodità degli esaminandi si riporta la sintassi delle istruzioni:
7. Descrivere cosa sono le criticità strutturali, sui dati e sul controllo di un processore RISC e come si possono risolvere, a tal fine si utilizzi l’architettura di riferimento introdotta a lezione.