

**Universidade de Aveiro**  
Departamento de Eletrónica, Telecomunicações e Informática  
Laboratório de Sistemas Digitais  
**Projetos Finais – Requisitos e Regras Fundamentais**  
Ano letivo 2019/20

### **Introdução**

Este documento define os requisitos e regras fundamentais relativas aos projetos finais, a realizar pelos alunos de Laboratório de Sistemas Digitais (de forma individual) no corrente ano letivo.

A atribuição dos projetos a alunos de cada turma prática é gerida pelo respetivo docente e deve ser realizada nas aulas práticas da semana de 5 a 11 de maio de 2020.

### **Organização do documento**

Este documento possui as seguintes seções:

- Requisitos gerais
- Submissão final do trabalho
- Penalização por submissão tardia do trabalho
- Apresentação e defesa do trabalho final
- Ilícitos

### **Requisitos gerais**

Todos os projetos devem, entre outros aspetos específicos:

- Ser decompostos para efeitos de implementação num *datapath* e num *controlpath*. Deverão portanto possuir uma ou mais máquinas de estados finitos para controlar a sua operação, correspondendo o funcionamento do sistema a uma sequência de estados cujas transições dependem de sinais externos ou internos.
- Seguir uma estratégia de implementação faseada, de acordo com a especificação do projeto. A cada uma das fases deve corresponder um novo projeto (no *Quartus Prime*) para o qual o aluno deverá:
  - definir uma arquitetura adequada elaborando um diagrama lógico completo com todos os módulos, portos e ligações constituintes
  - efetuar a modelação em VHDL de cada um dos blocos
  - simular o comportamento dos blocos mais relevantes e do sistema global
  - simular o *top level* do projeto
- Ser baseados em modelos VHDL que utilizem apenas as construções abordadas nas aulas de LSD. Mais concretamente, não são permitidos ciclos **for...loop**, **while...loop**, nem a utilização de **variables**.
- Usar um único sinal de relógio em todo o sistema.
- Ser totalmente validados por simulação comportamental, com base em *testbenches* escritas em VHDL.

### **Submissão final do trabalho**

O projeto final deverá ser entregue através da *site* da unidade curricular em *link* a disponibilizar na seção "Submissão de Elementos de Avaliação", até **72 horas antes da respetiva apresentação** (prazo limite rígido) e terá obrigatoriamente de incluir:

- Um ficheiro .zip ou .tgz que inclua as pastas correspondentes aos projetos das fases de desenvolvimento. De cada uma dessas pastas deverão constar, obrigatoriamente:
  - os ficheiros do projeto gerados pelo "Quartus Prime" (.qpf, .qsf, .qws);
  - os ficheiros .vhd e .bdf desenvolvidos;
  - os ficheiros usados na simulação dos módulos desenvolvidos.
- Relatório do projeto, em formato "pdf", que inclua o número mecanográfico e o nome do autor; o relatório terá ainda de incluir a auto-avaliação do autor sobre o seu trabalho no âmbito do projeto.

O relatório deverá ser sucinto e conter as seguintes seções:

- Fase 1:
  - Tradução do programa dado da linguagem simbólica (*assembly*) para o código de máquina;
  - Validação (procedimento de simulação e depuração e resultados obtidos);
- Fase 2:
  - Diagrama de estados completo da unidade de controlo;
  - Validação (procedimento de simulação e depuração e resultados obtidos);
- Fase 3:
  - Validação (procedimento de simulação e depuração e resultados obtidos);
- Fase 4:
  - Diagrama de blocos do processador que suporta a instrução nova;
  - Diagrama de estados completo da unidade de controlo alterada;
  - Desenvolvimento do programa solicitado no enunciado com a linguagem simbólica (*assembly*);
  - Tradução do programa da linha anterior para o código de máquina;
  - Validação (procedimento de simulação e depuração e resultados obtidos);
- Conclusão (discussão da forma como o trabalho realizado foi ao encontro dos objetivos definidos e auto-avaliação).

### **Penalização por submissão tardia do trabalho**

Cada hora de atraso na submissão do trabalho terá como consequência a penalização de 0.1 valores no elemento de avaliação “Projeto”. A falta à apresentação do trabalho acarretará uma classificação de 0 valores no elemento de avaliação “Projeto”.

### **Apresentação e defesa do trabalho final**

A apresentação e defesa do trabalho decorrerá (eventualmente em regime de vídeo-conferência) na última aula prática do semestre, na semana entre 3 e 9 de junho, e consistirá numa apresentação de 5 minutos suportada por slides em PPT (ou similar), numa demonstração do funcionamento do sistema desenvolvido (usando o simulador) e numa defesa de 5 minutos. A prova de defesa terá o peso predominante na avaliação final.

### **Ilícitos**

A cópia, no todo ou em parte, de qualquer material entregue para avaliação é considerada fraude. Sem prejuízo de outras medidas que possam vir a ser tomadas, nomeadamente a comunicação superior e a instauração do competente processo disciplinar, a deteção dessa prática implica a atribuição da classificação 0 (zero) ao elemento de avaliação em causa. Não é relevante quem é a fonte e quem é o destino da cópia – todos os envolvidos receberão classificação 0 (zero). Para minorar riscos de ter todo o trabalho do projeto anulado, protejam bem o código desenvolvido e não o partilhem com ninguém.

**PDF gerado em 04/05/2020**