

Aluno: \_\_\_\_\_  
Matrícula: \_\_\_\_\_ Data: \_\_\_\_\_

#### Sprint 4 – Unidade Lógica e Aritmética ULA – CPU MIPS

**Descrição geral do problema:** Implemente uma ULA com 5 operações lógicas/aritméticas e associe-a às saídas do seu banco de registradores.

#### Requisitos mínimos:

Abra o projeto da Sprint3 e edite-o para incluir as funcionalidades dessa sprint. **Obs: “File > Open Project” e NÃO “File > Open”.**

1. Faça a descrição de hardware de um módulo, denominado ULA, que realize 5 operações lógicas/aritméticas conforme a Tabela 1. As entradas e saídas do módulo são ilustradas na Figura 1, usando a linguagem Verilog.

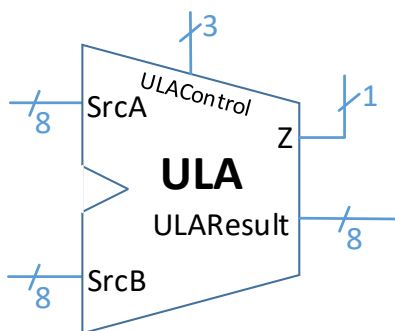


Figura 1 – Módulo ULA.

Operação	ULAControl	ULAResult
<b>And</b>	000	= SrcA & SrcB
<b>Or</b>	001	= SrcA   SrcB
<b>Add</b>	010	= SrcA + SrcB
<b>Subtract</b>	110	= SrcA + $\overline{\text{SrcB}} + 1$
<b>Set less than (SLT)</b>	111	1, se SrcA < SrcB 0, c.c.

Tabela 1. Operações da ULA

#### Entradas:

- *SrcA* (8bits): Entrada de dados do operando A;
- *SrcB* (8bits): Entrada de dados do operando B;
- *ULAControl* (3bits): Entrada para seleção da operação realizada (ver Tabela 1).

#### Saídas:

- *ULAResult* (8bits): Saída do resultado da operação realizada;
- *Flag Z* (1bit): Bit de status que indica se a saída da operação realizada é zero (resultado igual a zero: Z=1; resultado diferente de zero: Z=0).

**OBS: O módulo ULA é assíncrono (circuito combinacional).**

2. Instancie a ULA, o banco de registradores (implementado na sprint anterior) e um MUX de 2x1 de 8 bits, no seu ambiente de testes (Mod\_Teste). A montagem completa é ilustrada na Figura 2. Observe que o *MuxULASrc* possibilita a entrada direta de constantes de 8 bits na entrada *SrcB* da ULA.

Devido à quantidade limitada de chaves na placa de testes, algumas entradas serão constantes.

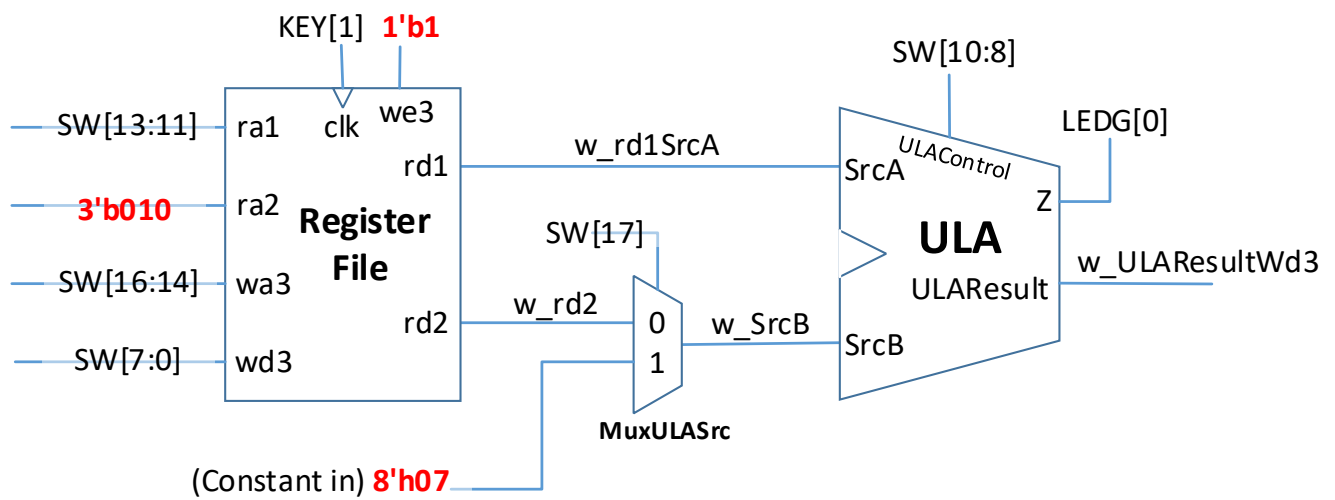


Figura 2 – Diagrama do Datapath

3. Ligações auxiliares:

- Visualize o conteúdo do fio **w\_rd1SrcA** na posição **d0x0** do LCD
- Visualize o conteúdo do fio **w\_rd2** na posição **d1x0** do LCD
- Visualize o conteúdo do fio **w\_SrcB** na posição **d1x1** do LCD
- Visualize o conteúdo do fio **w\_ULAResultWd3** na posição **d0x4** do LCD

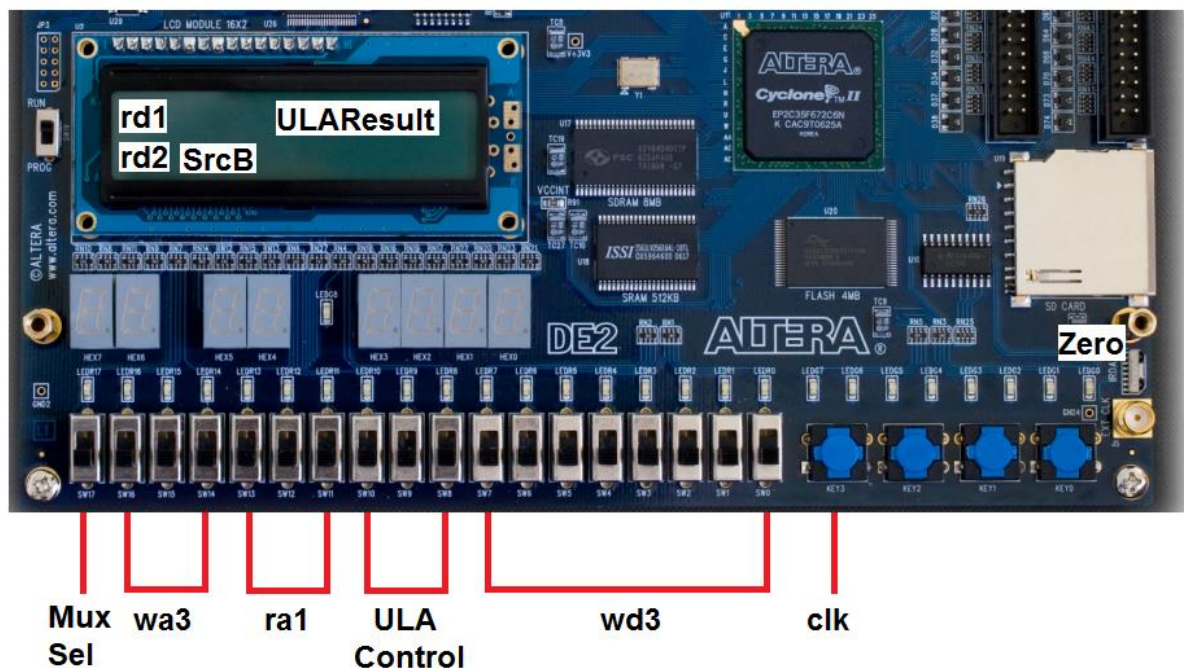


Figura 3 – Placa de testes

4. A fim de testar o funcionamento da ULA implementada realize os seguintes procedimentos:

- Carregue os seguintes valores nos registradores: **\$5 ← 06**      **\$2 ← 03**.
- Disponibilize os valores de **\$5** e **\$2** respectivamente nas entradas **SrcA** e **SrcB** da ULA
- Efetue as operações: Add \_\_\_\_, Sub \_\_\_\_, And \_\_\_\_, Or \_\_\_\_ e SLT \_\_\_\_
- Carregue o valor da **Constant in (8'h07)** na entrada **SrcB** da ULA
- Efetue novamente as operações: Add \_\_\_\_, Sub \_\_\_\_, And \_\_\_\_, Or \_\_\_\_ e SLT \_\_\_\_
- **Verifique o funcionamento do flag Z**

**Desafio (Valendo +0,1 na média geral)**

- Pesquise como transformar seus módulos verilog em blocos .bdf (Block Diagram/Schematic Files) e realize a instância da sua ULA + RegisterFile de forma visual, arrastando os blocos e desenhando os fios.