

Facultatea de Automatica și Calculatoare

Joc de probabilitate 0 1

Constantin Andrei-Bogdan

Grupa 30215

13.05.2022

Cuprins

1. Introducere

2. Fundamentare Teoretică

3. Proiectare și Implementare

4. Rezultate Experimentale

5. Concluzia

1. Introducere

**Scopul jocului:** Obținerea unui scor cât mai mare.

**Tabla jocului** reprezentată de matrice 5x16:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X | X | X | X | X | X | X | X | X | X | X | X | X | X | X | X |
| X | X | X | X | X | X | X | X | X | X | X | X | X | X | X | X |
| X | X | X | X | X | X | X | X | X | X | X | X | X | X | X | X |
| X | X | X | X | X | X | X | X | X | X | X | X | X | X | X | X |
| X | X | X | X | X | X | X | X | X | X | X | X | X | X | X | X |

**Reguli:**

Începem cu șansele inițiale 73% pentru 1 pe primele 3 linii, 27% pentru 0, iar pe ultimele 2 linii avem inversat, 73% pentru 0 și 27% pentru 1.

Scopul nostru este sa obținem cât mai mulți de 1 pe primele 3 linii si cât mai puțini pe ultimele 2.

Fiecare linie are o anumita pondere pentru valorile de 1: 5,2,1,-3,-4. Ponderile lui 0 sunt aceleași doar ca inversate: -5,-2,-1,3,4.

Șansa poate scădea sau urca în funcție de ce valoarea descoperim.

Daca suntem pe primele 3 linii, în momentul în care obținem 1 șansa va scădea, la fel pentru ultimele 2 în cazul lui 0.

Dacă suntem pe primele 3 linii și obținem o valoare de 0, șansa va creste, la fel pentru 1 pe ultimele 2.

**Controale pe plăcuță**

Începem în IDLE. Pentru a da start, apăsăm butonul din mijloc.

Jocul începe, ledurile sunt inițial stinse, iar pe display avem afișată șansa.

Ledul aprins pe prima poziție este un cursor, care ne arată unde este ultima poziție ocupată din matrice.

Dacă apăsăm pe butonul din stânga, putem comuta între mai multe afișări: șansă, scor, scorul linie, indicele liniei și indicatorul de free/full care ne spune dacă avem poziții libere rămase pe linia curentă.

Butonul de sus resetează jocul, ducându-l înapoi în IDLE.

Butonul de jos ne mută cu o linie în jos pe matrice, aceasta fiind actualizată și pe SSD.

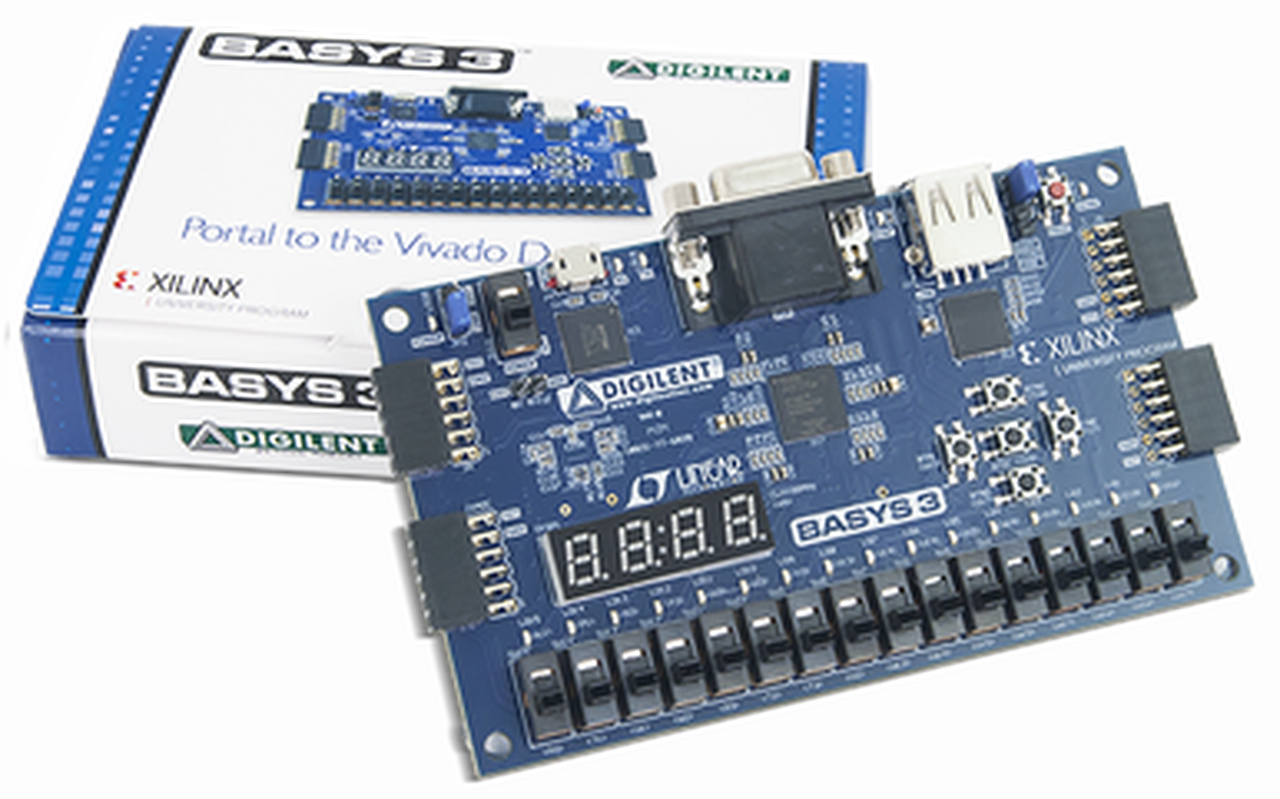
Dacă vrem să facem o mutare, apăsăm pe butonul din mijloc.

Dacă am umplut toate căsuțele din matrice, jocul se va termina prin afișarea mesajului DONE pe display și a scorului la intervale de o secundă.

2. Fundamentare Teoretică

Limbajul ales pentru realizarea proiectului este VHDL. VHDL (VHSIC Hardware Description Language) este un limbaj de descriere a sistemelor electronice hardware, bazat pe structură de blocuri, relații și interconexiuni. Standardul, în VHDL, a apărut în 1987, fiind denumit IEEE 1076. VHDL este, de asemenea, definit și integrat în instrumentele CAD (Computer Aided Design). Este utilizat și pentru configurarea FPGA-urilor. Cel mai simplu exemplu de proiectare ierarhică este relația dintre entitate și arhitectură. Entitatea reprezintă locul unde sunt declarate intrările și ieșirile modulului (Black Box), iar în arhitectură este detaliată structura modulului sau modul în care funcționează acesta (White Box). Sistemele hardware sunt în mod natural concurente, de unde rezultă cele două domenii de modelare: concurent și secvențial.

FPGA-urile (Field Programmable Gate Array) sunt circuite integrate digital configurabile de către utilizator. Programarea logică și configurarea se realizează într-un limbaj de descriere hardware.

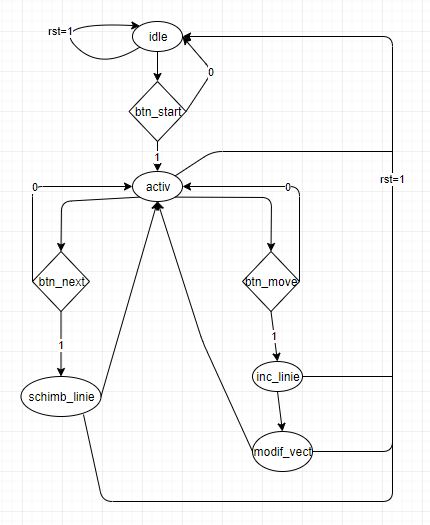


Basys 3 Artix-7 FPGA Trainer Board

3. Proiectare și implementare

Organigrame

Organigrama UCC Leduri



În starea de idle sunt initializate: matricea, scorul, șansa, linia curentă. Starea activ transmite către leduri linia curenta de biți pentru afișare. Dacă primește 1 pe btn\_next, atunci va afișa linia următoare pe leduri. Dacă primește 1 pe btn\_move, atunci va trece prin următoarele 2 stari: inc\_linie, modif\_vect, care vor decide dacă pe prima poziție liberă din matrice este loc și dacă va pune 0,1 în funcție de șansă. Numărul aleatoriu este generat cu ajutorul unui pseudo-random generator.

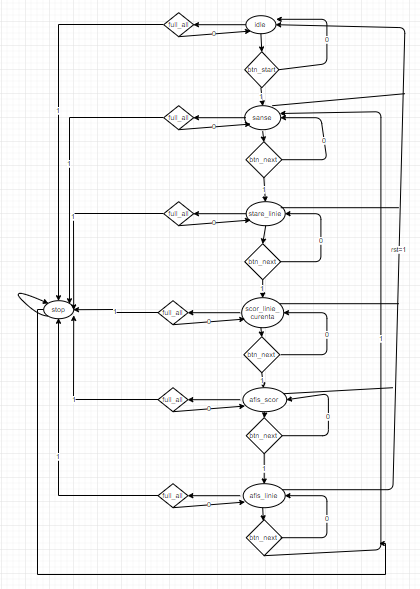
După trecerea prin cele 2 stări, se va întoarce din nou la starea de activ.

Organigrama UCC SSD

Inițial pornește în starea idle, așteptând butonul de start. Stările prin care trece afișează diferiți parametri, care sunt transmiși ca semnale de la UCC-ul ledurilor și prelucrați mai departe.

Trecerea de la o stare la alta se realizează cu ajutorul semnalului btn\_next.

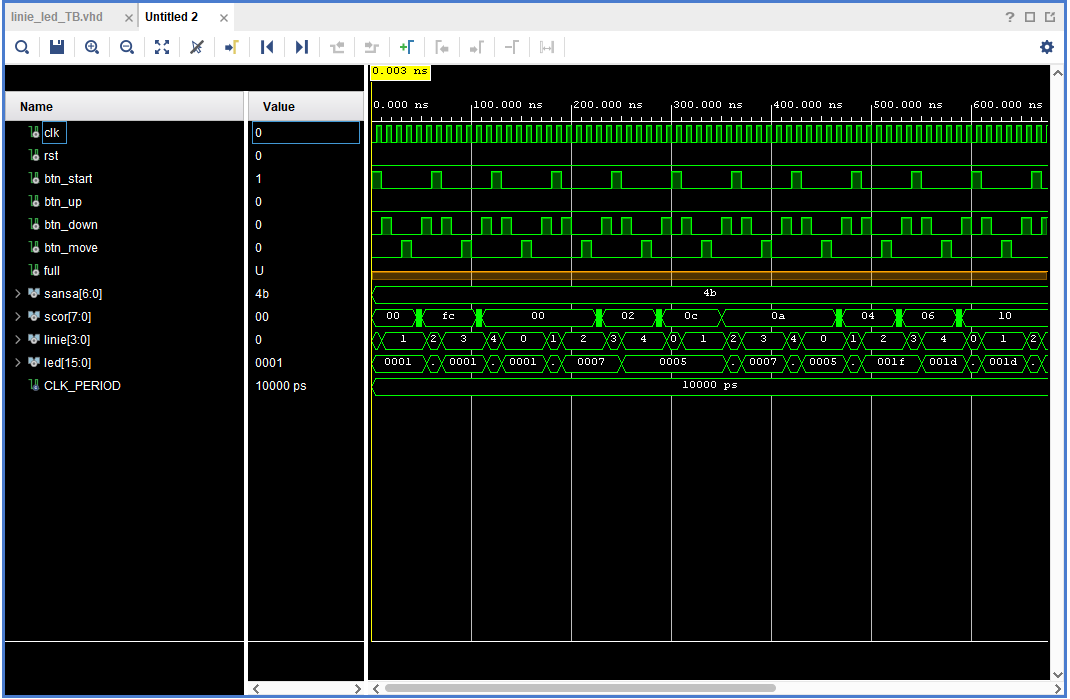
În momentul în care matricea este plină, primește semnalul full\_all=1, iar astfel intră în starea de stop, afișând mesajul DONE pe SSD si scorul la intervale de 1s cu ajutorul unui MPG (Mono-Pulse Generator). Resetarea se face prin butonul de reset.



4. Rezultate Experimentale

În figura de mai jos, putem observa un exemplu de simulare al FSM-ului care operează ledurile.

O imagine care conține text

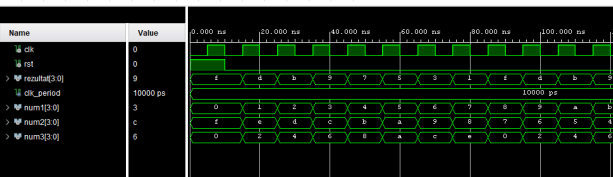
Descriere generată automat

O imagine care conține text

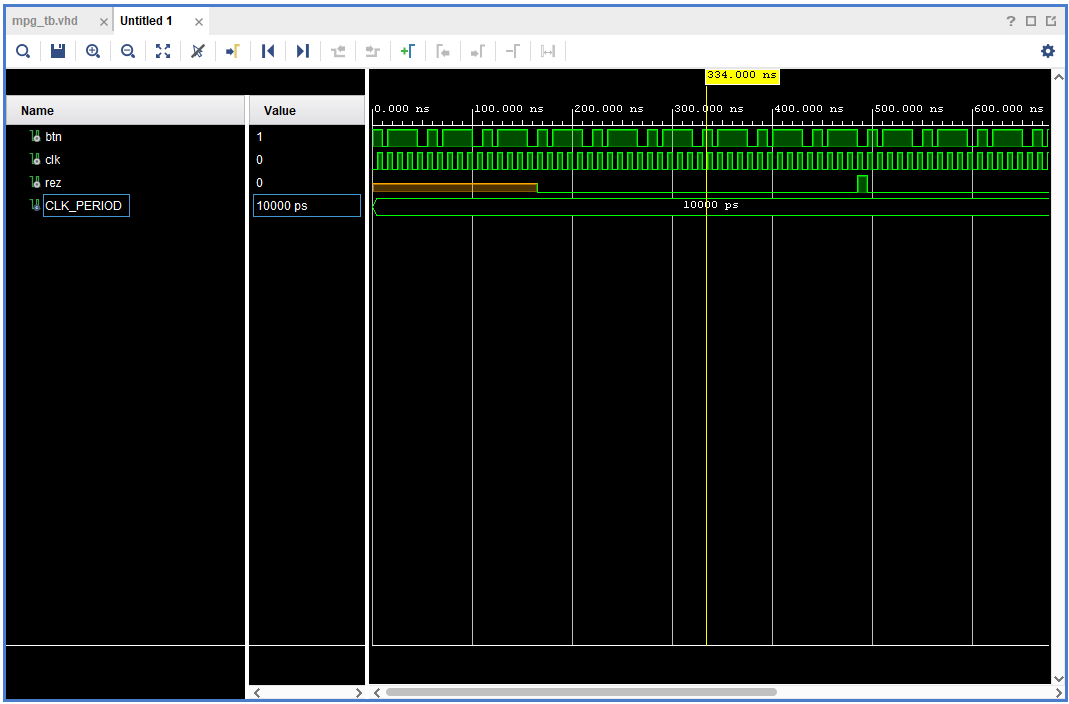
Descriere generată automat

Exemplu de răspuns pe plăcuță la selectarea unei linii, în funcție de faptul că este completată complet sau nu.

Simulare generator de numere pseudo-aleatoare.



Simulare MPG (Mono Pulse Generator)



5. Concluzia

În concluzie, proiectul reprezintă o implementare a jocului de probabilitate 1 0, ținând cont de constrângerile limbajului VHDL, cât și de cele impuse prin hardware.

Bibliografie

1. Documentație Basys 3
2. <https://ro.wikipedia.org/wiki/FPGA>
3. <https://ro.wikipedia.org/wiki/VHDL>
4. Curs și Laboratoare PSN