

Modele de subiecte VHDL 2011

(Editare, compilare, simulare – în Active HDL)

1. Descriere structurală pentru convertor de cod din BCD în Exces 3
2. Descriere flux de date pentru decodificator BCD – zecimal
3. MUX cu parametri generici – exemplificare pt. MUX 16:1
4. Descriere structurală pentru comparator de egalitate pe 2 biți
5. Descriere comportamentală pentru sumator-scăzător pe 4 biți
6. Descriere comportamentală pentru memorie ROM 16 x 16 biți
7. Descriere comportamentală pentru memorie RAM 16 x 16 biți
8. Descriere comportamentală pentru bistabil JK sincron, cu intrări asincrone și cu proces pt. tact
9. Numărător binar sincron pe 8 biți (operații: resetare, numărare, încărcare paralelă)
10. Numărător zecimal sincron pe 4 biți (operații: resetare, numărare, încărcare paralelă)
11. Descriere structurală pentru numărător binar pe 8 biți utilizând numărător binar pe 2 biți
12. Registru universal sincron pe 4 biți (operații: memorare, încărcare paralelă, deplasare dreapta, deplasare stânga, resetare)
13. Descriere structurală pentru generator de numere pseudoaleatoare pe 4 biți
14. Memorie FIFO 4 x 8 biți
15. Modul de simulare pentru scăzător complet pe 1 bit
16. Modul de simulare pt. DEMUX 1:8
17. Modul de simulare pentru buffer three-state pe 8 biți
18. Modul de simulare pt. bistabil JK sincron
19. Modul de simulare pt. numărător sincron pe 2 biți
20. Modul de simulare pt. registru de deplasare pe 8 biți
21. Să se citească date de pe o intrare serială și să se detecteze apariția secvenței 1100 din șirul de intrare
22. Să se descrie funcționarea unei reclame, care poate fi comandată să fie stinsă și aprinsă intervale diferite de timp. Textele Test_PSN și Rezultat_PSN, afișate pe reclamă, se vor afișa în consolă
23. Să se realizeze un registru de deplasare universal BARREL SHIFTER, care poate efectua deplasări la stânga sau la dreapta de maximum 3 poziții binare