

Códigos de operações lógicas e aritméticas para o simulador do MIPS MULTICICLO
Arquitetura e organização de computadores 2 - 2019

	código	memória
0	lui s1 2	
4	lui s2 2	
8	beq s1 s2 8	
12	and s3 s1 s2	2
16	jal 24	
20	add s3 s1 s2	4
24	sw s3 512 zero	

	código	memória
0	lui s1 2	
4	lui s2 4	
8	bne s1 s2 8	
12	and s3 s1 s2	
16	jal 24	
20	add s3 s1 s2	6
24	sw s3 512 zero	

	código	memória
0	lui s1 1	
4	slti s2 s1 2	
8	sw s2 512 zero	1
12		
16		
20		
24		

	código	memória
0	lui ra 28	
4	lui s1 2	
8	lui s2 2	
12	lui s3 3	
16	jr ra	
20	sw s3 512 zero	3
24	jal 36	
28	add s4 s1 s2	
32	sw s4 512 zero	4

	código	memória
0	lui s1 0	
4	lui s2 1	
8	nor s3 s1 s2	
12	sw s3 512 zero	-2
16		
20		
24		
28		
32		

	código	memória
0	lui s1	2
4	lui s2	2
8	mult s3 s1 s2	
12	sw s3 512 zero	4
16		
20		
24		
28		
32		

	código	memória
0	lw s1 512 zero	2
4	sll s3 s1 2	
8	sw s3 520 zero	8
12		
16		
20		
24		
28		
32		

	código	memória
0	lw s1 512 zero	8
4	srl s3 s1 2	
8	sw s3 520 zero	2
12		
16		
20		
24		
28		
32		

	código	memória
0	lui s1 2	
4	addi s2 s1 6	
8	sw s2 512 zero	8
12		
16		
20		
24		
28		
32		

	código	memória
0	lui s1 2	
4	andi s2 s1 2	
8	sw s2 512 zero	2
12		
16		
20		
24		
28		
32		

	código	memória
0	lui s1 4	
4	ori s2 s1 2	
8	sw s2 512 zero	6
12		
16		
20		
24		
28		
32		

	código	memória
0	lui s1 5	
4	lui s2 2	
8	sub s3 s1 s2	
12	sw s3 512 zero	3
16		
20		
24		
28		
32		

