Quando sintetizo com o AES completo, ou seja, AES + Geração da Sub Chave
O período do clock precisa ser de 7ns atingindo a frequência máxima de 144.13MHz com o caminho crítico sendo no cálculo da Sub Chave pois não há barreiras sequenciais
dentro dos cálculos, e como o cálculo da SC é um "mini AES" acaba sendo o caminho crítico. Há apenas registradores na entrada do cálculo da Sub Chave e na saída do cálculo.

→ Potência

Total Thermal Power Dissipation	253.59 mW
Core Dynamic Thermal Power Dissipation	65.34 mW
Core Static Thermal Power Dissipation	81.81 mW
I/O Thermal Power Dissipation	106.45 mW

→ Número de portas, registradores

Total logic elements	5,261 / 24,624 (21 %)
Total combinational functions	5,163 / 24,624 (21 %)
Dedicated logic registers	950 / 24,624 (4 %)
Total registers	1078
Total pins	194 / 216 (90 %)
Total virtual pins	0
Total memory bits	0 / 608,256 (0 %)
Embedded Multiplier 9-bit elements	0 / 132 (0 %)
Total PLLs	0 / 4 (0 %)

Se não fizesse o cálculo da Sub Chave, o AES apenas possui
Período de clock de 6ns atingindo a frequência máxima de 183.42Mhz provando então que apenas o algoritmo AES sem o cálculo da Sub Chave possui uma frequência maior. Além disso, o caminho crítico do AES apenas é o Add Round Key pois tem várias XOR’s sem barreira de registradores dentro da lógica combinacional

→ Potência

Power Models	Final
Total Thermal Power Dissipation	267.33 mW
Core Dynamic Thermal Power Dissipation	66.05 mW
Core Static Thermal Power Dissipation	81.69 mW
I/O Thermal Power Dissipation	119.59 mW
Power Estimation Confidence	Low: user provided insufficient toggle rate data

→ Número de portas, registradores

Total logic elements	4,059 / 24,624 (16 %)
Total combinational functions	3,945 / 24,624 (16 %)
Dedicated logic registers	822 / 24,624 (3 %)
Total registers	950
Total pins	194 / 216 (90 %)
Total virtual pins	0
Total memory bits	0 / 608,256 (0 %)
Embedded Multiplier 9-bit elements	0 / 132 (0 %)
Total PLLs	0 / 4 (0 %)