

Universidade do Minho - Departamento de Electrónica Industrial

Sistemas Digitais - Laboratórios

Latches, Flip-flops e Circuitos Sequenciais

Duração máxima: 3 aulas.

Os alunos devem entregar no início das aulas (e copiar para o Logbook) a preparação prévia, com a resolução de todas as questões indicadas em itálico no guia.

Antes de realizar o trabalho, os alunos devem ter estudado os seguintes tópicos:

- 1) Funcionamento interno e distinção entre um latch e um flip-flop;
- 2) Funcionamento de flip-flops D, T e JK;
- 3) Obtenção de um flip-flop de um tipo a partir de um flip-flop de outro tipo;
- 4) Diferenças entre lógica combinacional e lógica sequencial;
- 5) Construção de diagramas de estado.

Durante a realização do trabalho, os alunos devem:

- 1) Realizar as montagens indicadas no guia;
- 2) Registar no logbook todos os valores calculados e medidos.

Depois de realizar o trabalho na totalidade, os alunos devem:

- 1) Ter verificado experimentalmente os tópicos propostos;
- 2) Ser capazes de identificar e evitar problemas de *bounce*;
- 3) Ser capazes de distinguir um flip-flop activado por flanco ascendente (*positive-edge-triggered*) de um flip-flop activado por flanco descendente (*negative-edge-triggered*);
- 4) Ser capazes de projectar um pequeno circuito sequencial.

Elementos de estudo:

- 1) Slides de Sistemas Digitais.
- 2) John F. Wakerly, “Digital Design, Principles and Practices”, Prentice Hall, 2000.

PROCEDIMENTO

1 - É possível obter uma latch S'R' (S' de "Set" e R' "Reset") numa implementação utilizando apenas duas gates NAND. Confirme tal facto montando o circuito da figura 1.

OBS: Os nomes das entradas desta latch (que devem ser ligadas diretamente aos interruptores) são S' (S negado) e R' (R negado), o que indica que as estradas são ativadas com nível lógico baixo. Para obter uma latch SR bastaria acrescentar dois inversores às entradas, mas isso não deve ser feito neste trabalho.

Apresente uma tabela relacionando os valores de S', R', Q e Q'.

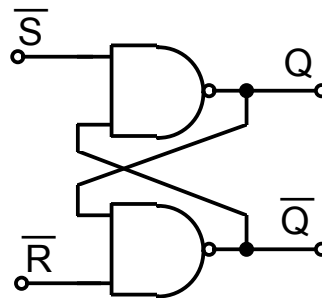


Fig 1. Latch S'R'.

2 - Monte um flip-flop D usando o circuito integrado 7474. Ligue as entradas **PRESET'** e **CLEAR'** a nível lógico 1 e teste o seu funcionamento, preenchendo no logbook a **tabela de estados** do flip-flop D, ou seja, uma tabela de verdade com as entradas Q e D e a saída Q* (estado seguinte). O funcionamento da entrada D depende do clock? De que forma?

Observe e descreva o que ocorre com as saídas Q e Q' quando coloca: i) somente PRESET' = 0; ii) somente CLEAR' = 0; iii) ambas entradas a nível lógico 0. O funcionamento destas entradas depende do clock?

Qual é a relação que existe entre as entradas PRESET' e CLEAR' do flip-flop D e as entradas S' e R' da latch da Fig. 1?

Explique a diferença entre o **flip-flop D** e a **latch D**.

3 - Deseja-se implementar e testar um flip-flop T (do tipo apresentado na figura 2) com recurso a um flip-flop D do 7474 e portas lógicas auxiliares.

OBS: A Fig. 2 representa flip-flops ativados por flanco descendente. No entanto, o circuito integrado 7474 contém dois flip-flops D ativados por flanco ascendente (*positive-edge-triggered*), como pôde confirmar durante a execução do exercício 2.

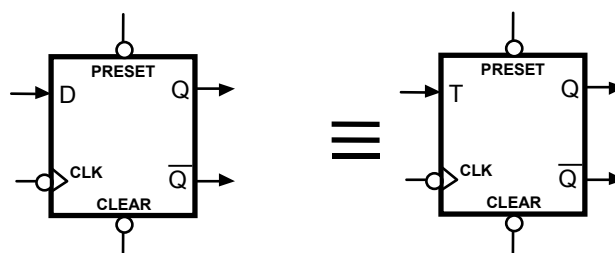


Fig. 2 - Flip-flops D e T.

Apresente a tabela de estados do flip-flop T, ou seja, uma tabela de verdade com as entradas Q e T e a saída Q* (estado seguinte), sem incluir o clock.

Apresente o diagrama de estados do flip-flop T (o diagrama de estados é uma representação gráfica equivalente à tabela de estados, pelo que o diagrama estará errado se incluir valores para a entrada de clock).

Com base na tabela de estados, obtenha a lógica combinacional necessária para implementar o flip-flop T com recurso ao flip-flop D e desenhe o esquema do circuito.

Monte este circuito. Antes de testar o seu funcionamento, deve montar o circuito de *debounce* descrito na secção 4.

4 - Quando uma saída provém diretamente de um interruptor, esta é afetada por problemas de **vibração mecânica (bounce)** quando o contacto se fecha (como ilustrado na figura 3a). Se a saída do interruptor for utilizada como **entrada de relógio (clock)** de um **circuito sequencial**, irão ocorrer **múltiplas transições do clock** para cada acionamento do interruptor, em vez de só uma de cada vez, como seria desejável.

OBS: A figura 3a apresenta uma representação do circuito interno de um interruptor do Digital Lab (por exemplo, P4), que se encontra montado no interior deste equipamento, pelo que **NÃO DEVE MONTAR ESSE CIRCUITO**, visto que o sinal P4 indicado na figura já se encontra disponível.

De forma a garantir que a mudança de nível lógico se faça sem oscilações, torna-se necessário utilizar um circuito chamado “**circuito de debounce**” como o apresentado na figura 3b, que é baseado numa latch S’ R’. Com este circuito, o interruptor mecânico (P4) pode ser totalmente substituído por um fio em que uma extremidade é ligada à massa e a outra faz contacto alternadamente com os terminais das resistências que estão ligados às entradas das portas NAND (pontos X e Y).

Indique o que acontece com o valor da saída OUT quando a extremidade livre do fio efectua a seguinte sequência:

- Faz contacto com o ponto Y.
- Deixa de fazer contacto com qualquer ponto.
- Passa a fazer contacto com o ponto X.
- Deixa de fazer contacto com qualquer ponto.

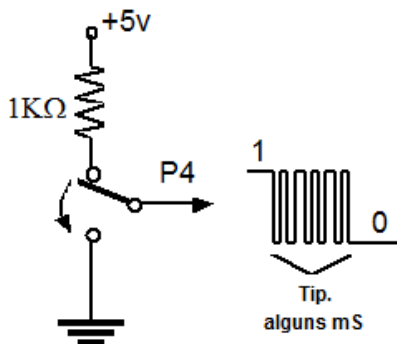


Fig 3a - Interruptor mecânico.

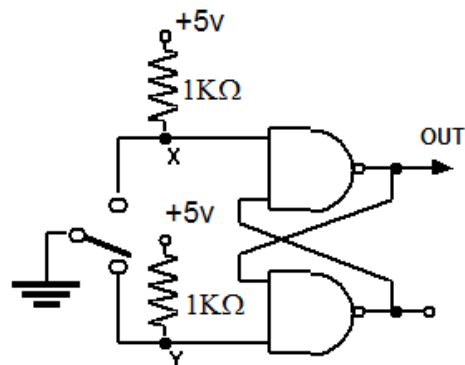


Fig 3b - Circuito de *debounce*.

Monte o circuito da figura 3b. Para comprovar a utilidade do circuito de *debounce*, compare o comportamento exibido pelo flip-flop T com duas entradas de clock diferentes (**uma de cada vez, para não causar um curto-circuito**):

- Um interruptor do Digital Lab, por exemplo, P4.
- A saída do circuito de *debounce* da figura 3b (sinal OUT).

O que conclui?

5 - Apresente a tabela de estados do flip-flop JK (entradas Q , J e K , saída Q^*) e o respetivo diagrama de estados.

Obtenha, com recurso a um mapa de Karnaugh, a lógica combinacional necessária para obter um flip-flop JK com base num flip-flop D, e desenhe o esquema do circuito.

Um circuito integrado 74112 contém dois flip-flops JK negative-edge-triggered. Teste um deles, preenchendo a última coluna da tabela 1. Esta tabela é uma representação alternativa, em que o estado seguinte (Q_{n+1}) pode assumir um dos seguintes valores: 0, 1, Q_n (estado atual) ou Q'_n (estado atual negado).

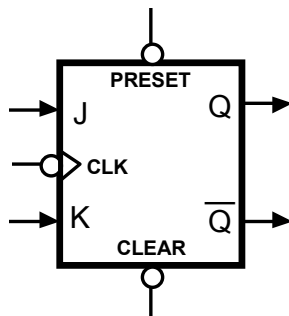


Fig. 4 - Flip-flop JK.

PRESET'	CLEAR'	CLK	J	K	Q_{n+1}
0	1	X	X	X	
1	0	X	X	X	
1	1	$\overline{1}$	0	0	
1	1	$\overline{1}$	0	1	
1	1	$\overline{1}$	1	0	
1	1	$\overline{1}$	1	1	
1	1	1	X	X	

Tabela 1.

Considere no exercício seguinte que A e B são os números mecanográficos (de 5 dígitos decimais) dos dois elementos do grupo, com $A > B$, sendo A1 e B1 os dígitos decimais mais à esquerda dos respectivos números, A5 e B5 os dígitos mais à direita. Caso o grupo tenha apenas um elemento, o número B é obtido da parte inteira de $A/2$, em que A é o número mecanográfico do aluno.

6 - Implemente, com recurso a flip-flops D (circuitos integrados 7474) e portas lógicas, um circuito sequencial que efectue a seguinte sequência:

$A1, A2, A3, A4, A5, 9, A1, A2, A3, A4, A5, 9 \dots$

Apresente todas as etapas do projecto: diagrama de estados, tabela de estados/saídas, atribuição de estados, tabela de transição, equações de excitação, equações de saída e diagrama esquemático.

OBS: Caso haja 2 ou mais números iguais na sequência, os respetivos estados devem ser diferentes, sendo necessária uma lógica combinacional para um ou mais bits da saída.

Monte o circuito e teste o seu funcionamento.