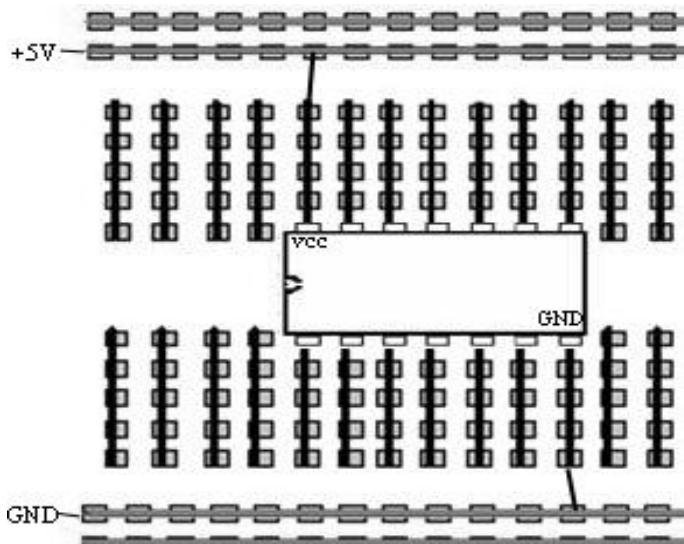


Trabalhos Práticos  
de  
Sistemas Digitais  
09/10

# TPO - Introdução Aos Sistemas Digitais



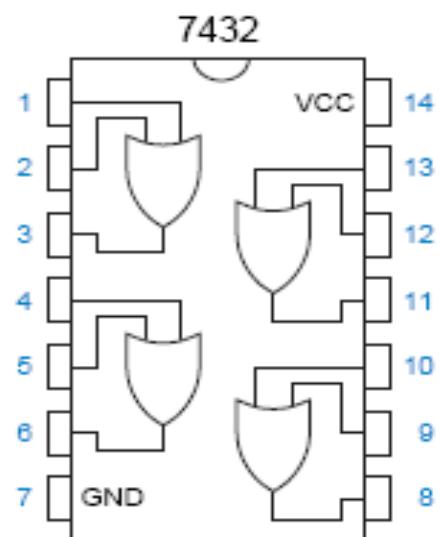
Como colocar Cl.

## 1.

### *Porta OR*



X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1



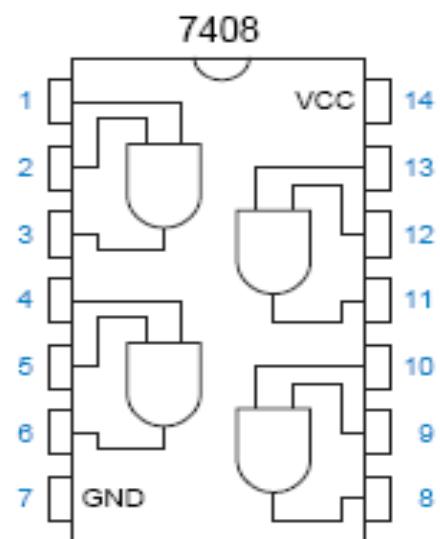
Fórmula : X+Y

**2.**

**Porta AND**



X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1



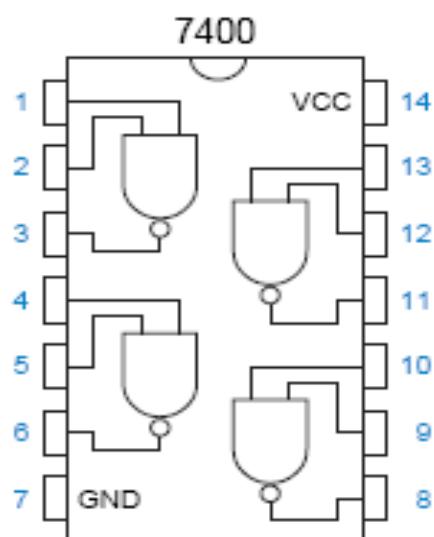
Fórmula :  $X * Y$

**3.**

**Porta NAND**



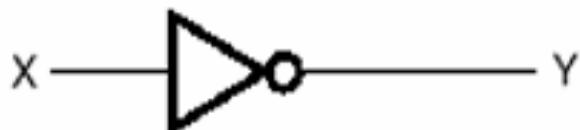
X	Y	Z
0	0	1
0	1	1
1	0	1
1	1	0



Fórmula :  $(X * Y)'$

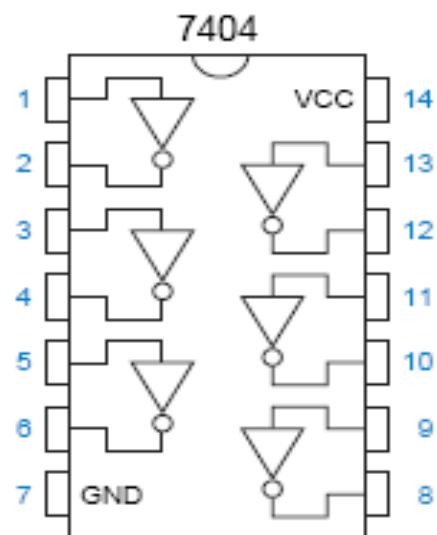
4.

**Porta NOT**



X	Y
0	1
1	0

Fórmula :  $X'$



# TP1-Circuitos Integrados Digitais

## # Procedimento

1.

### Círculo Integrado a ser analisado:



Código	SN	74	LS	04	N
Significado	1	2	3	4	5
SN74LS04N					
1 – Prefixo do Fabricante	Texas				
2 – Série	Comercial				
3 – Família	Low Power Schottky				
4 – Função Lógica	Inversor (Porta NOT) - 6 Inversores				
5 – Encapsulamento	Em linha dupla – plástico				

- Qual é o fabricante do CI?  
→ Texas
- Qual é a série desse CI?  
→ Comercial
- Qual é a sua tecnologia interna?  
→ Low Power Schottky
- Qual é o tipo de dispositivo/função desse CI?  
→ Inversor ( Porta NOT ) – 6 Inversores
- Qual é o tipo de encapsulamento utilizado?  
→ Cápsula com duplo filamento de pinos ( DIL – Dual In Line )

### Círculo Integrado alternativo a ser analisado:

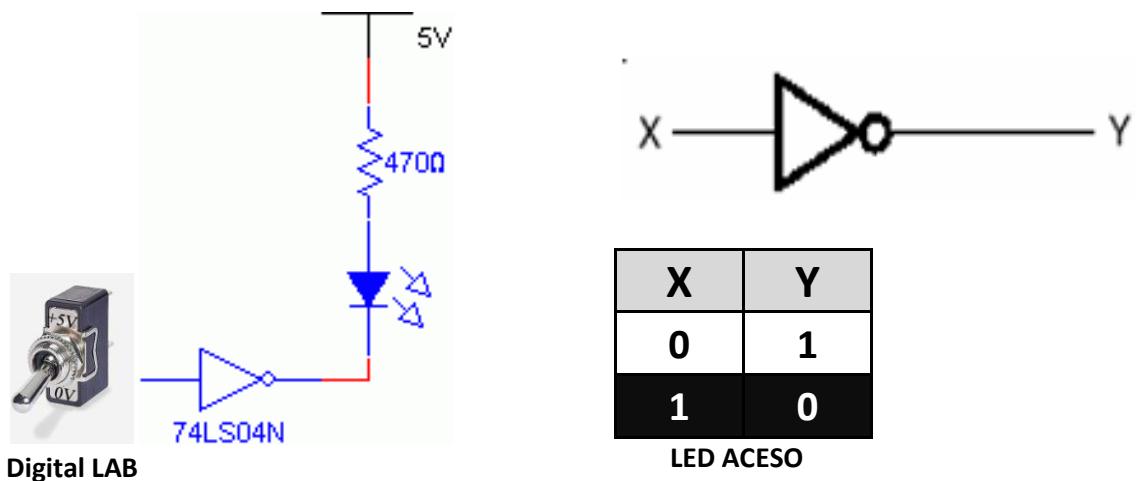


Código	SN	74	LS	08	N
Significado	1	2	3	4	5
SN74LS08N					
1 – Prefixo do Fabricante	Texas				
2 – Série	Comercial				
3 – Família	Low Power Schottky				
4 – Função Lógica	Quad 2-Input AND Gates				
5 – Encapsulamento	Em linha dupla – plástico				

- Qual é o fabricante do CI?  
→ Texas
- Qual é a série desse CI?  
→ Comercial
- Qual é a sua tecnologia interna?  
→ Low Power Schottky
- Qual é o tipo de dispositivo/função desse CI?  
→ Quad 2 – Input AND Gates
- Qual é o tipo de encapsulamento utilizado?  
→ Cápsula com duplo filamento de pinos ( DIL – Dual In Line )

2.

- Tensão no LED quando este está aceso é de +2 V.
- O nível lógico de saída do integrado neste caso é ‘0’.



#### Cálculo do valor teórico da corrente que passa no LED quando este está aceso

$$5 \text{ V (ENTRADA)} = 470 \Omega * I_{\text{TEÓRICO}} + 2 \text{ V (LED)} + 0.35 \text{ V (V}_{\text{OL}})$$

$$I_{\text{TEÓRICO}} = \frac{5 \text{ V} - 2\text{V} - 0.35 \text{ V}}{470\Omega} = 5.6 \text{ mA}$$

Pois o LED só liga com o nível lógico de saída do integrado a ‘0’

$I_{\text{TEÓRICO}} = 5.6 \text{ mA}$

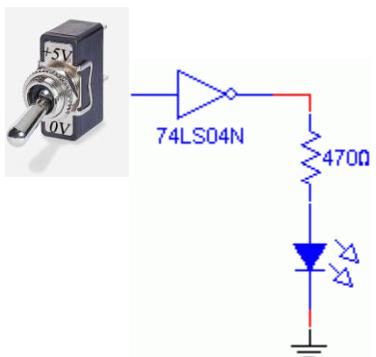
$V_{\text{TEÓRICO}} = 2\text{V}$

$I_{\text{MEDIDO}} =$

$V_{\text{MEDIDO}} =$

	Fabricante	Medido
$V_{\text{IH}}$	2V	
$V_{\text{IL}}$	0.8 V	
$V_{\text{OH}}$	3.4 V	
$V_{\text{OL}}$	0.35 V	
$I_{\text{IH}}$	20 μA	
$I_{\text{IL}}$	-0.36 mA	
$I_{\text{OH}}$	-0.4 mA	
$I_{\text{OL}}$	8 mA	

3.



- Tensão no LED quando este está aceso é de +2 V.
- O nível lógico de saída do integrado neste caso é '1' ( e de entrada '0' ), pois caso contrário não haveria fornecimento de energia que permitisse ao LED ligar-se.

Cálculo do valor teórico da corrente que passa no LED quando este está aceso

$$470 \Omega * I_{TEÓRICO} + 2 \text{ V (LED)} + 3,4 \text{ (V}_{OH}\text{)} = 0 \text{ (GND)}$$

Pois o LED só liga com o nível lógico de saída do integrado a '1'

$$I_{TEÓRICO} = \frac{-2\text{V} - 3,4\text{V}}{470\Omega} = \frac{-5,4\text{V}}{470\Omega} \cong -11,5\text{mA}$$

$$I_{TEÓRICO} \approx -11,5 \text{ mA}$$

- Porquê que o circuito da FIG.1 pode ser montado e o da FIG.2 não?

Por causa do ' $I_{OL}$ ' e do ' $I_{OH}$ ':

Círcuito Fig.1 →  $I_{OL} > I_{TEÓRICO}$ , logo como o valor teórico da corrente está abaixo do valor máximo de corrente para que o nível lógico de saída do integrado seja '0', o circuito funcionará correctamente.

	Fabricante	Teórico
$I_{OL}$	8 mA	5.6 mA

Círcuito Fig.2 →  $I_{OH} < I_{TEÓRICO}$ , logo como o valor teórico está acima do valor máximo de corrente suportado pela porta de saída do integrado, o circuito não poderá ser montado.

	Fabricante	Teórico
$I_{OH}$	-0.4 mA	-11.5mA

- Se alterarmos a resistência de  $470\ \Omega$  por uma de  $150\ \Omega$  no circuito da FIG. 1 Haverá algum problema na montagem?

$$I_{TEÓRICO} = \frac{2.65V}{150\Omega} \cong 17.7mA$$

$I_{TEÓRICO} > I_{OL}$  , logo haveria problemas pois a corrente que percorreria o circuito ultrapassa a corrente máxima suportada pela saída do integrado para o nível lógico '0' .

	Fabricante	Teórico
$I_{OL}$	8 mA	17.7 mA

- Se alterarmos a resistência de  $470\ \Omega$  por uma de  $15\ K\Omega$  no circuito da FIG. 2 Haverá algum problema na montagem?

$$I_{TEÓRICO} = \frac{-5.4V}{15K\Omega} = -0.36mA$$

$I_{OH} > I_{TEÓRICO}$  , o circuito funcionaria correctamente, a corrente está dentro dos limites suportados pela porta de saída do integrado para o nível lógico '1'.

	Fabricante	Teórico
$I_{OH}$	-0.4 mA	-0.36 mA

#### 4.

**I<sub>IL</sub>** – Corrente de entrada para o nível lógico “0”;

**I<sub>IH</sub>** – Corrente de entrada para o nível lógico “1”;

**I<sub>OL</sub>** – Corrente de saída para o nível lógico “0”;

**I<sub>OH</sub>** – Corrente de saída para o nível lógico “1”;

**Sentido arbitrado pelo fabricante e sentido real das 4 correntes**

- **FANOUT** – É o parâmetro referente à saída de uma porta lógica, o qual indica o número de portas lógicas que se podem ligar à saída sem comprometer o bom funcionamento lógico do circuito.  
(R: Valores Máximos)
- Cálculo do FANOUT para o CI 74LS04:

$$\text{FANOUT} = \frac{I_{OL}}{I_{IL}} = \frac{8 \text{ mA}}{| -0.36 \text{ mA} |} = 22$$

- Quantas entradas 74LS se podem ligar adicionalmente à saída da porta inversora, no circuito da FIG. 1 ?

$$\text{FANOUT} = \frac{I_{OL}}{I_{IL}} = \frac{8 \text{ mA}}{| -0.4 \text{ mA} |} = 20$$

- Quantas entradas podem ser ligadas à saída de uma porta lógica nos seguintes casos:
  - 74LS controla 74LS  $\Rightarrow$  20
  - 74LS controla 74ALS  $\Rightarrow$  36
  - 74S controla 74F  $\Rightarrow$  33
  - 74F controla 74AS  $\Rightarrow$  40
  - 74AS controla 74LS  $\Rightarrow$  50
  - 74ALS controla 74S  $\Rightarrow$  4

5.

$V_{IL}$  – Tensão máxima de entrada para o nível lógico “0”;

$V_{IH}$  – Tensão mínima de entrada para o nível lógico “1”;

$V_{OL}$  – Tensão máxima de saída para o nível lógico “0”;

$V_{OH}$  – Tensão mínima de saída para o nível lógico “1”;

- Para calcular a margem de ruído usa-se os valores mínimos, médios ou máximos de  $V_{IH}$ ,  $V_{IL}$ ,  $V_{OL}$ ,  $V_{OH}$ ?

Para calcular a margem de ruído para o nível lógico “1” utiliza-se:

$$V_{OH} - V_{IH}$$

Para calcular a margem de ruído para o nível lógico “0” utiliza-se:

$$V_{IL} - V_{OL}$$

- Cálculo da margem de ruído dos circuitos 74LS

$$\text{Nível Lógico “1” : } 2.7 \text{ V} - 2 \text{ V} = 0.7 \text{ V}$$

$$\text{Nível Lógico “0” : } 0.8 \text{ V} - 0.5 \text{ V} = 0.3 \text{ V}$$

<b>I<sub>out</sub> (CONTROLA)</b> <hr/> <b>I<sub>in</sub> (CONTROLADO)</b>
---

- Cálculo da margem de ruído no caso em que a saída de um CI de série 54LS controla a entrada de um CI de série 74LS.

Nível Lógico “1” :  $2.5\text{ V} - 2\text{V} = 0.5\text{ V}$

Nível Lógico “0” :  $0.8\text{ V} - 0.4\text{V} = 0.3\text{ V}$

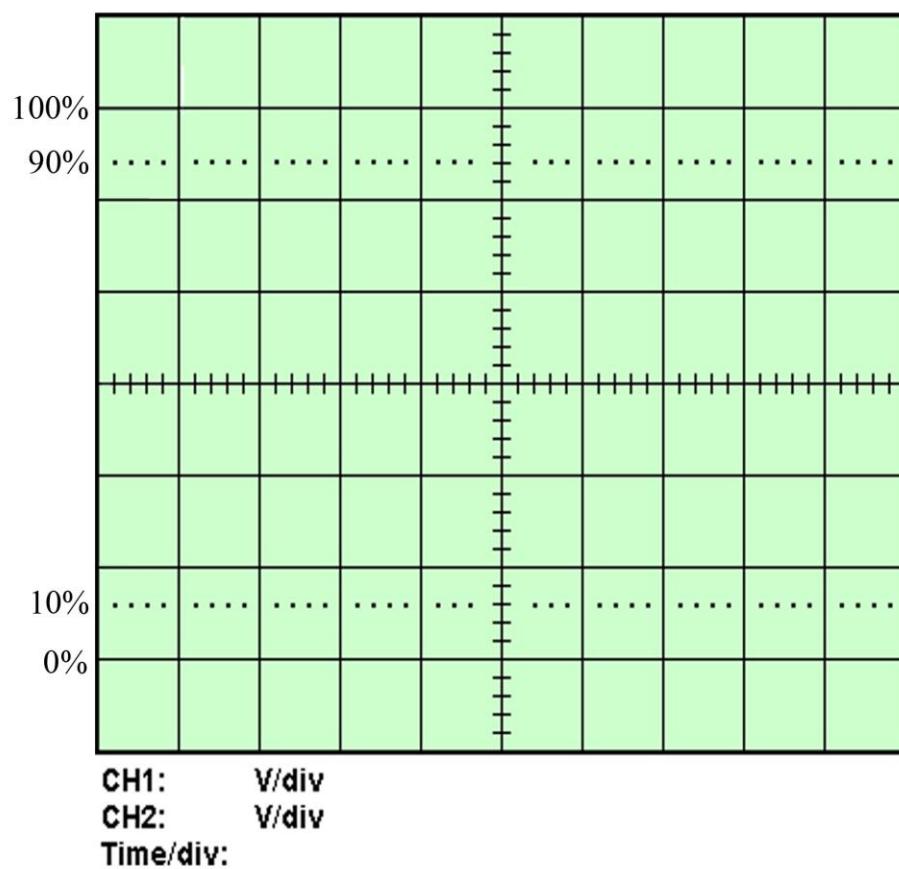
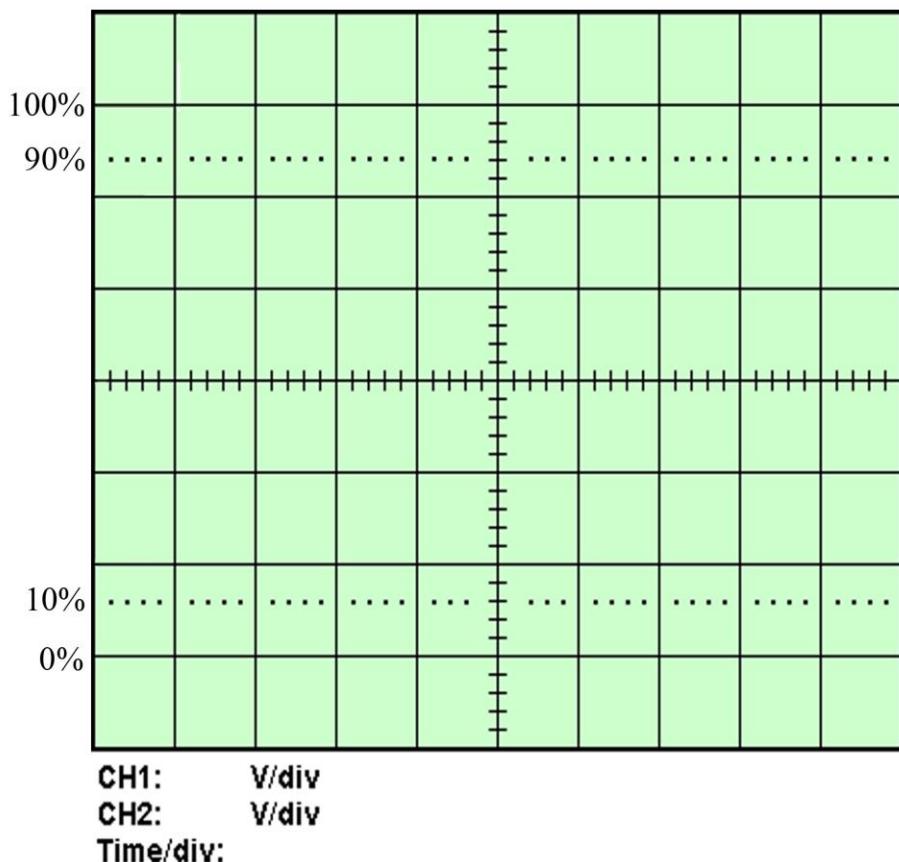
- Se a margem de ruído for muito pequena o que poderia acontecer de negativo? Quais as consequências de uma margem de ruído negativa?

Quanto menor for a margem de ruído mais facilmente o circuito ficará comprometido no que toca ao processamento e transmissão correcta da informação do circuito, os valores lógicos ficam mais comprometidos e vulneráveis a ruídos externos , como por exemplo a interferência.

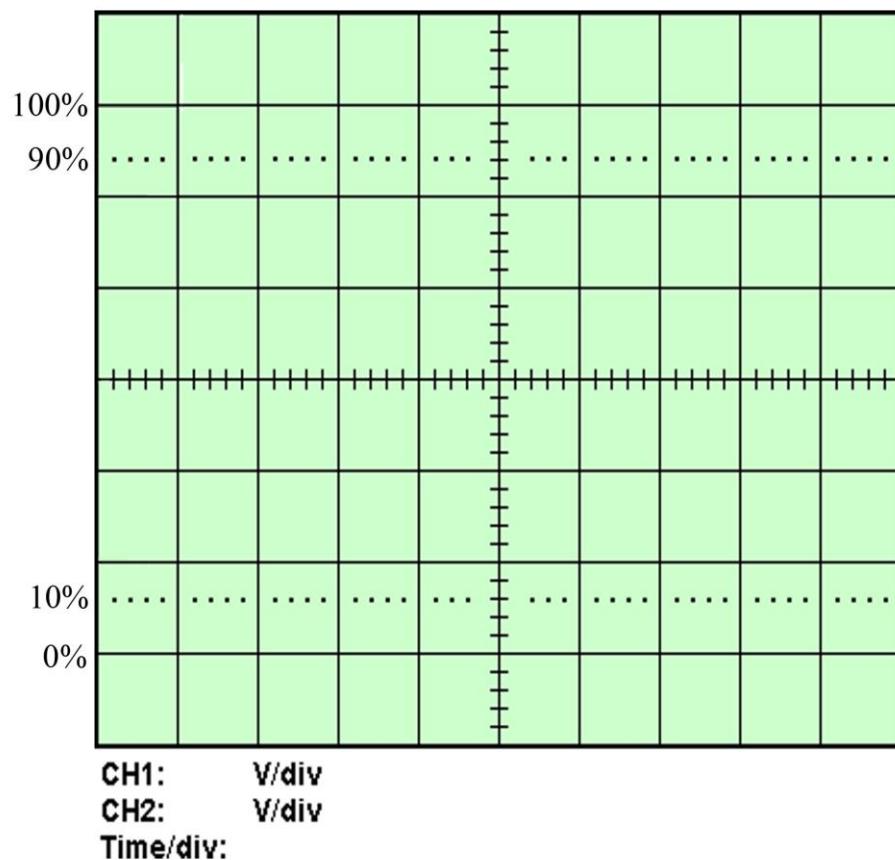
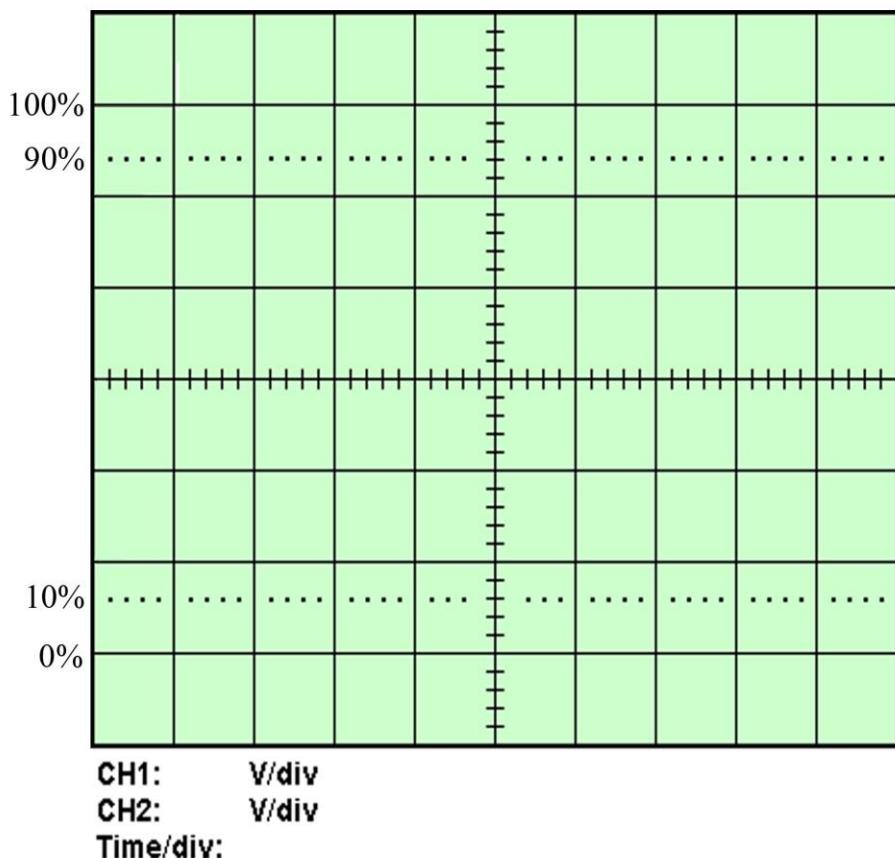
Caso a margem de ruído seja negativa,

- Duas consequências indesejáveis que podem ocorrer ao se exigir de uma porta lógica uma corrente de saída superior ao valor máximo especificado pelo fabricante.
  1. Os valores lógicos do circuito ficarão comprometidos;
  2. Pode danificar o CI.

6.



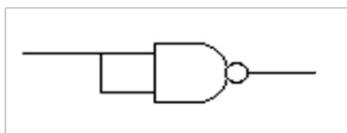
7.



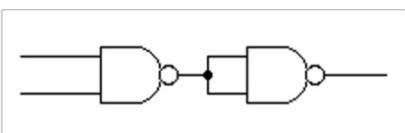
# Sistemas Digitais A

## TP2 - Circuitos Combinacionais

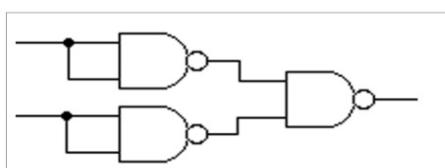
**1.**



NOT



AND

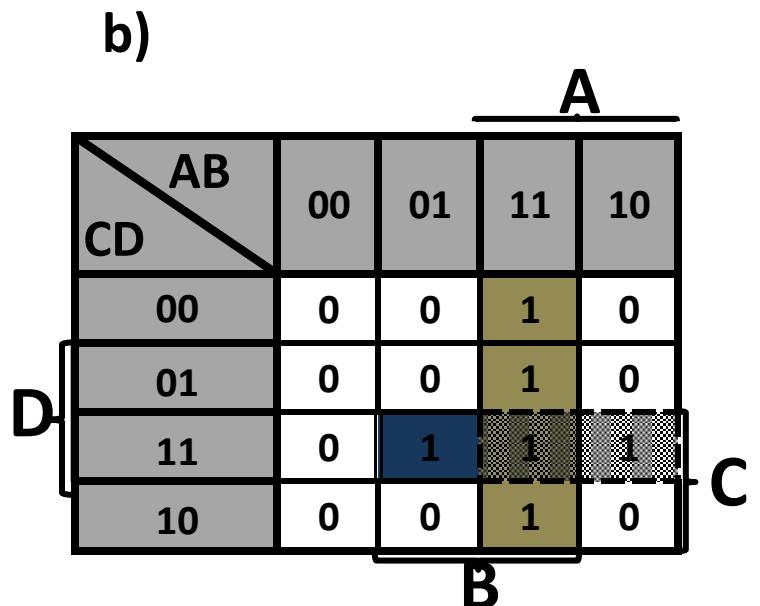


OR

**2.**

a)

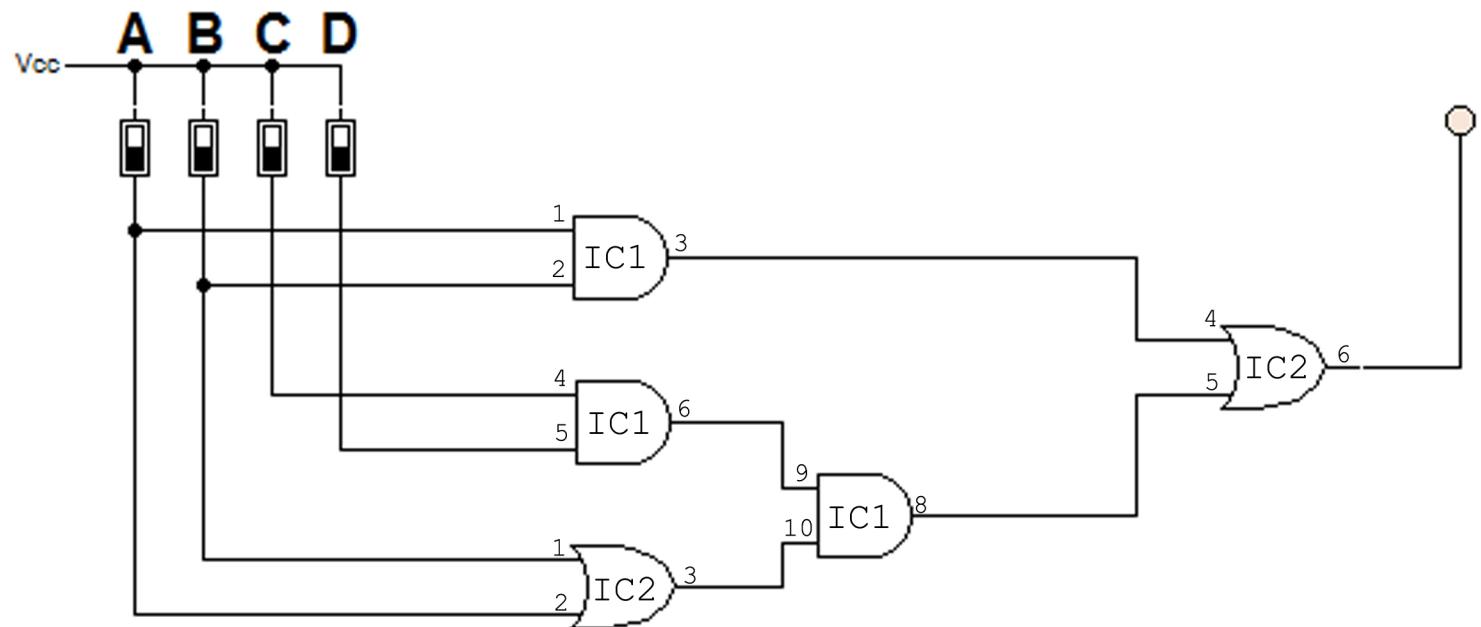
	A	B	C	D	S
0	0	0	0	0	<b>0</b>
1	0	0	0	1	<b>0</b>
2	0	0	1	0	<b>0</b>
3	0	0	1	1	<b>0</b>
4	0	1	0	0	<b>0</b>
5	0	1	0	1	<b>0</b>
6	0	1	1	0	<b>0</b>
7	0	1	1	1	<b>1</b>
8	1	0	0	0	<b>0</b>
9	1	0	0	1	<b>0</b>
10	1	0	1	0	<b>0</b>
11	1	0	1	1	<b>1</b>
12	1	1	0	0	<b>1</b>
13	1	1	0	1	<b>1</b>
14	1	1	1	0	<b>1</b>
15	1	1	1	1	<b>1</b>



$$S = A \cdot B + D \cdot C \cdot B + A \cdot C \cdot D = A \cdot B + (C \cdot D) \cdot (A + B)$$

**2.**

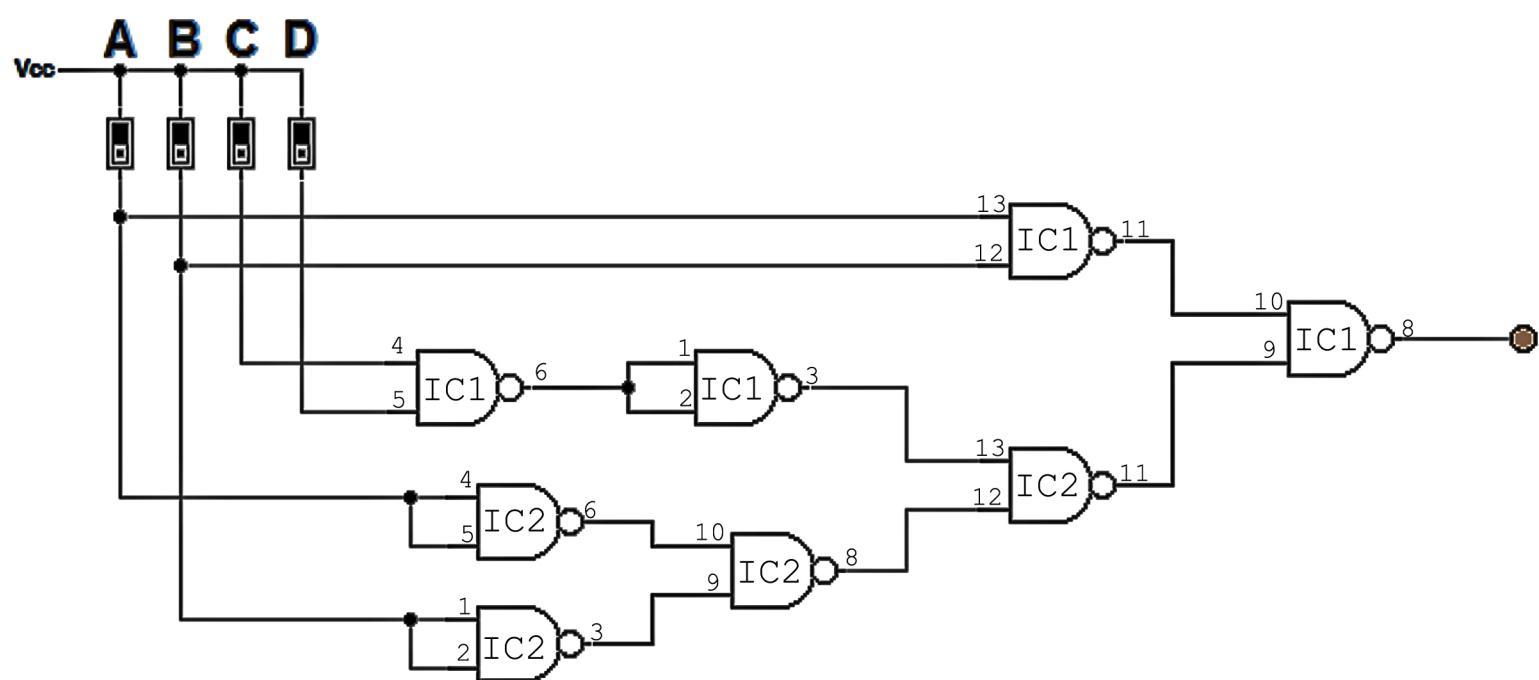
C )



IC1 - AND (7408)

IC2 - OR (7432)

e )



IC1&IC2 - NAND (7400)

VCC+  
(A'.B')

A B C D

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

A B C D E

IC1 - 7408

IC2 - 7432

IC3 - 7408

IC4 - 7432

IC5 - 7408

A'B'C'D'

IC7 - 7408

IC6 - 7404

- S3

- S2

- S0

- S1

LEGENDA

## Sistemas Digitais A

### **TP3- Multiplexadores, Descodificadores e Buffers 3-State**

**1.**

A	>	B			A → 5 2 6 7 8			
					B → 5 0 1 1 9			

B1	B2	B3	B4	B5	A1	A2	A3	A4	A5
5	0	1	1	9	5	2	6	7	8

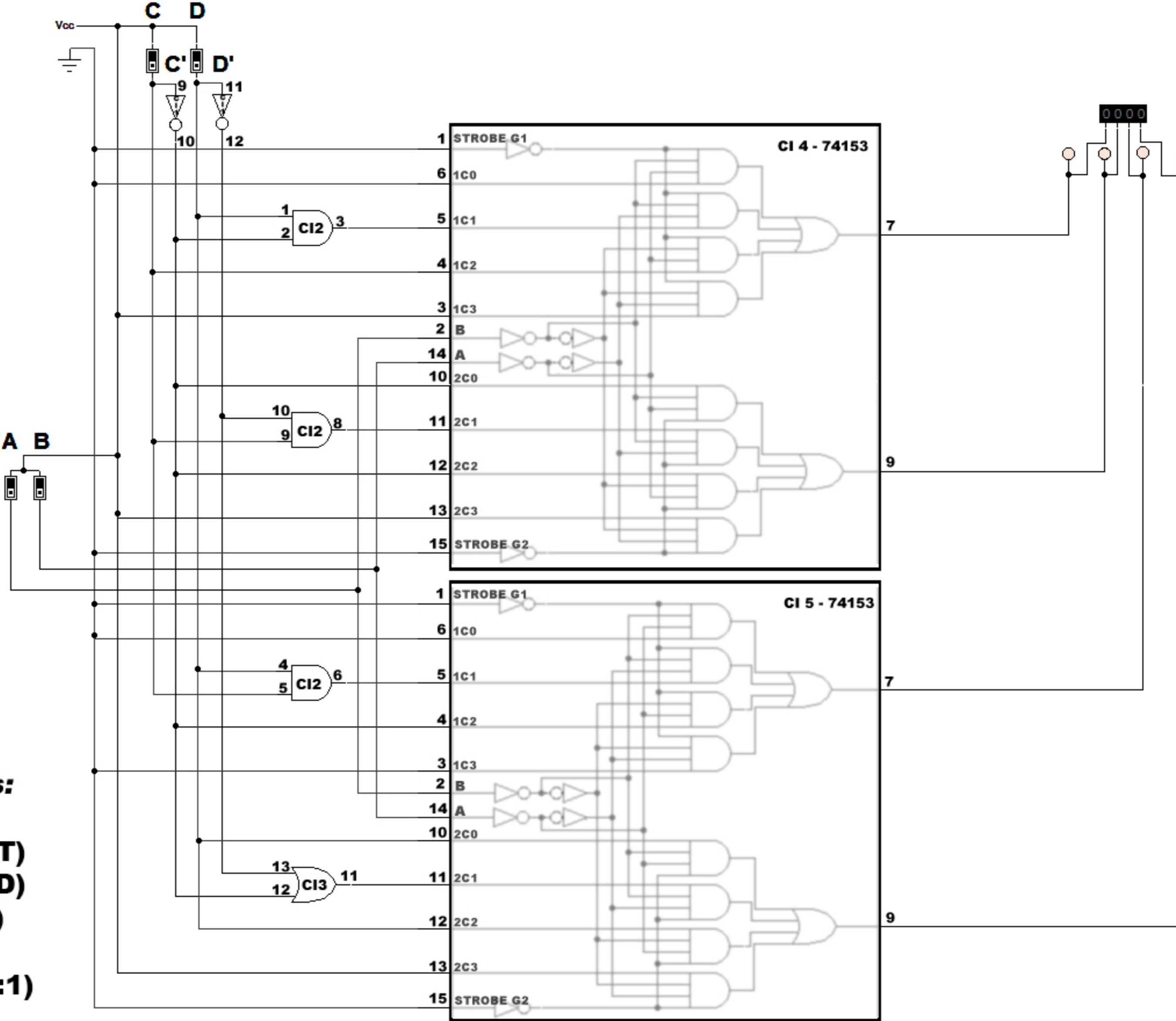
	A	B	C	D	S3	S2	S1	S0	
0	0	0	0	0	x	x	x	x	x
B1	1	0	0	0	1	0	1	0	1
B2	2	0	0	1	0	0	0	0	0
B3	3	0	0	1	1	0	0	0	1
B4	4	0	1	0	0	0	0	0	1
B5	5	0	1	0	1	1	0	0	1
A1	6	0	1	1	0	0	1	0	1
A2	7	0	1	1	1	0	0	1	0
A3	8	1	0	0	0	0	1	1	0
A4	9	1	0	0	1	0	1	1	1
A5	10	1	0	1	0	1	0	0	0
	11	1	0	1	1	x	x	x	x
	12	1	1	0	0	x	x	x	x
	13	1	1	0	1	x	x	x	x
	14	1	1	1	0	x	x	x	x
	15	1	1	1	1	1	1	0	1
									13

## Sistemas Digitais A

### TP3- Multiplexadores, Descodificadores e Buffers 3-State

<b>AB</b>	<b>S3</b>	<b>S2</b>	<b>S1</b>	<b>S0</b>
<b>00</b>	0	$C'$	0	D
<b>01</b>	$C' \times D$	$C \times D'$	$C \times D$	$C' + D'$
<b>10</b>	C	$C'$	$C'$	D
<b>11</b>	1	1	0	1

# EXE.1



## Sistemas Digitais A

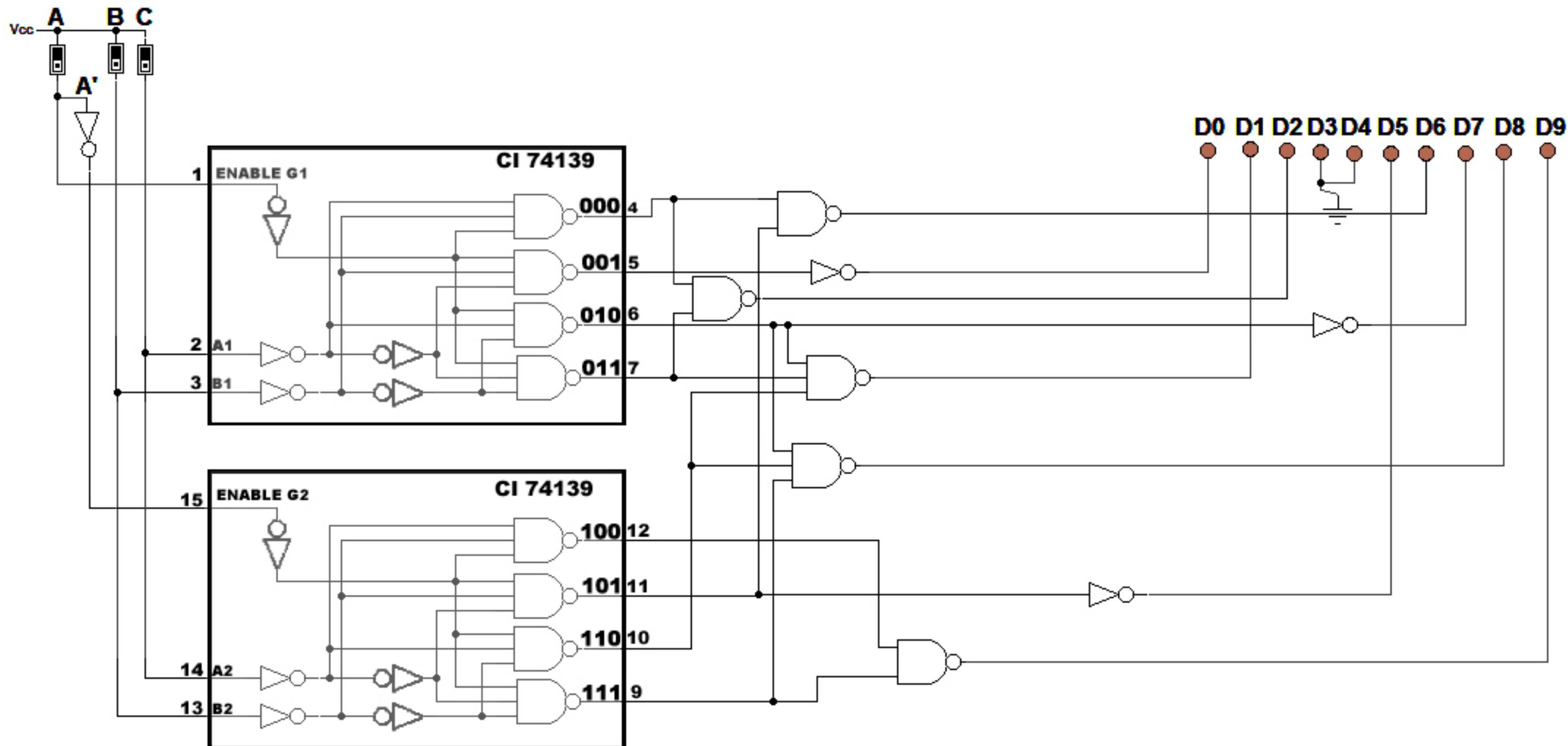
### TP3- Multiplexadores, Descodificadores e Buffers 3-State

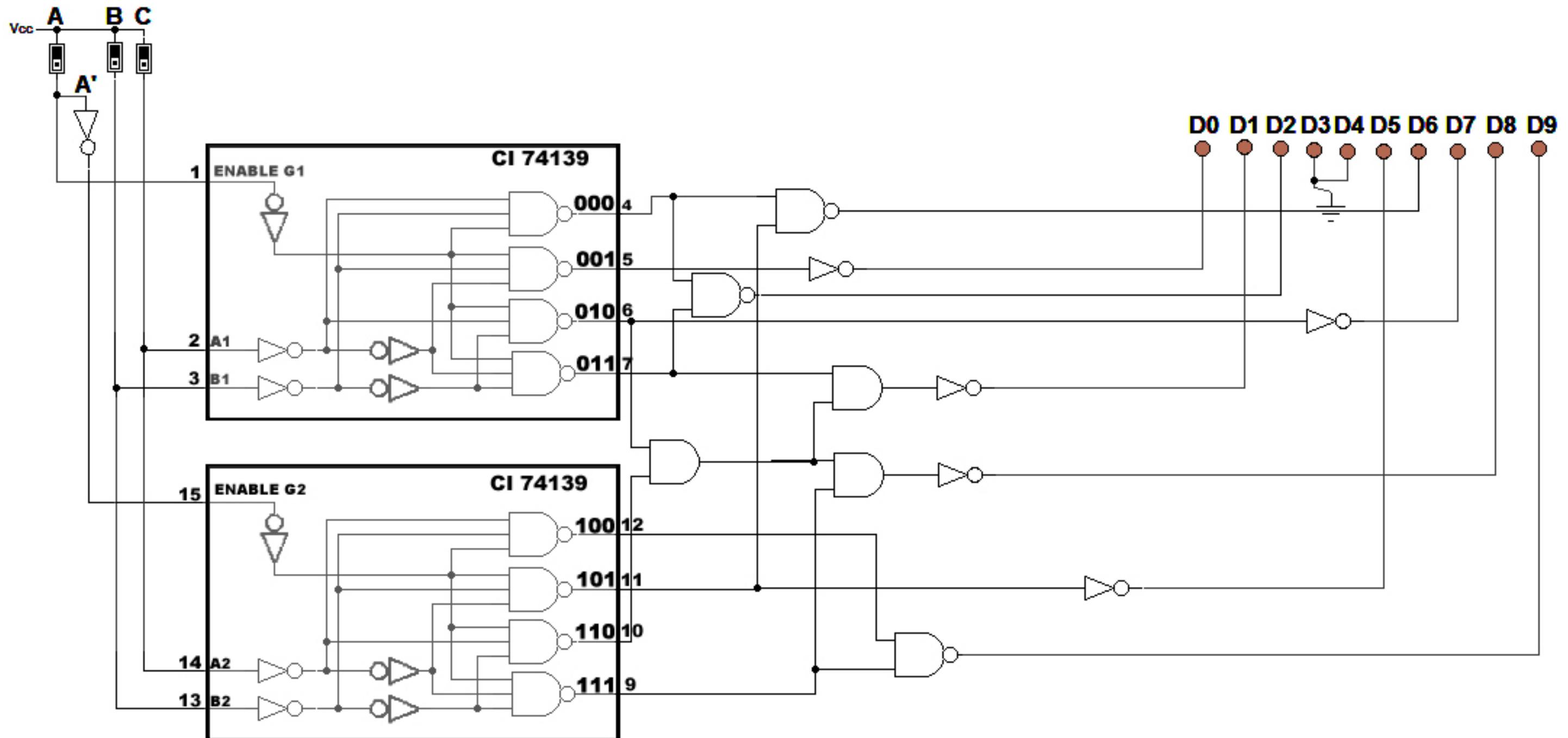
**2.**

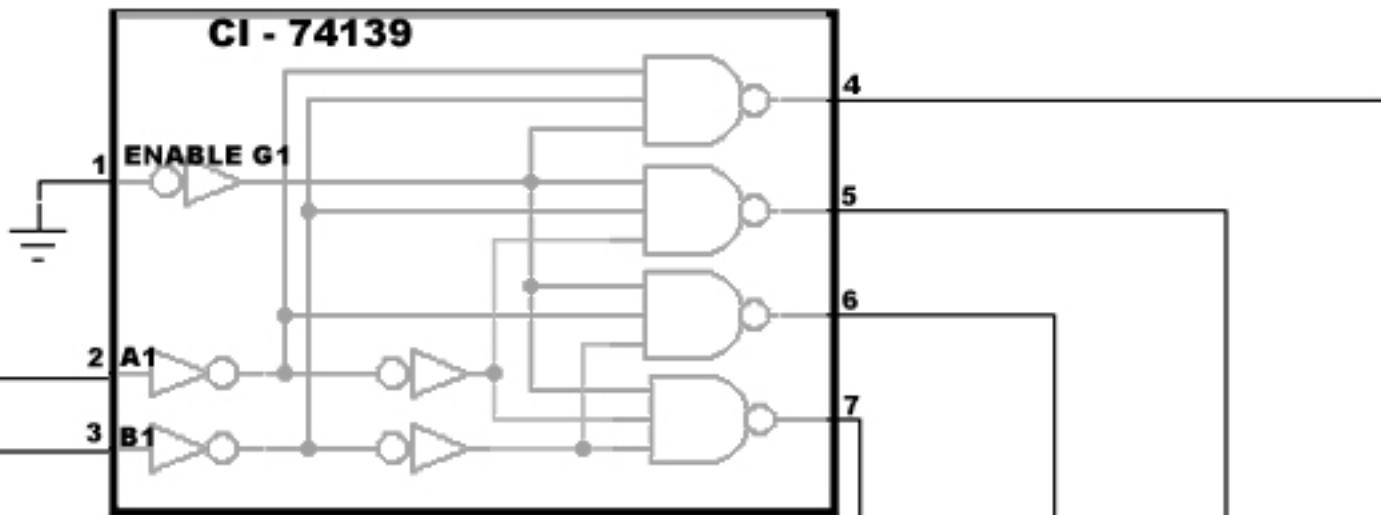
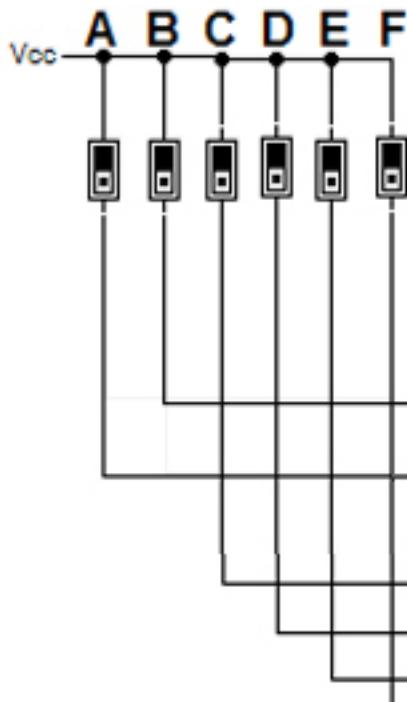
A1	A2	A3	A4	A5		B1	B2	B3	B4	B5
5	2	6	7	8		5	0	1	1	9

A	B	C	Dispositivos Habilitados
0	0	0	D(2) , D(6)
0	0	1	D(0)
0	1	0	D(7) , D(8) , D(1)
0	1	1	D(2) , D(1)
1	0	0	D(9)
1	0	1	D(5) , D(6)
1	1	0	D(1) , D(8)
1	1	1	D(8) , D(9)

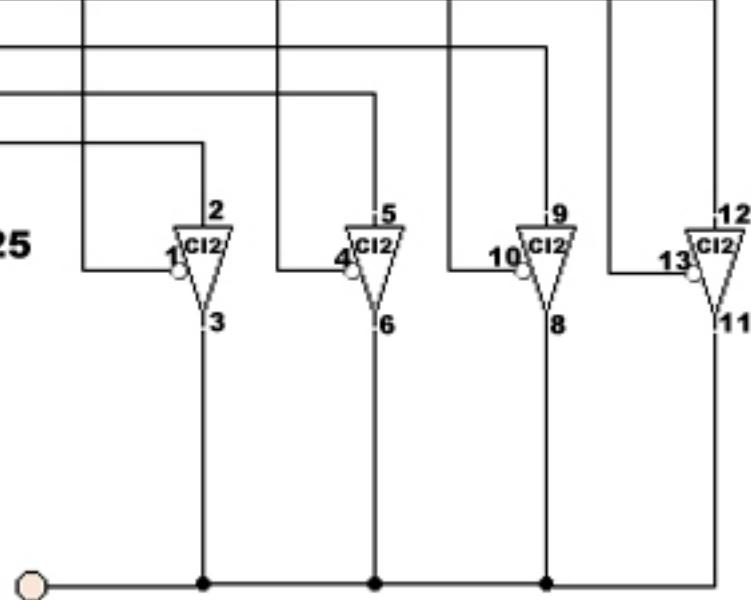
A	B	C	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	1	0	0	0	1	0	0
0	0	1	0	0	0	0	0	0	0	0	0	1
0	1	0	0	1	1	0	0	0	0	0	1	0
0	1	1	0	0	0	0	0	0	0	1	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	1	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0	1	0
1	1	1	1	1	0	0	0	0	0	0	0	0







**CI2- 74125**





National Semiconductor

June 1989

# 54LS153/DM54LS153/DM74LS153 Dual 4-Line to 1-Line Data Selectors/Multiplexers

## 54LS153/DM54LS153/DM74LS153

### Dual 4-Line to 1-Line Data Selectors/Multiplexers

#### General Description

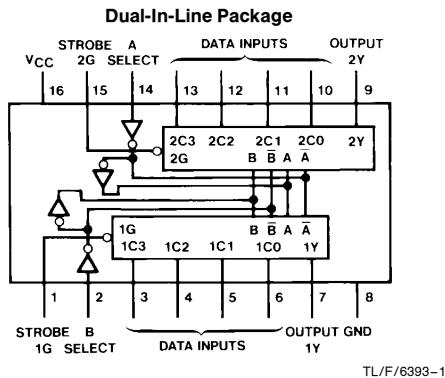
Each of these data selectors/multiplexers contains inverters and drivers to supply fully complementary, on-chip, binary decoding data selection to the AND-OR-invert gates. Separate strobe inputs are provided for each of the two four-line sections.

#### Features

- Permits multiplexing from N lines to 1 line
- Performs at parallel-to-serial conversion

- Strobe (enable) line provided for cascading (N lines to n lines)
- High fan-out, low impedance, totem pole outputs
- Typical average propagation delay times
  - From data 14 ns
  - From strobe 19 ns
  - From select 22 ns
- Typical power dissipation 31 mW
- Alternate Military/Aerospace device (54LS153) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

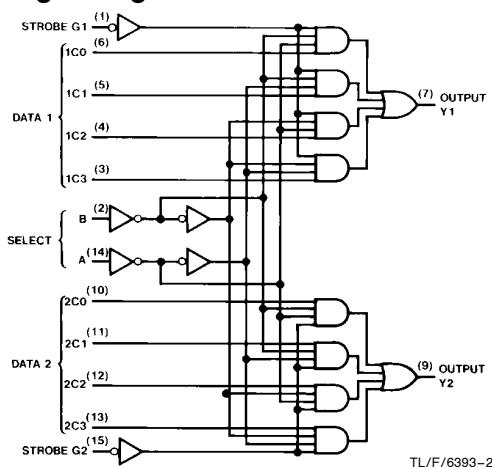
#### Connection Diagram



Order Number 54LS153DMQB, 54LS153FMQB,  
54LS153LMQB, DM54LS153J, DM54LS153W,  
DM74LS153M or DM74LS153N  
See NS Package Number E20A, J16A, M16A,  
N16E or W16A

TL/F/6393-1

#### Logic Diagram



TL/F/6393-2

#### Function Table

Select Inputs	Data Inputs				Strobe	Output		
	B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	X	H	L
L	L	L	X	X	X	X	L	L
L	L	H	X	X	X	X	L	H
L	H	X	L	X	X	X	L	L
L	H	X	H	X	X	X	L	H
H	L	X	X	L	X	X	L	L
H	L	X	X	H	X	X	L	H
H	H	X	X	X	X	H	L	L
H	H	X	X	X	X	H	L	H

Select inputs A and B are common to both sections.

H = High Level, L = Low Level, X = Don't Care

## Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM54LS153			DM74LS153			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			−0.4			−0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
T <sub>A</sub>	Free Air Operating Temperature	−55		125	0		70	°C

## Electrical Characteristics

 over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = −18 mA				−1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74		0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V				0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V				20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V				−0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 3)			6.2	10	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

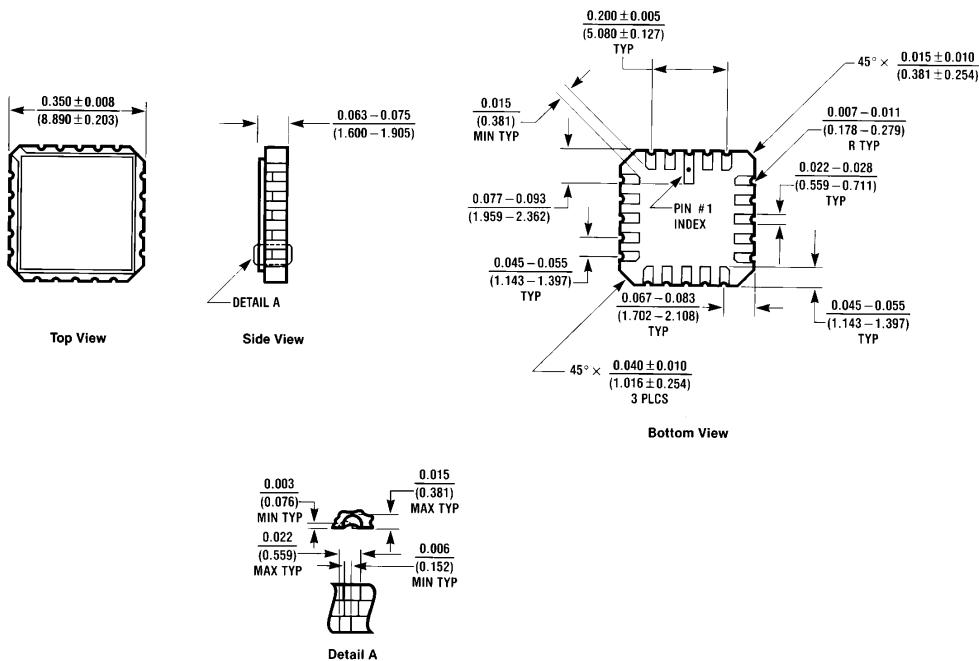
Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I<sub>CC</sub> is measured with all outputs open and all other inputs grounded.

**Switching Characteristics** at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load)

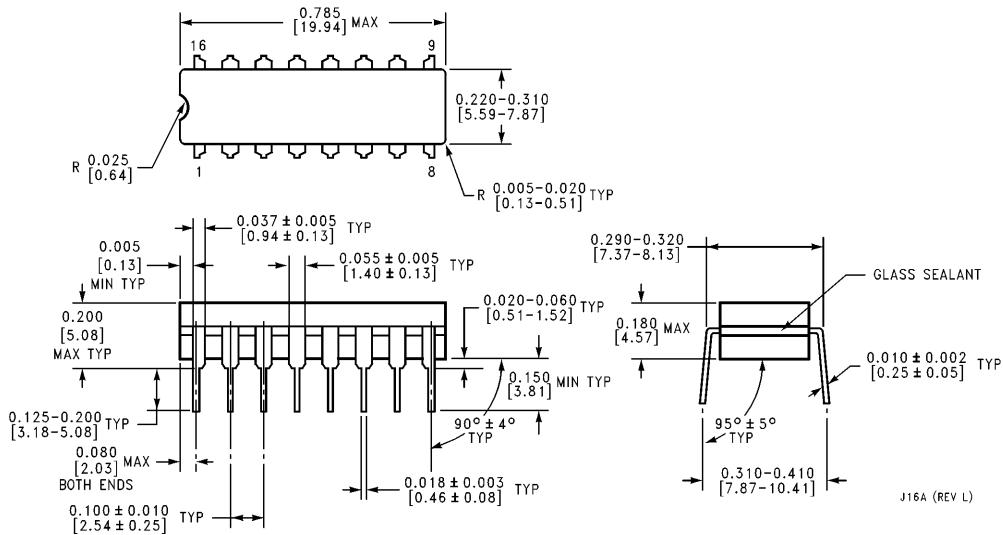
Symbol	Parameter	From (Input) to (Output)	$R_L = 2 k\Omega$				Units	
			$C_L = 15 \text{ pF}$		$C_L = 50 \text{ pF}$			
			Min	Max	Min	Max		
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Data to Y		15		20	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Data to Y		26		35	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Select to Y		29		35	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Select to Y		38		45	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Strobe to Y		24		30	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Strobe to Y		32		40	ns	

## Physical Dimensions inches (millimeters)



E20A (REV D)

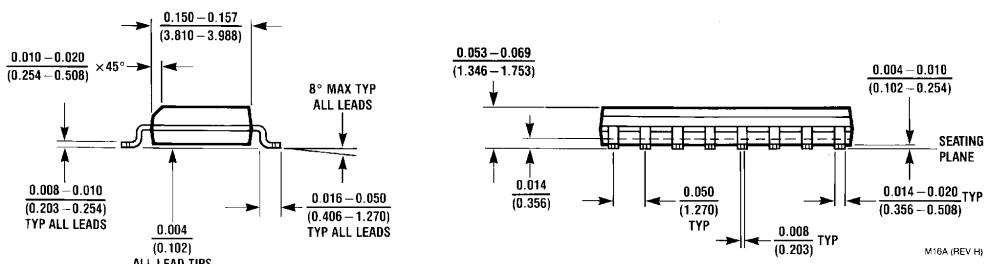
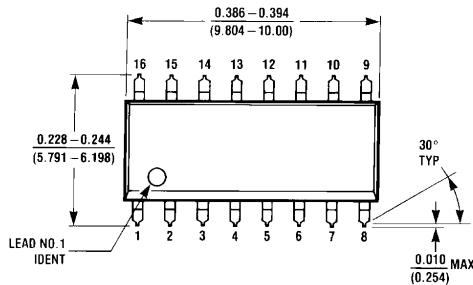
**Ceramic Leadless Chip Carrier Package (E)**  
Order Number 54LS153LMQB  
NS Package Number E20A



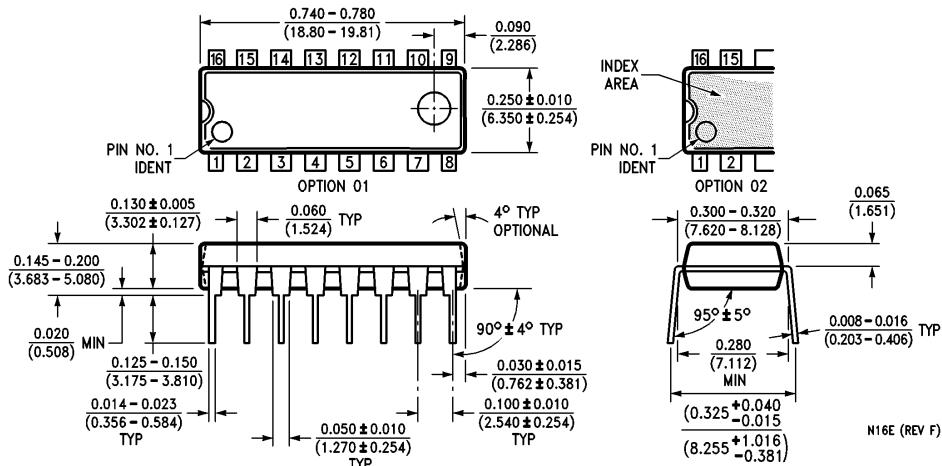
J16A (REV L)

**16-Lead Ceramic Dual-In-Line Package (J)**  
Order Number 54LS153DMQB or DM54LS153J  
NS Package Number J16A

## **Physical Dimensions** inches (millimeters) (Continued)



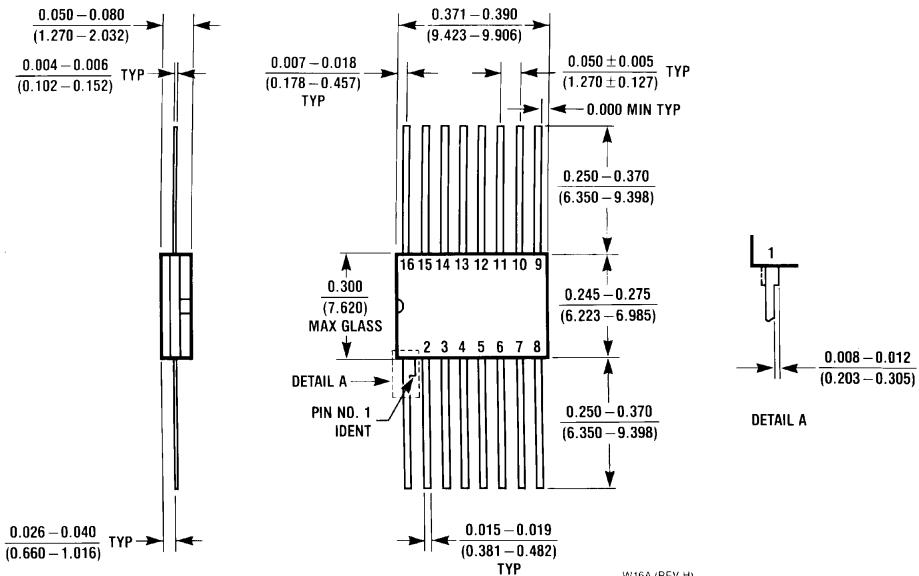
**16-Lead Small Outline Molded Package (M)  
Order Number DM74LS153M  
NS Package Number M16A**



**16-Lead Molded Dual-In-Line Package (N)**  
**Order Number DM74LS153N**  
**NS Package Number N16E**

# 54LS153/DM54LS153/DM74LS153 Dual 4-Line to 1-Line Data Selectors/Multiplexers

## Physical Dimensions inches (millimeters) (Continued)



**16-Lead Ceramic Flat Package (W)**  
**Order Number 54LS153FMQB or DM54LS153W**  
**NS Package Number W16A**

### LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor  
Corporation**  
 1111 West Bardin Road  
 Arlington, TX 76017  
 Tel: (800) 272-9959  
 Fax: (800) 737-7018

**National Semiconductor  
Europe**  
 Fax: (+49) 0-180-530 85 86  
 Email: cnjwge@tevm2.nsc.com  
 Deutsch Tel: (+49) 0-180-530 85 85  
 English Tel: (+49) 0-180-532 78 32  
 Français Tel: (+49) 0-180-532 93 58  
 Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor  
Hong Kong Ltd.**  
 13th Floor, Straight Block,  
 Ocean Centre, 5 Canton Rd.  
 Tsimshatsui, Kowloon  
 Hong Kong  
 Tel: (852) 2737-1600  
 Fax: (852) 2736-9960

**National Semiconductor  
Japan Ltd.**  
 Tel: 81-043-299-2309  
 Fax: 81-043-299-2406

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

# 54LS138/DM54LS138/DM74LS138, 54LS139/DM54LS139/DM74LS139, Decoders/Demultiplexers

## 54LS138/DM54LS138/DM74LS138, 54LS139/DM54LS139/DM74LS139 Decoders/Demultiplexers

### General Description

These Schottky-clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The LS138 decodes one-of-eight lines, based upon the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The LS139 comprises two separate two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

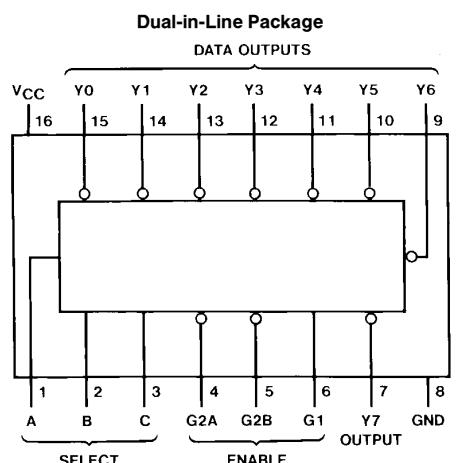
All of these decoders/demultiplexers feature fully buffered inputs, presenting only one normalized load to its driving circuit. All inputs are clamped with high-performance

Schottky diodes to suppress line-ringing and simplify system design.

### Features

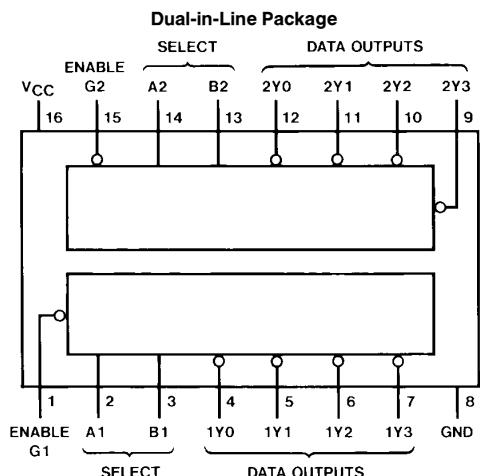
- Designed specifically for high speed:  
 Memory decoders  
 Data transmission systems
- LS138 3-to-8-line decoders incorporates 3 enable inputs to simplify cascading and/or data reception
- LS139 contains two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance
- Typical propagation delay (3 levels of logic)  
 LS138 21 ns  
 LS139 21 ns
- Typical power dissipation  
 LS138 32 mW  
 LS139 34 mW
- Alternate Military/Aerospace devices (54LS138, 54LS139) are available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagrams



TL/F/6391-1

Order Number 54LS138DMQB, 54LS138FMQB,  
 54LS138LMQB, DM54LS138J, DM54LS138W,  
 DM74LS138M or DM74LS138N  
 See NS Package Number E20A, J16A,  
 M16A, N16E or W16A



TL/F/6391-2

Order Number 54LS139DMQB, 54LS139FMQB,  
 54LS139LMQB, DM54LS139J, DM54LS139W,  
 DM74LS139M or DM74LS139N  
 See NS Package Number E20A, J16A,  
 M16A, N16E or W16A

## Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM54LS138			DM74LS138			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			−0.4			−0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
T <sub>A</sub>	Free Air Operating Temperature	−55		125	0		70	°C

## 'LS138 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = −18 mA				−1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max, V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max, V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74		0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V				0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V				20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V				−0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 3)			6.3	10	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I<sub>CC</sub> is measured with all outputs enabled and open.

## 'LS138 Switching Characteristics

at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	Levels of Delay	$R_L = 2 \text{ k}\Omega$				Units	
				$C_L = 15 \text{ pF}$		$C_L = 50 \text{ pF}$			
				Min	Max	Min	Max		
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Select to Output	2		18		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Select to Output	2		27		40	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Select to Output	3		18		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Select to Output	3		27		40	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable to Output	2		18		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable to Output	2		24		40	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable to Output	3		18		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable to Output	3		28		40	ns	

## Recommended Operating Conditions

Symbol	Parameter	DM54LS139			DM74LS139			Units
		Min	Nom	Max	Min	Nom	Max	
$V_{CC}$	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	High Level Input Voltage	2			2			V
$V_{IL}$	Low Level Input Voltage			0.7			0.8	V
$I_{OH}$	High Level Output Current			-0.4			-0.4	mA
$I_{OL}$	Low Level Output Current			4			8	mA
$T_A$	Free Air Operating Temperature	-55		125	0		70	°C

## 'LS139 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA				-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max, V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74		0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V				0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V				20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V				-0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54	-20		-100	mA
			DM74	-20		-100	
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 3)			6.8	11	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I<sub>CC</sub> is measured with all outputs enabled and open.

## 'LS139 Switching Characteristics

at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R <sub>L</sub> = 2 kΩ				Units	
			C <sub>L</sub> = 15 pF		C <sub>L</sub> = 50 pF			
			Min	Max	Min	Max		
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	Select to Output		18		27	ns	
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	Select to Output		27		40	ns	
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	Enable to Output		18		27	ns	
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	Enable to Output		24		40	ns	

## Function Tables

LS138

Inputs		Outputs							
Enable	Select	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4
X	H	X	X	X	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H
H	L	L	L	L	H	H	H	H	H
H	L	L	L	H	L	H	H	H	H
H	L	L	H	L	H	H	H	H	H
H	L	L	H	H	H	L	H	H	H
H	L	H	L	H	H	H	L	H	H
H	L	H	L	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	L
H	L	H	H	H	H	H	H	H	H

\* G2 = G2A + G2B

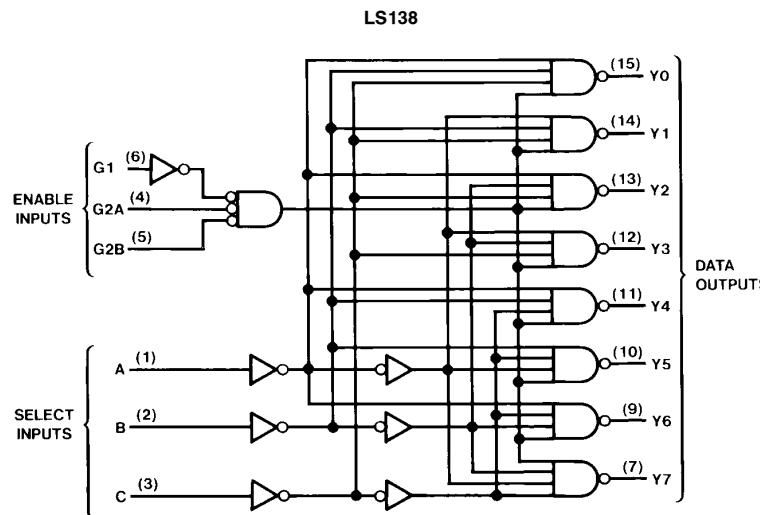
H = High Level, L = Low Level, X = Don't Care

LS139

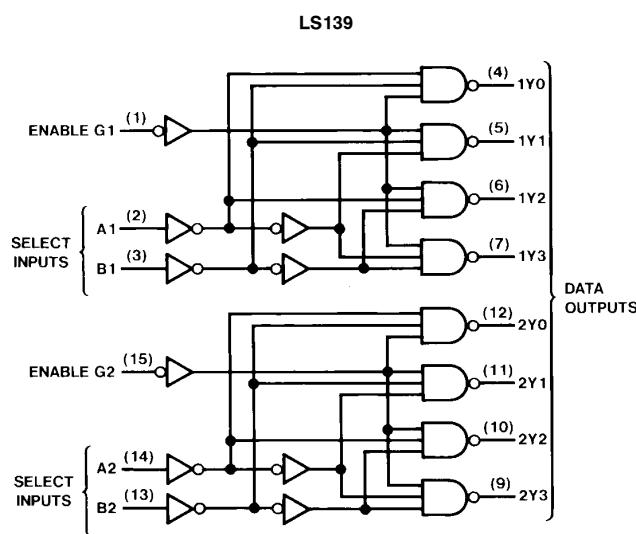
Inputs			Outputs			
Enable	Select	G	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = High Level, L = Low Level, X = Don't Care

## Logic Diagrams

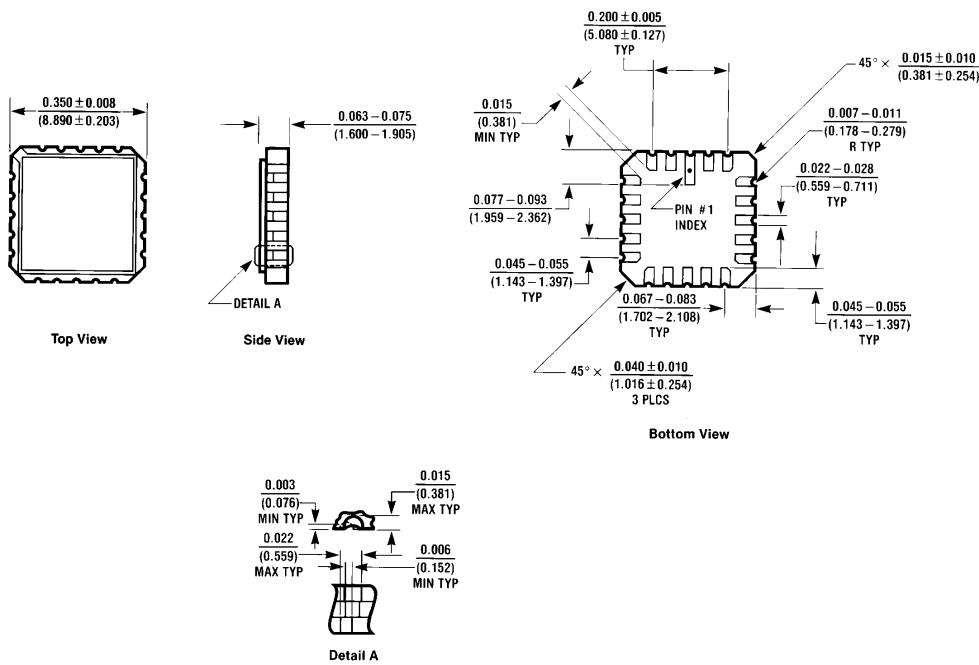


TL/F/6391-3



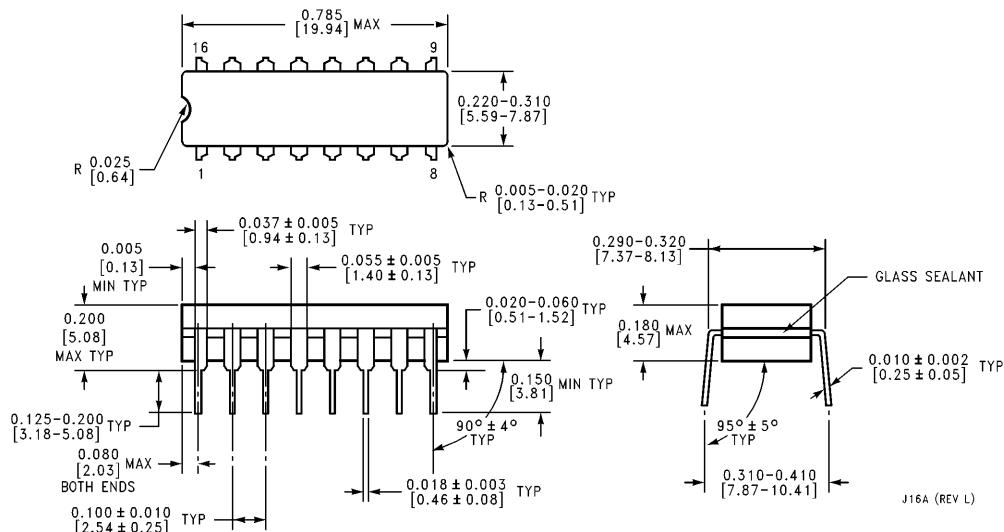
TL/F/6391-4

## Physical Dimensions inches (millimeters)



**Ceramic Leadless Chip Carrier Package (E)**  
Order Number 54LS138LMQB or 54LS139LMQB  
NS Package Number E20A

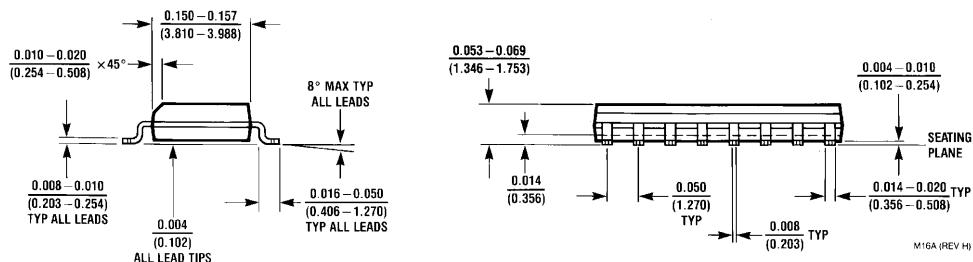
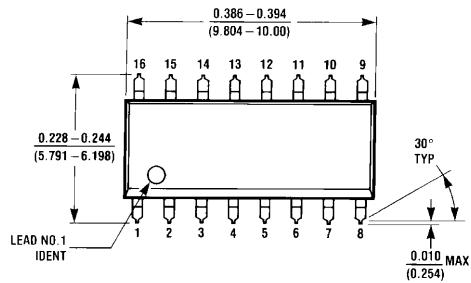
E20A (REV D)



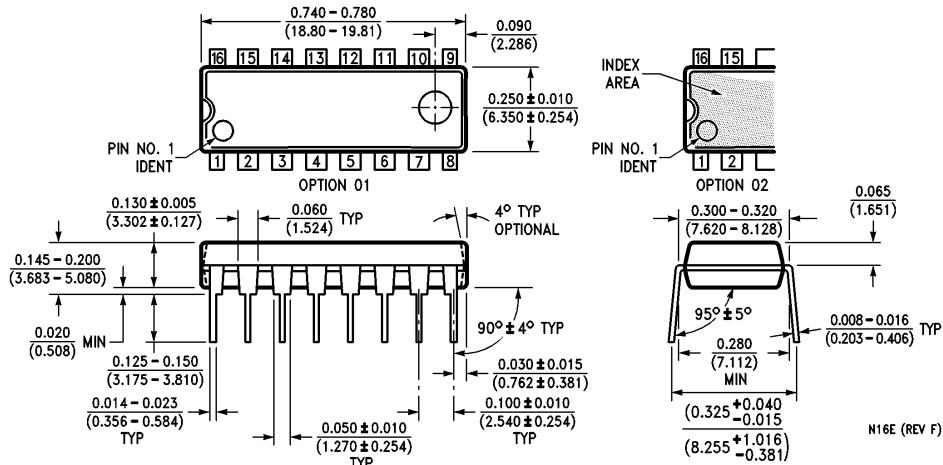
**16-Lead Ceramic Dual-In-Line Package (J)**  
Order Number 54LS138DMQB, 54LS139DMQB, DM54LS138J or DM54LS139J  
NS Package Number J16A

J16A (REV L)

## Physical Dimensions inches (millimeters) (Continued)



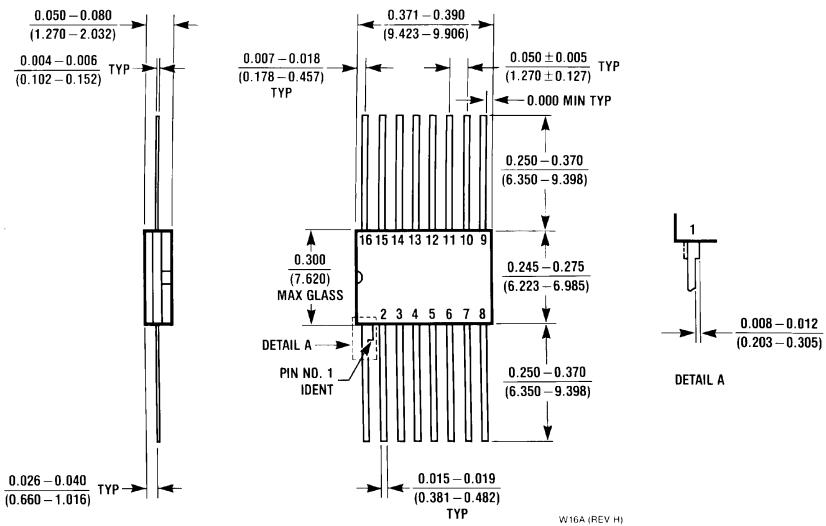
**16-Lead Small Outline Molded Package (M)**  
**Order Number DM74LS138M or DM74LS139M**  
**NS Package Number M16A**



**16-Lead Molded Dual-In-Line Package (N)**  
**Order Number DM74LS138N or DM74LS139N**  
**NS Package Number N16E**

**54LS138/DM54LS138/DM74LS138,  
54LS139/DM54LS139/DM74LS139 Decoders/Demultiplexers**

**Physical Dimensions** inches (millimeters) (Continued)



**16-Lead Ceramic Flat Package (W)**  
**Order Number 54LS138FMQB, 54LS139FMQB, DM54LS138W or DM54LS139W**  
**NS Package Number W16A**

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor  
Corporation**  
1111 West Bardin Road  
Arlington, TX 76017  
Tel: (800) 272-9959  
Fax: (800) 737-7018

**National Semiconductor  
Europe**  
Fax: (+49) 0-180-530 85 86  
Email: cnjwge@tevm2.nsc.com  
Deutsch Tel: (+49) 0-180-530 85 85  
English Tel: (+49) 0-180-532 78 32  
Français Tel: (+49) 0-180-532 93 58  
Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor  
Hong Kong Ltd.**  
13th Floor, Straight Block,  
Ocean Centre, 5 Canton Rd.  
Tsimshatsui, Kowloon  
Hong Kong  
Tel: (852) 2737-1600  
Fax: (852) 2736-9960

**National Semiconductor  
Japan Ltd.**  
Tel: 81-043-299-2309  
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.



June 1989

# 54LS125A/DM54LS125A/DM74LS125A Quad TRI-STATE® Buffers

## 54LS125A/DM54LS125A/DM74LS125A Quad TRI-STATE® Buffers

### General Description

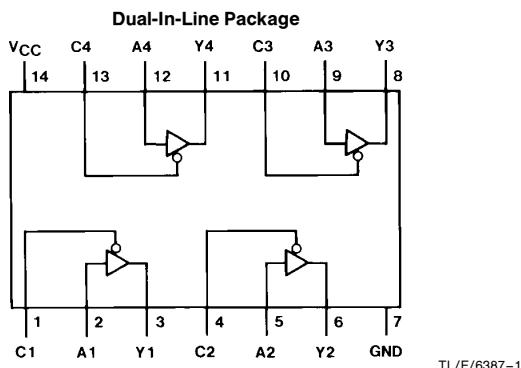
This device contains four independent gates each of which performs a non-inverting buffer function. The outputs have the TRI-STATE feature. When enabled, the outputs exhibit the low impedance characteristics of a standard LS output with additional drive capability to permit the driving of bus lines without external resistors. When disabled, both the output transistors are turned off presenting a high-impedance state to the bus line. Thus the output will act neither as a significant load nor as a driver. To minimize the possibility

that two outputs will attempt to take a common bus to opposite logic levels, the disable time is shorter than the enable time of the outputs.

### Features

- Alternate Military/Aerospace device (54LS125) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



Order Number 54LS125ADMQB, 54LS125AFMQB, 54LS125ALMQB,  
DM54LS125AJ, DM54LS125AW, DM74LS125AM or DM74LS125AN  
See NS Package Number E20A, J14A, M14A, N14A or W14B

### Function Table

**Y = A**

Inputs		Output
A	C	Y
L	L	L
H	L	H
X	H	Hi-Z

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

Hi-Z = TRI-STATE (Outputs are disabled)

TRI-STATE® is a registered trademark of National Semiconductor Corporation.

## Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM54LS125A			DM74LS125A			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			−1			−2.6	mA
I <sub>OL</sub>	Low Level Output Current			12			24	mA
T <sub>A</sub>	Free Air Operating Temperature	−55		125	0		70	°C

## Electrical Characteristics

 over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = −18 mA				−1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min		2.4	3.4		V
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max V <sub>IL</sub> = Max		DM54	0.25	0.4	V
		V <sub>CC</sub> = Min, I <sub>OL</sub> = 12 mA, V <sub>CC</sub> = Min		DM74	0.35	0.5	
		I <sub>OL</sub> = 12 mA, V <sub>CC</sub> = Min		DM74	0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V				0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V				20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V				−0.4	mA
I <sub>OZH</sub>	Off-State Output Current with High Level Output Voltage Applied	V <sub>CC</sub> = Max, V <sub>O</sub> = 2.4V V <sub>IH</sub> = Min, V <sub>IL</sub> = Max				20	μA
I <sub>OZL</sub>	Off-State Output Current with Low Level Output Voltage Applied	V <sub>CC</sub> = Max, V <sub>O</sub> = 0.4V V <sub>IH</sub> = Min, V <sub>IL</sub> = Max				−20	μA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)		DM54	−20	−100	mA
				DM74	−20	−100	
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 3)			11	20	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

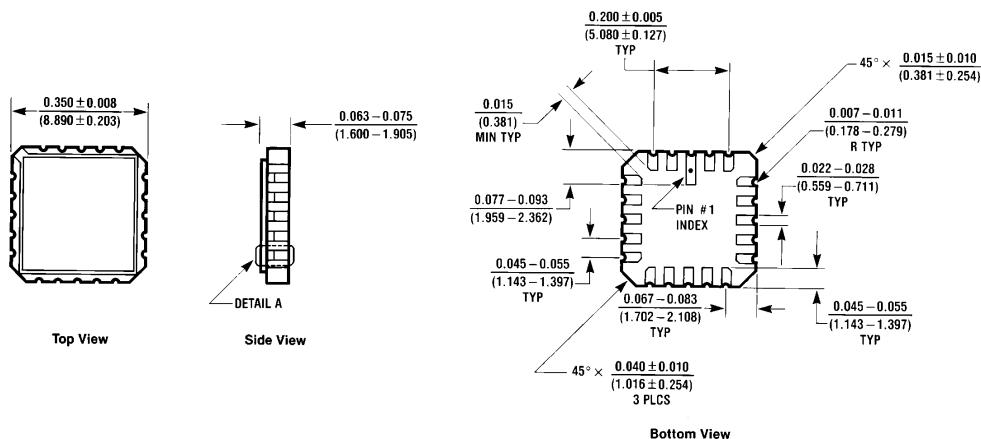
Note 3: I<sub>CC</sub> is measured with the data control (C) inputs at 4.5V and the data inputs grounded.

**Switching Characteristics** at  $V_{CC} = 5V$  and  $T_A = 25^{\circ}C$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	$R_L = 667\Omega$				Units	
		$C_L = 50 \text{ pF}$		$C_L = 150 \text{ pF}$			
		Min	Max	Min	Max		
$t_{PLH}$	Propagation Delay Time Low to High Level Output		15		21	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output		18		22	ns	
$t_{PZH}$	Output Enable Time to High Level Output		25		35	ns	
$t_{PZL}$	Output Enable Time to Low Level Output		25		40	ns	
$t_{PHZ}$	Output Disable Time from High Level Output (Note 1)		20			ns	
$t_{PLZ}$	Output Disable Time from Low Level Output (Note 1)		20			ns	

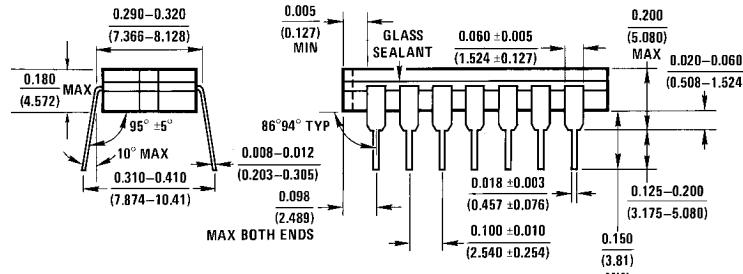
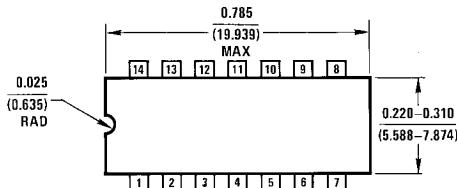
**Note 1:**  $C_L = 5\text{pF}$ .

## Physical Dimensions inches (millimeters)



**Ceramic Leadless Chip Carrier Package (E)**  
Order Number 54LS125ALMQB  
NS Package Number E20A

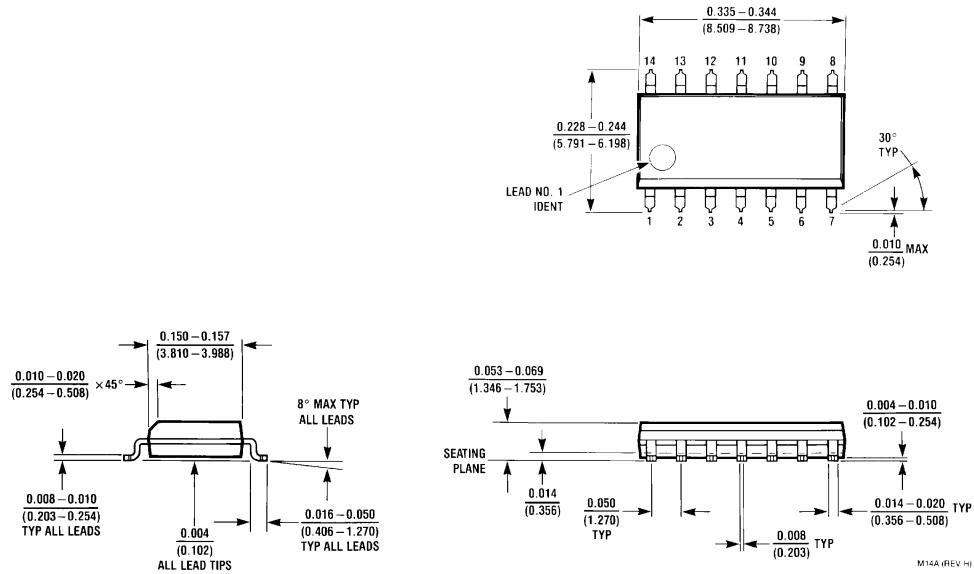
E20A (REV D)



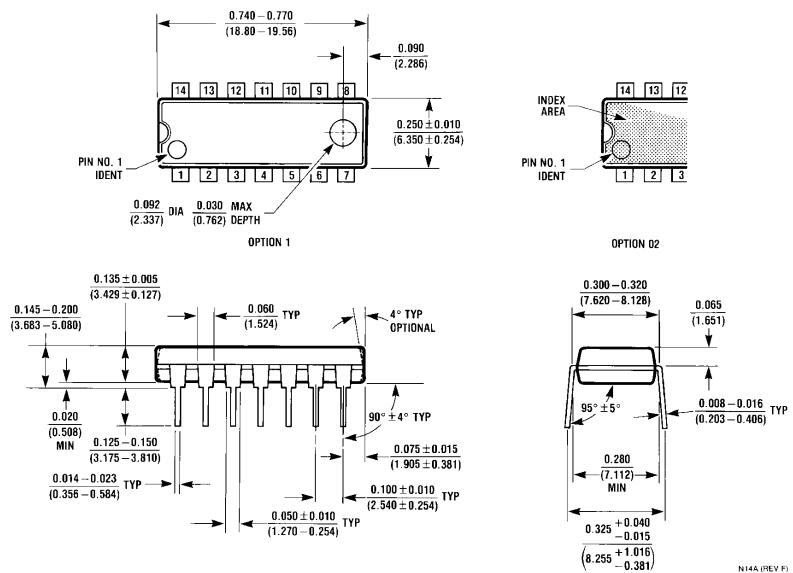
**14-Lead Ceramic Dual-In-Line Package (J)**  
Order Number 54LS125ADMQB or DM54LS125AJ  
NS Package Number J14A

J14A (REV G)

## Physical Dimensions inches (millimeters) (Continued)

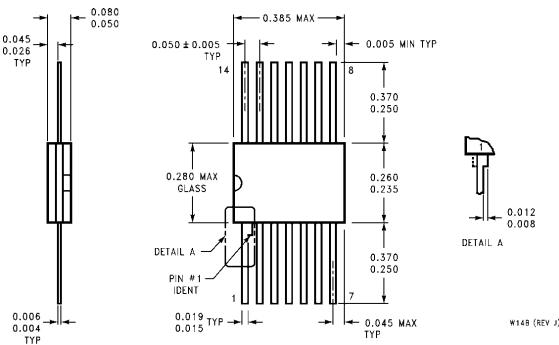


**14-Lead Small Outline Molded Package (M)**  
**Order Number DM74LS125AM**  
**NS Package Number M14A**



**14-Lead Molded Dual-In-Line Package (N)**  
**Order Number DM74LS125AN**  
**NS Package Number N14A**

**Physical Dimensions** inches (millimeters) (Continued)



**14-Lead Ceramic Flat Package (W)**  
Order Number 54LS125AFMQB or DM54LS125AW  
NS Package Number W14B

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
1111 West Bardin Road  
Arlington, TX 76017  
Tel: (800) 272-9959  
Fax: (800) 737-7018

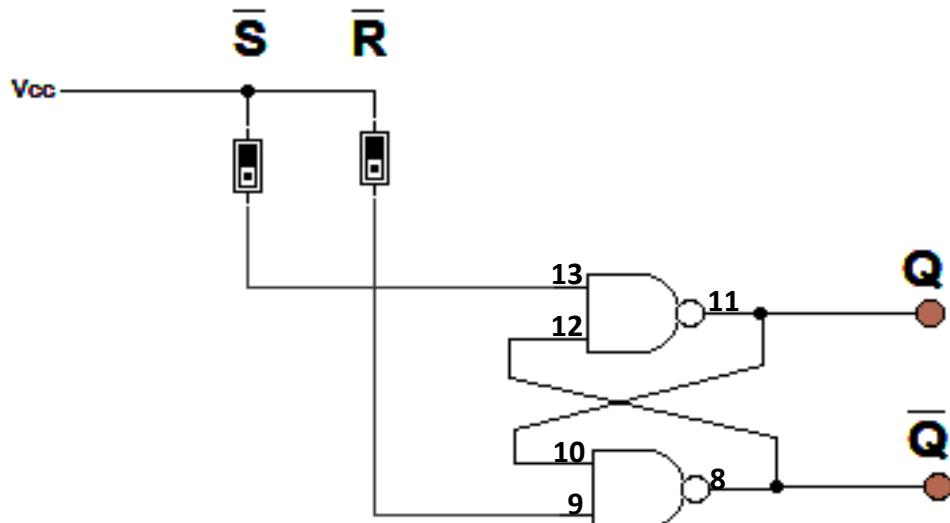
**National Semiconductor Europe**  
Fax: (+49) 0-180-530 85 86  
Email: cnjwge@tevm2.nsc.com  
Deutsch Tel: (+49) 0-180-530 85 85  
English Tel: (+49) 0-180-532 78 32  
Français Tel: (+49) 0-180-532 93 58  
Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor Hong Kong Ltd.**  
13th Floor, Straight Block,  
Ocean Centre, 5 Canton Rd.  
Tsimshatsui, Kowloon  
Hong Kong  
Tel: (852) 2737-1600  
Fax: (852) 2736-9960

**National Semiconductor Japan Ltd.**  
Tel: 81-043-299-2309  
Fax: 81-043-299-2408

**Sistemas Digitais**  
**TP4 - Circuitos Sequênciais**

1.



- latch  $\bar{S} \bar{R}$

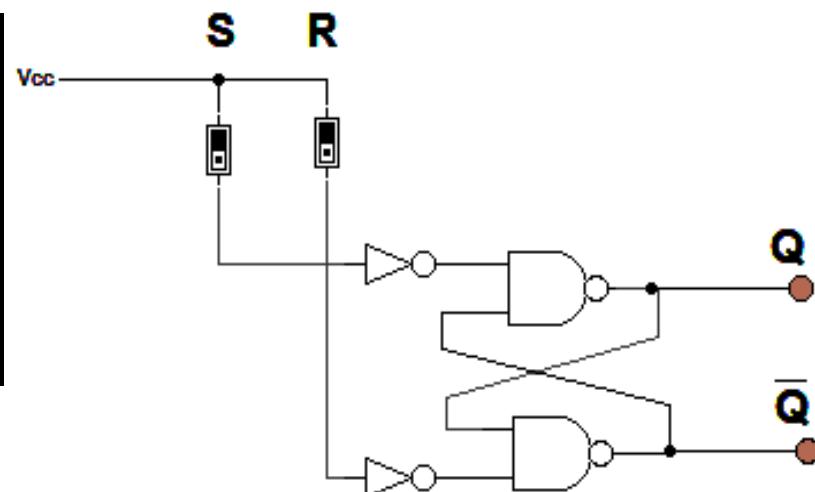
$\bar{S}$	$\bar{R}$	$Q$	$\bar{Q}$
1	1	last $Q$	last $\bar{Q}$
1	0	0	1
0	1	1	0
0	0	1	1

O que sucede com as saídas quando se aplica o nível lógico "0" simultaneamente às entradas  $\bar{S}$  e  $\bar{R}$ ?

Ambas as saídas  $Q$  e  $\bar{Q}$  terão nível lógico "1".

## Extra

S	R	Q	$\bar{Q}$
0	0	last $Q$	last $\bar{Q}$
0	1	0	1
1	0	1	0
1	1	1	1

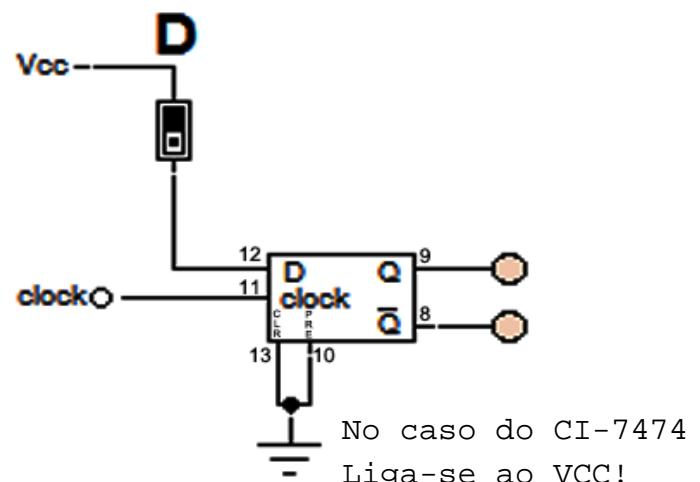


- latch S R

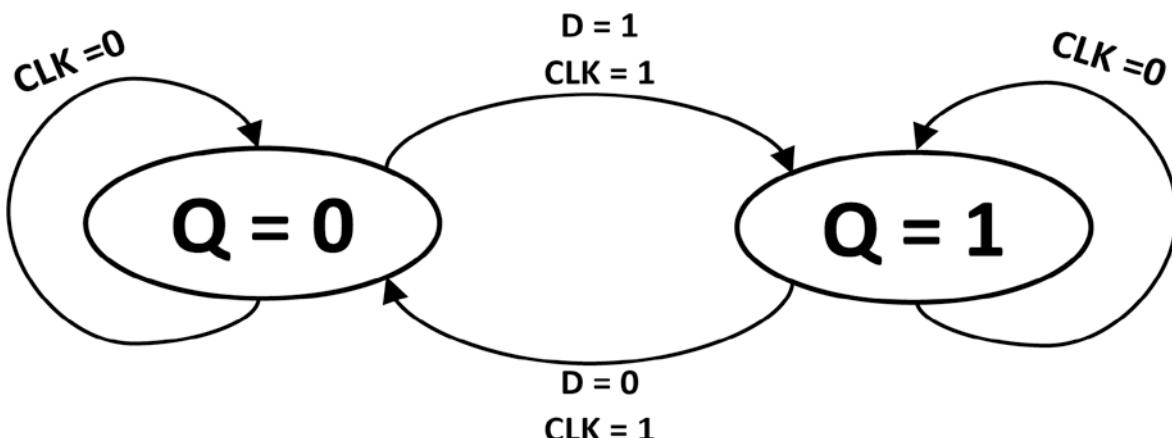
2.

## Tabela do flip-flop D

CLK	D	Q	QN
↑	1	1	0
↑	0	0	1
0	X	last Q	last QN



## Diagrama de estados do flip-flop D

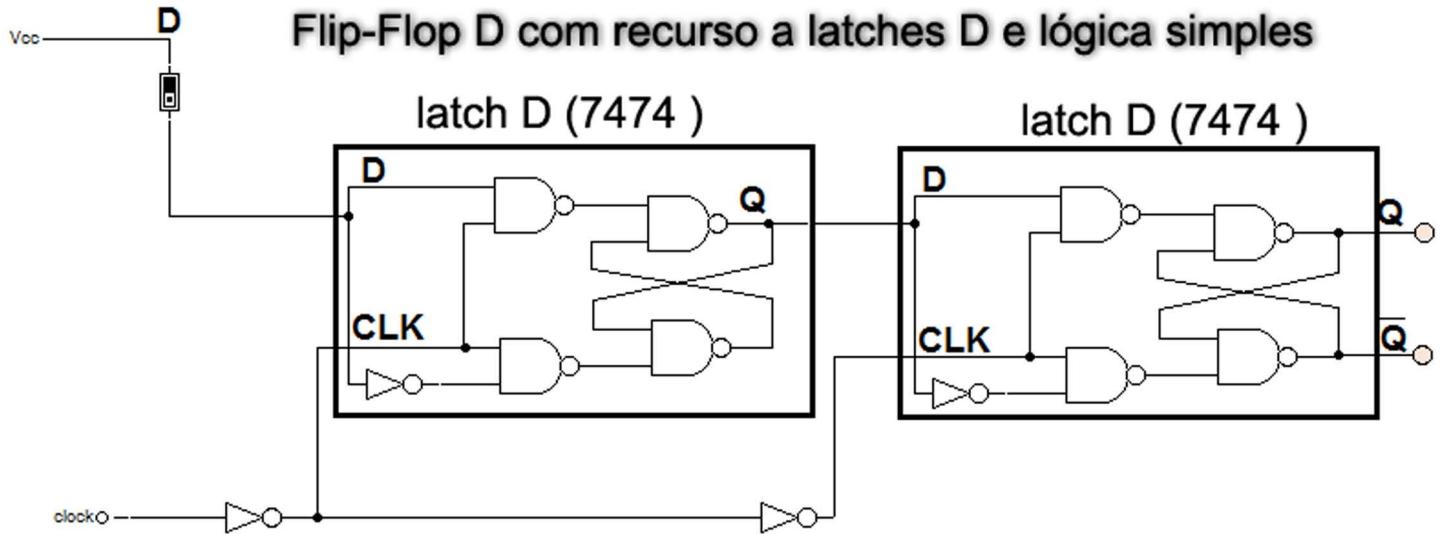


**Qual a diferença entre o flip-flop D e o latch D ?**

A diferença reside no tipo de activação de cada um destes, o **latch D** activa-se por "Level-Triggered", enquanto que o **flip-flop D** activa-se por "Edge-Triggered".

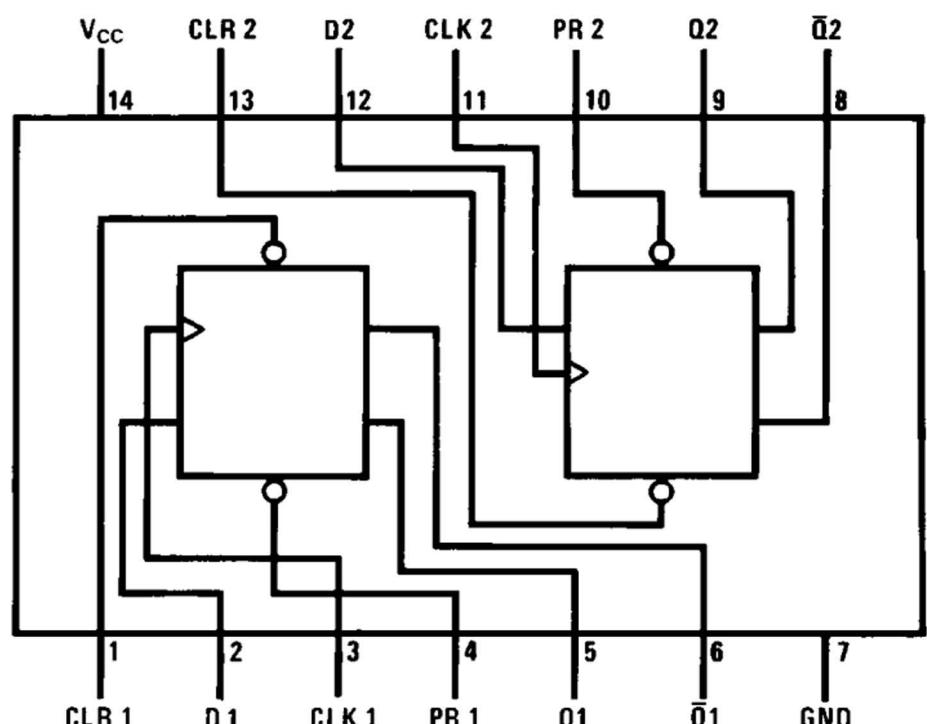
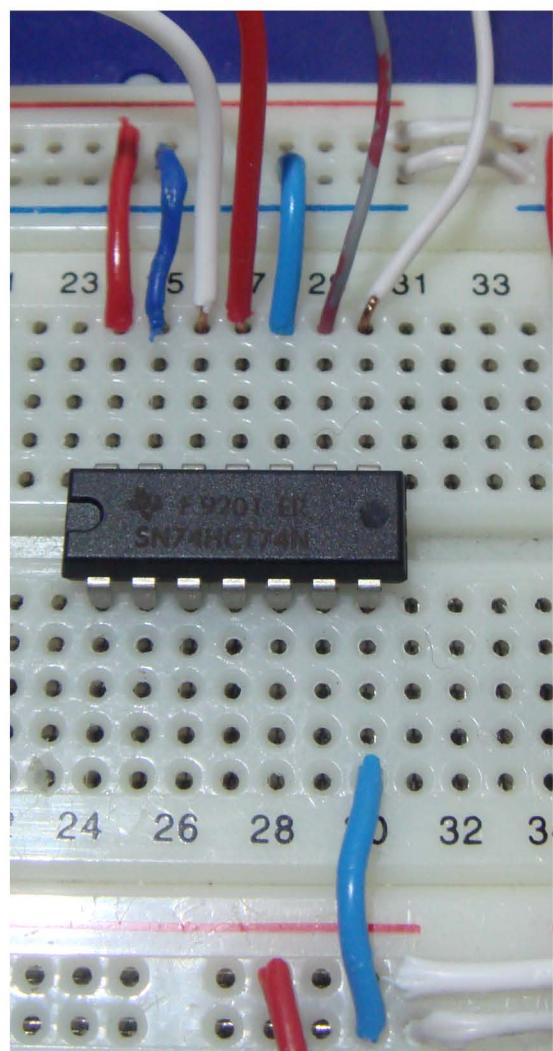
Isto quer dizer que o **latch D** sofre uma alteração do nível lógico de saída dependendo do nível lógico de entrada.

Enquanto que o **flip-flop D** independentemente do nível lógico de entrada, só altera o nível lógico da saída quando há um pulso no "CLK" (clock), na ausência deste pulso, o nível lógico de saída mantém-se o mesmo.



# flip-flop D

Neste caso o Preset e Clear  
Deveriam estar ligados ao VCC



Inputs				Outputs	
PR	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q <sub>0</sub>	$\bar{Q}_0$

H = High Logic Level

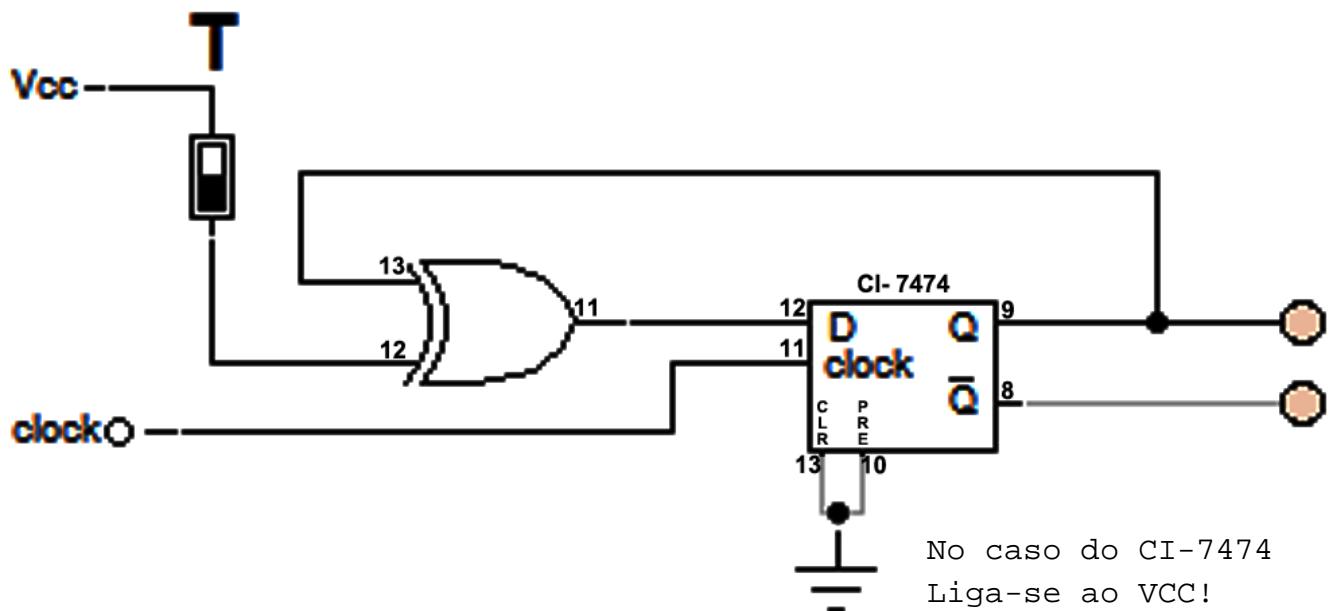
X = Either Low or High Logic Level

L = Low Logic Level

↑ = Positive-going Transition

3.

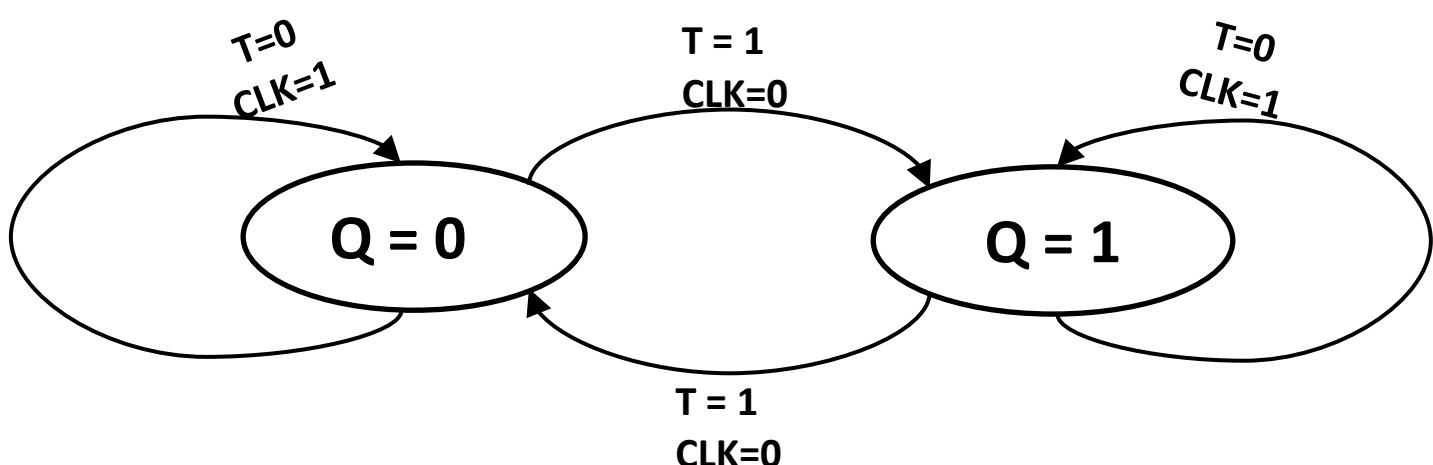
## flip-flop T apartir de flip-flop D e portas lógicas



### Tabela do flip-flop T

T	CLK	$Q_{n+1}$
0	1	$Q_n$
1	1	$\overline{Q_n}$

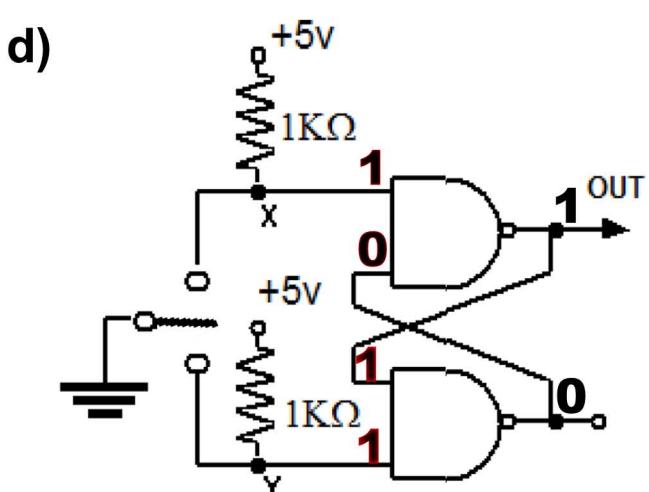
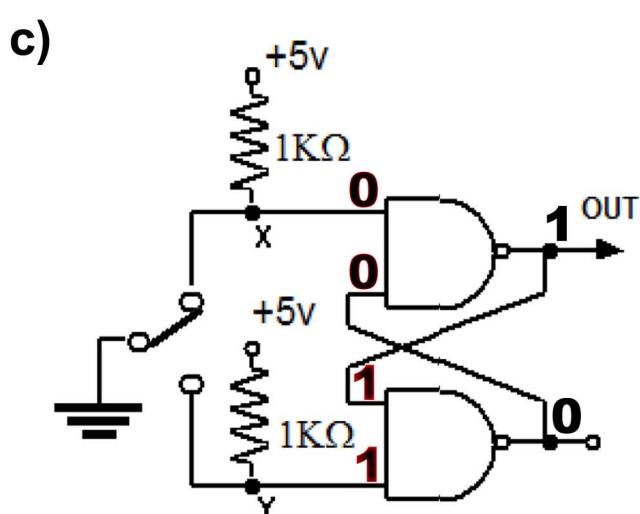
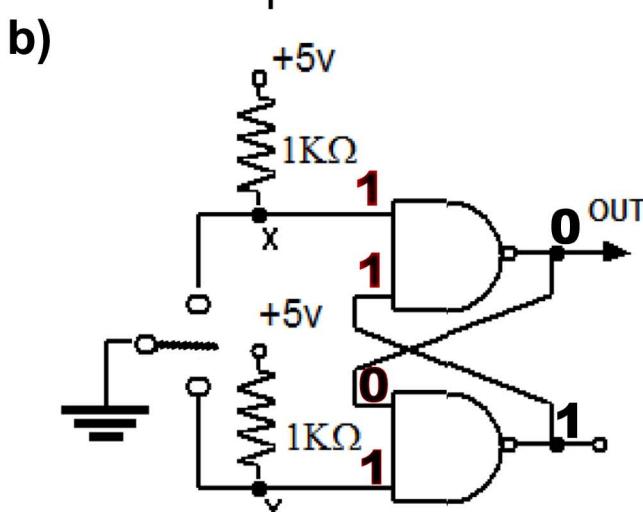
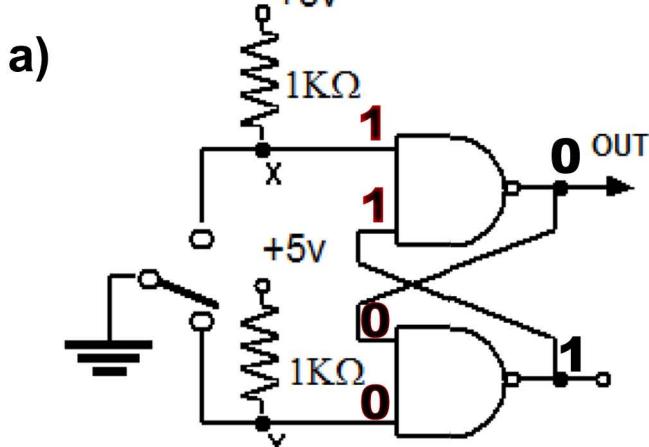
### Diagrama de estados do flip-flop T



# Sistemas Digitais

## TP4 - Circuitos Sequênciais

4.

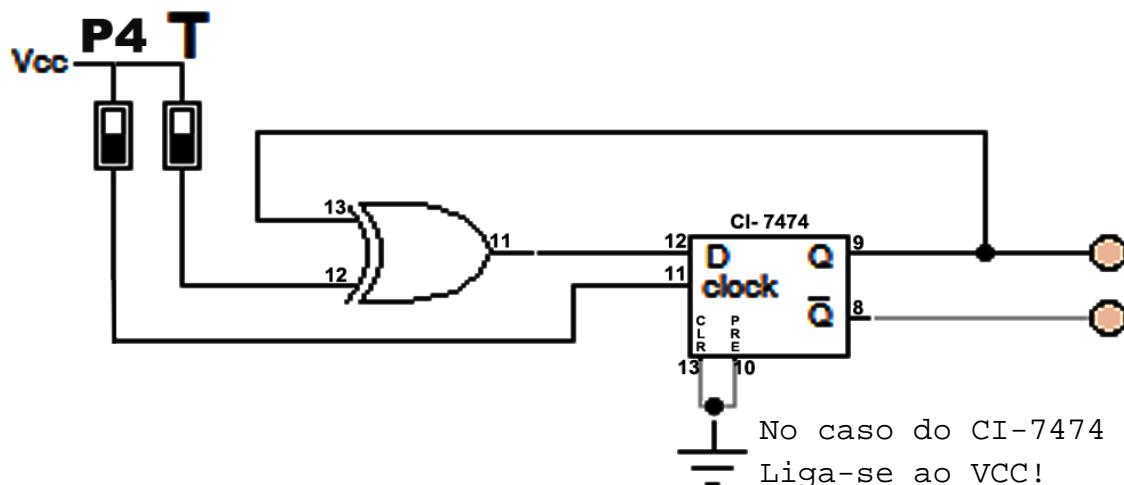


**Sistemas Digitais**  
**TP4 - Circuitos Sequênciais**

4.

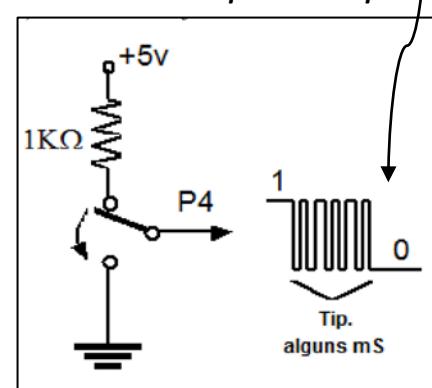
a)

flipflop T utilizando o comutador do digital LAB como CLOCK



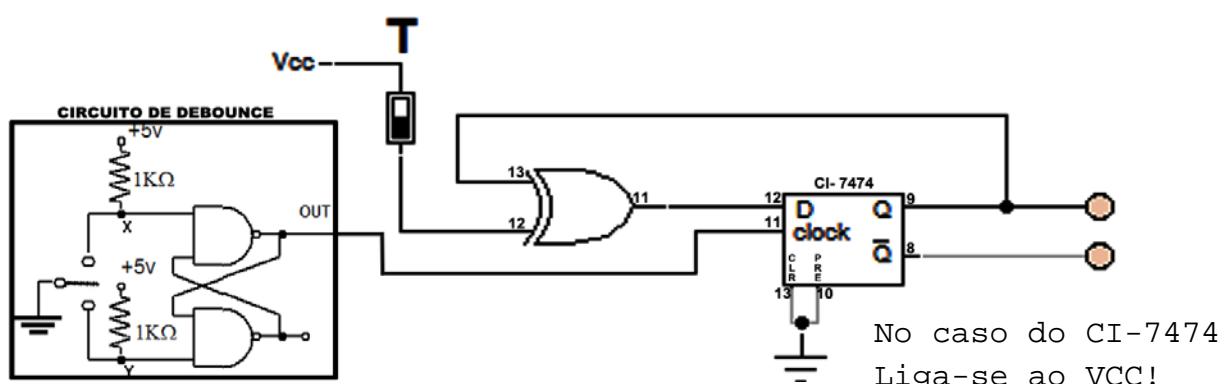
Por consequência do efeito bounce ( Fig 3a ) , há mais que uma alteração do estado até estabilizar o nível lógico , logo o flip-flop T não funciona como o esperado.

OBS: O efeito bounce é sempre um problema independentemente do circuito que se usar para verificar o problema!



b)

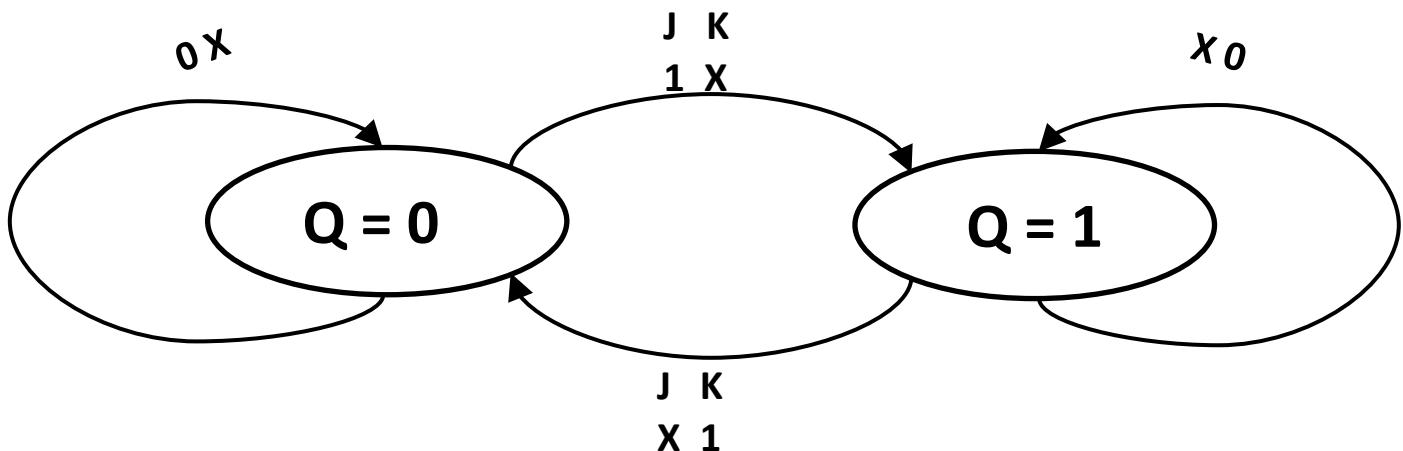
flipflop T utilizando o circuito debounce como CLOCK



Ligando o CLK do flip-flop T ao circuito debounce, fica então resolvido o problema relativamente ao comutador, pois desta forma só ocorre uma transição de nível lógico, e como prova podemos observar que o flip-flop T funciona de acordo com o esperado.

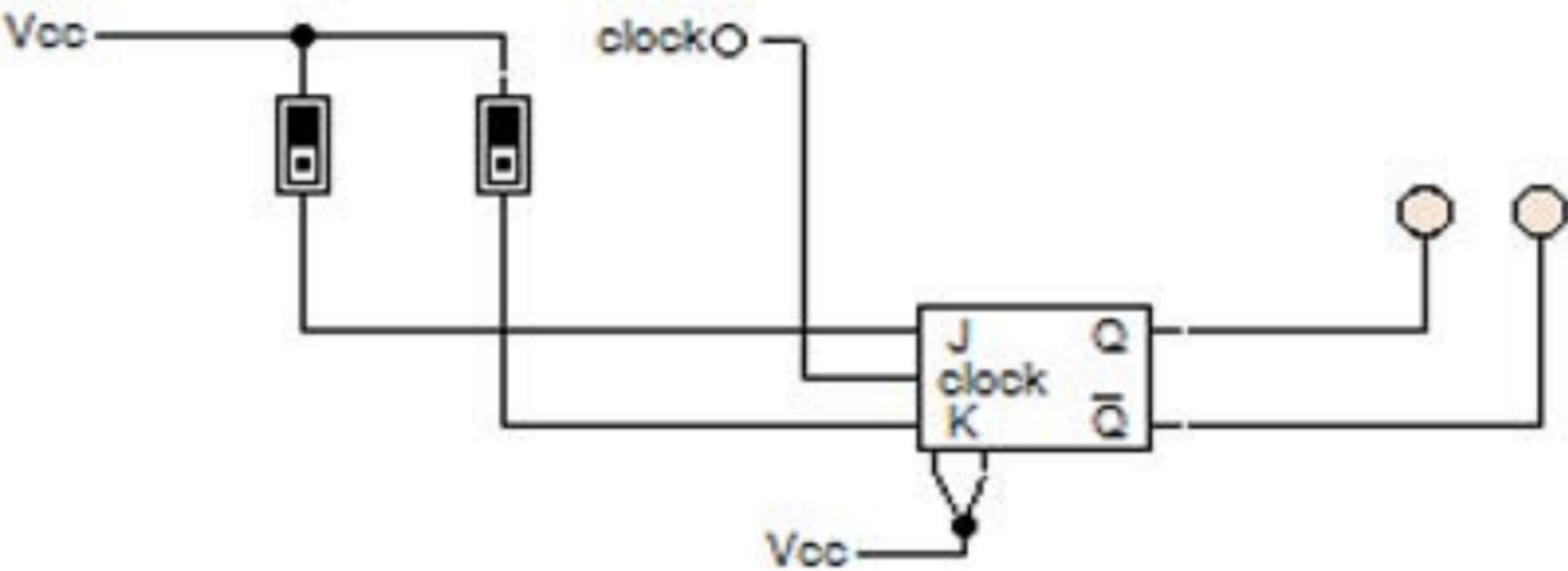
5.

### Diagrama de estados do flip-flop JK



PRESET	CLEAR	CLK	J	K	$Q_{n+1}$
0	1	X	X	X	<b>1</b>
1	0	X	X	X	<b>0</b>
1	1	↓	0	0	<b><math>Q_n</math></b>
1	1	↓	0	1	<b>0</b>
1	1	↓	1	0	<b>1</b>
1	1	↓	1	1	<b><math>Q_n</math></b>
1	1	1	X	X	<b><math>Q_n</math></b>

Tabela 1

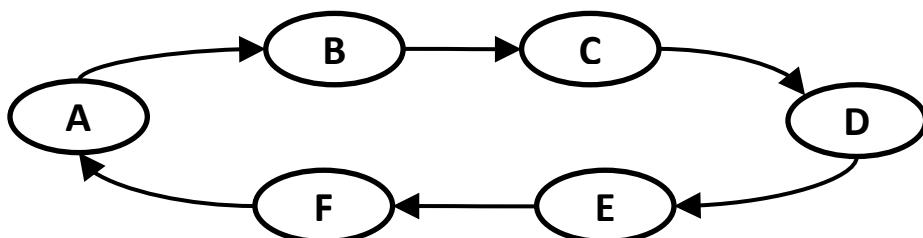


**Sistemas Digitais**  
**TP4 - Circuitos Sequênciais**

6.

8	7	6	2	5	15
A	B	C	D	E	F

**Diagrama de Estados**



**Tabela de Estados**

Q	Q*	S
A	B	8
B	C	7
C	D	6
D	E	2
E	F	5
F	A	15

**Codificação**

Estado	Q3	Q2	Q1	Q0
A	1	0	0	0
B	0	1	1	1
C	0	1	1	0
D	0	0	1	0
E	0	1	0	1
F	1	1	1	1

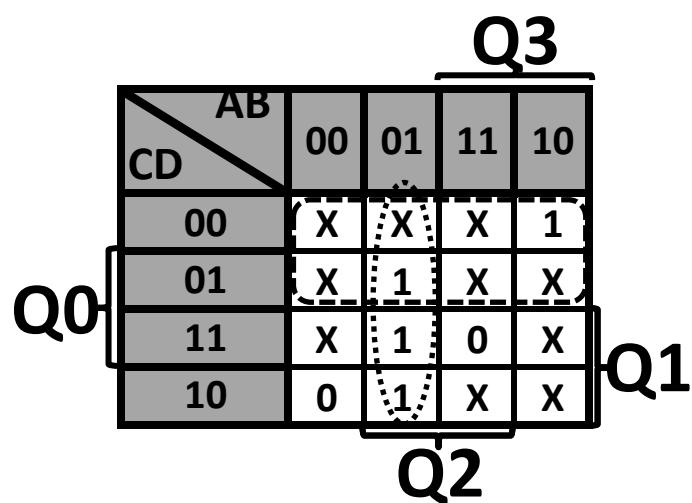
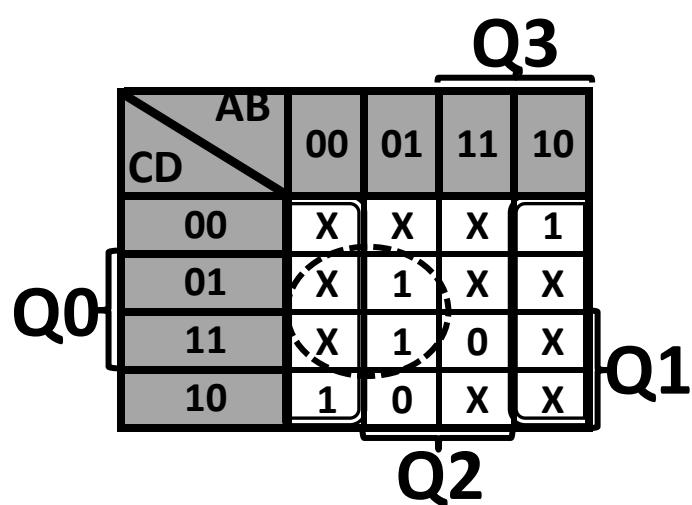
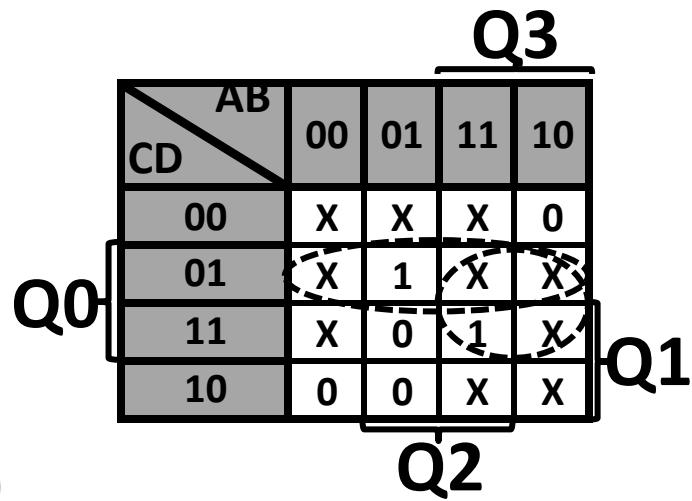
**Tabela de transição**

Estado	EN	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*	D3	D2	D1	D0
A	0	1	0	0	0	0	1	1	1	1	0	0	0
B	0	0	1	1	1	0	1	1	0	0	1	1	1
C	0	0	1	1	0	0	0	1	0	0	1	1	0
D	0	0	0	1	0	0	1	0	1	0	0	1	0
E	0	0	1	0	1	1	1	1	1	0	1	0	1
F	0	1	1	1	1	1	0	0	0	1	1	1	1

Sistemas Digitais  
TP4 - Circuitos Sequênciais

6.

Mapas de karnaugh



**Sistemas Digitais**  
**TP4 - Circuitos Sequênciais**

		Q3				
		AB	00	01	11	10
CD	00	X	X	X	1	
	01	X	1	X	X	
	11	X	0	0	X	
	10	1	0	X	X	

Q0                                    Q1

Q2

$Q0^* = Q2' + Q1'$

### Equações de Excitação

$$Q3^* = Q0^*( Q1' + Q3 )$$

$$Q2^* = Q2' + (Q0^*Q3')$$

$$Q1^* = Q1' + Q2^*Q3'$$

$$Q0^* = Q2' + Q1'$$

### Equações de Saída

$$S3 = Q3$$

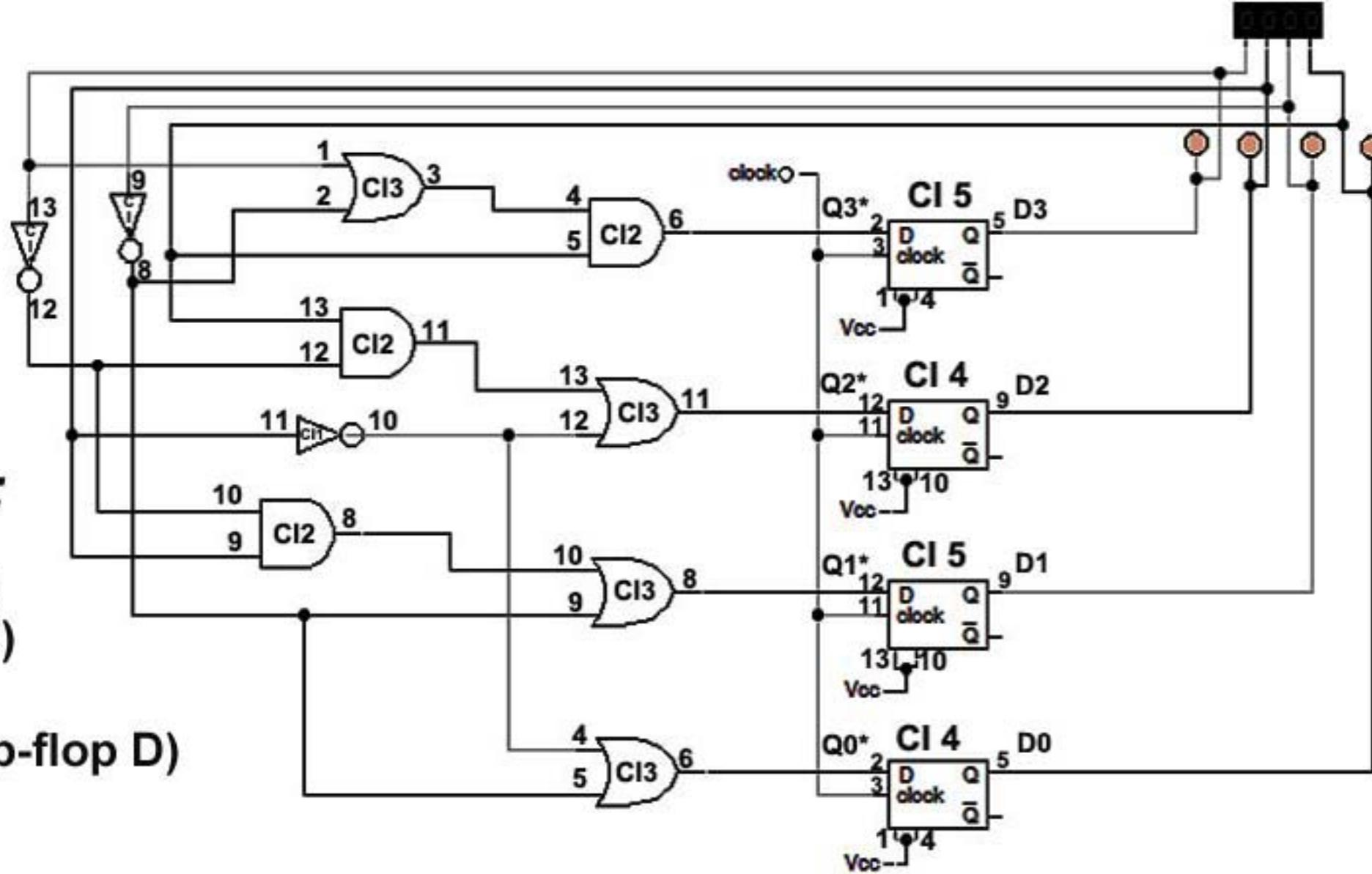
$$S2 = Q2$$

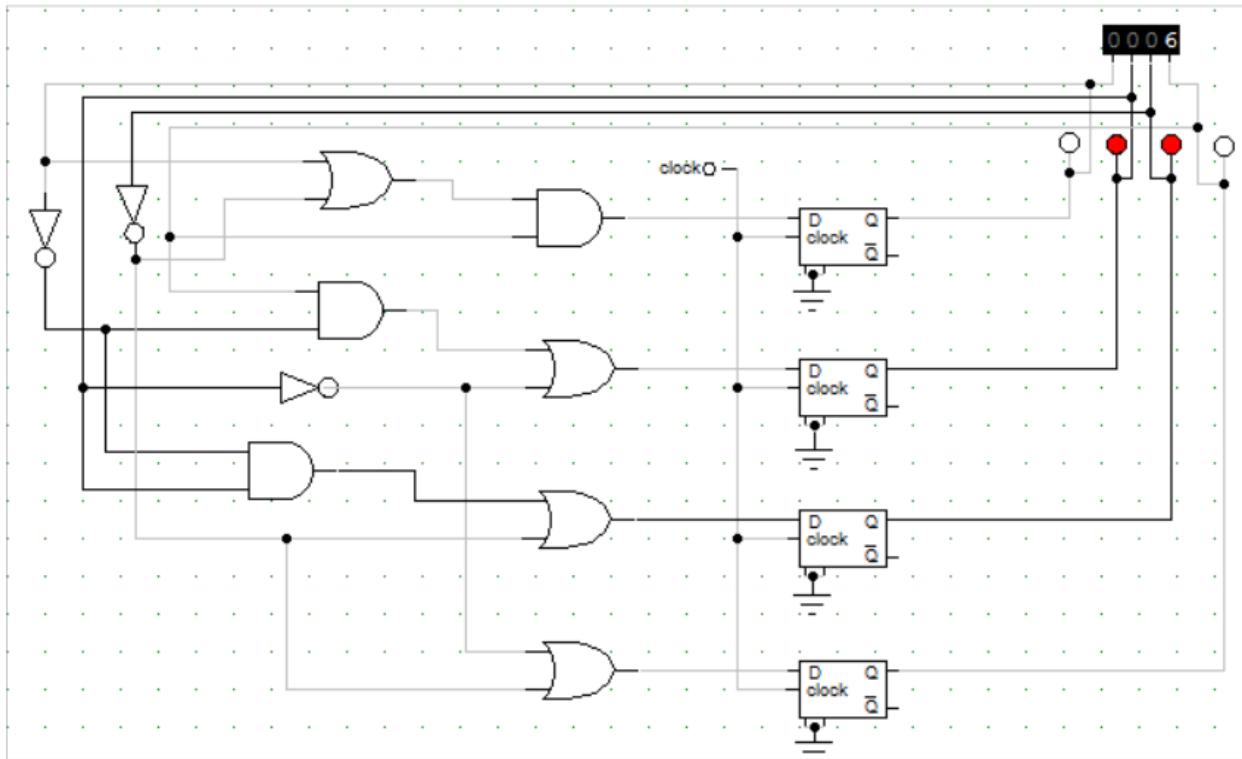
$$S1 = Q1$$

$$S0 = Q0$$

**CI's Usados:**

C1 - 7404 (NOT)  
CI2 - 7408 (AND)  
CI3 - 7432 (OR)  
CI4&5- 7474 (flip-flop D)





## Sistemas Digitais A

### TP5 - Contadores e Registos de Deslocamento

Antes de mais , há que definir o começo da contagem, e onde esta termina.

O número a ser estudado, A, é o 52678 , o começo da contagem é no número A5 + 1 , que neste caso será  $8 + 1 = 9$ . A contagem terminará no número A5 + 17 , que neste caso será  $8 + 17 = 25$ .

Nesta etapa já temos o nosso começo e fim.

	QA (2)	QD	QC	QB	QA	N. <sup>o</sup>
Data Input (inicio)	0	1	0	0	1	9
Terminar da contagem	1	1	0	0	1	25

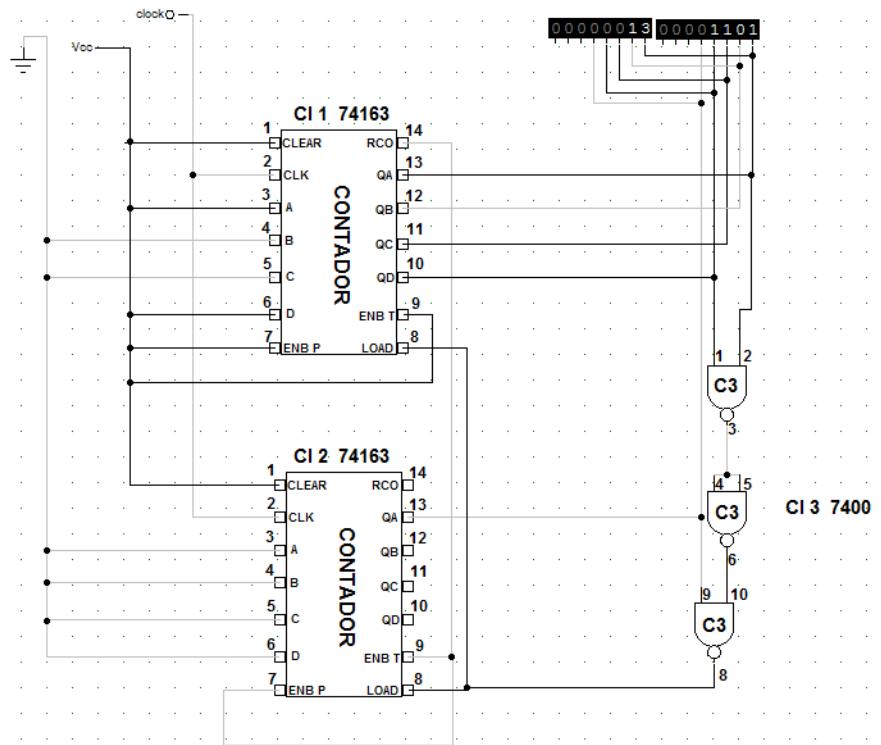
Visto que cada contador tem 4 bits permitindo assim a contagem apenas até ao número 15 ( 1 1 1 1 ) , é necessária a utilização de um segundo contador para obtermos o bit que nos falta para conseguir o número 25 ( 1 1 0 0 1 ) .

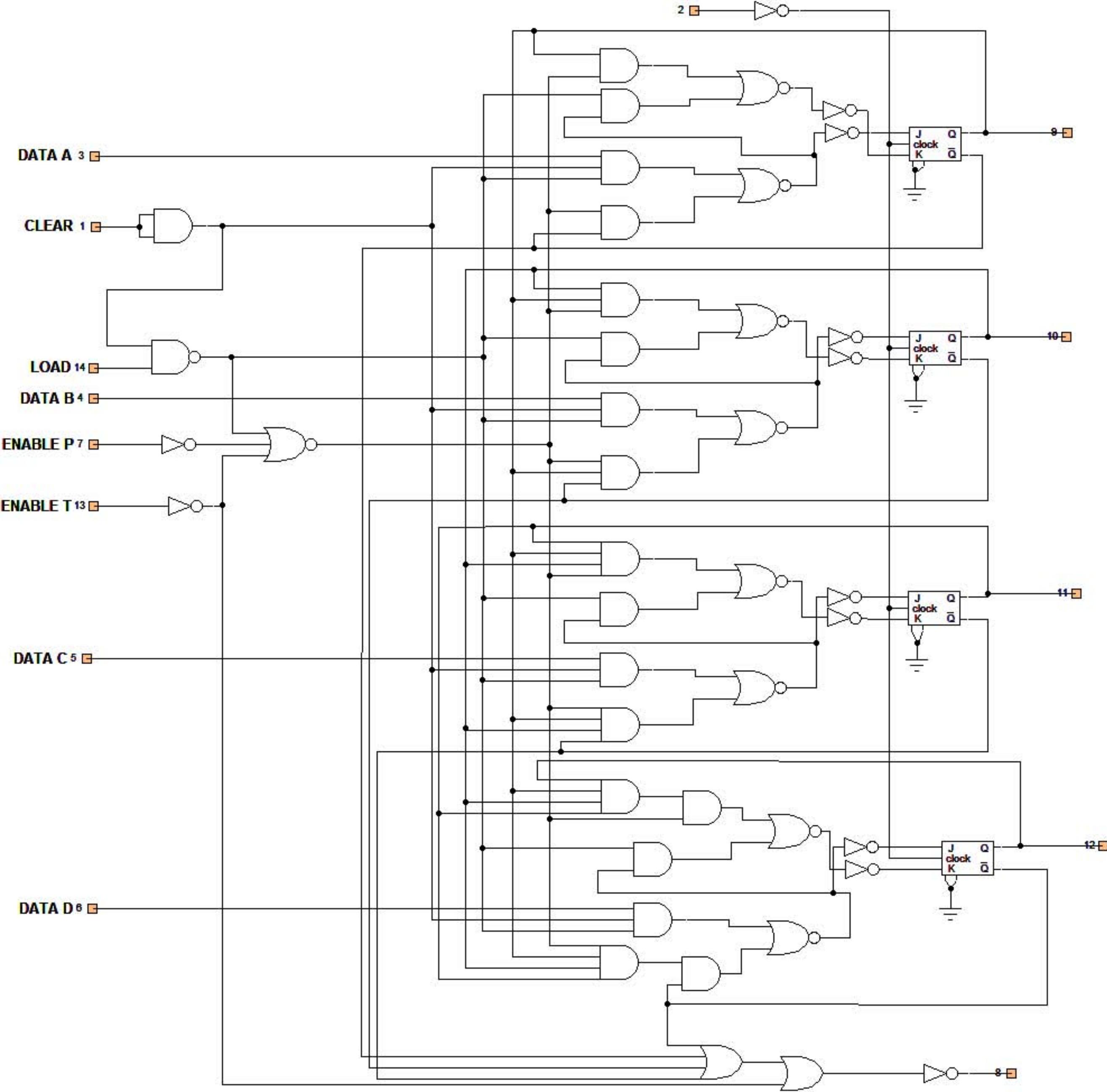
Para que seja possível a utilização de dois contadores em simultâneo de acordo com o pretendido, é necessário configurar cada um destes de acordo.

No primeiro contador é necessário que “ENABLE T e P” estejam ligados ao VCC para que este esteja activo logo de inicio, em relação às entradas “DATA INPUTS” liga-se o número 9 em binário de acordo com o que a tabela acima descreve, para que o contador comece a contagem no número pretendido. O RCO – Ripple Carry Output – deverá estar ligado aos “ENABLE T e P” do segundo contador, esta saída apenas será activa quando o último número que contador permite for atingido - n.<sup>o</sup> 15 – quando isto acontece, o contador recomeça a contagem mas desta vez activa o segundo contador.

No segundo contador, as entradas “DATA INPUTS” deverão estar todas ligadas à 0 , para que a contagem comece do “0”. Como foi dito anteriormente, este contador apenas será activo quando o primeiro contador atingir o valor máximo permitido na contagem, activando assim este através do RCO.

Para que o circuito funcione correctamente é necessário que a entrada do “CLEAR” esteja ligado ao VCC, para que seja desactivada essa função em ambos os contadores, e que também seja estipulado quando é que estes deverão parar a contagem, para que isto seja possível as entradas “LOAD” deverão estar ligadas entre os dois contadores a receber o valor lógico “1” durante a contagem , e quando for atingido o valor que pretendemos , deverão receber o valor lógico “0”. Para que isto seja possível, é necessária a utilização de portas lógicas básicas, que estarão ligadas aos outputs dos contadores. Quando for atingido o número 25, os “LOAD” passam a “0” reiniciando assim o ciclo.





## CIs USADOS :

- CI 1&2 : 7474 (flip-flop D)
- Ci 3 : 7408 ( AND )
- CI 4 : 7404 ( NOT )

Eq.

$$D3 = Q2$$

$$D2 = Q1$$

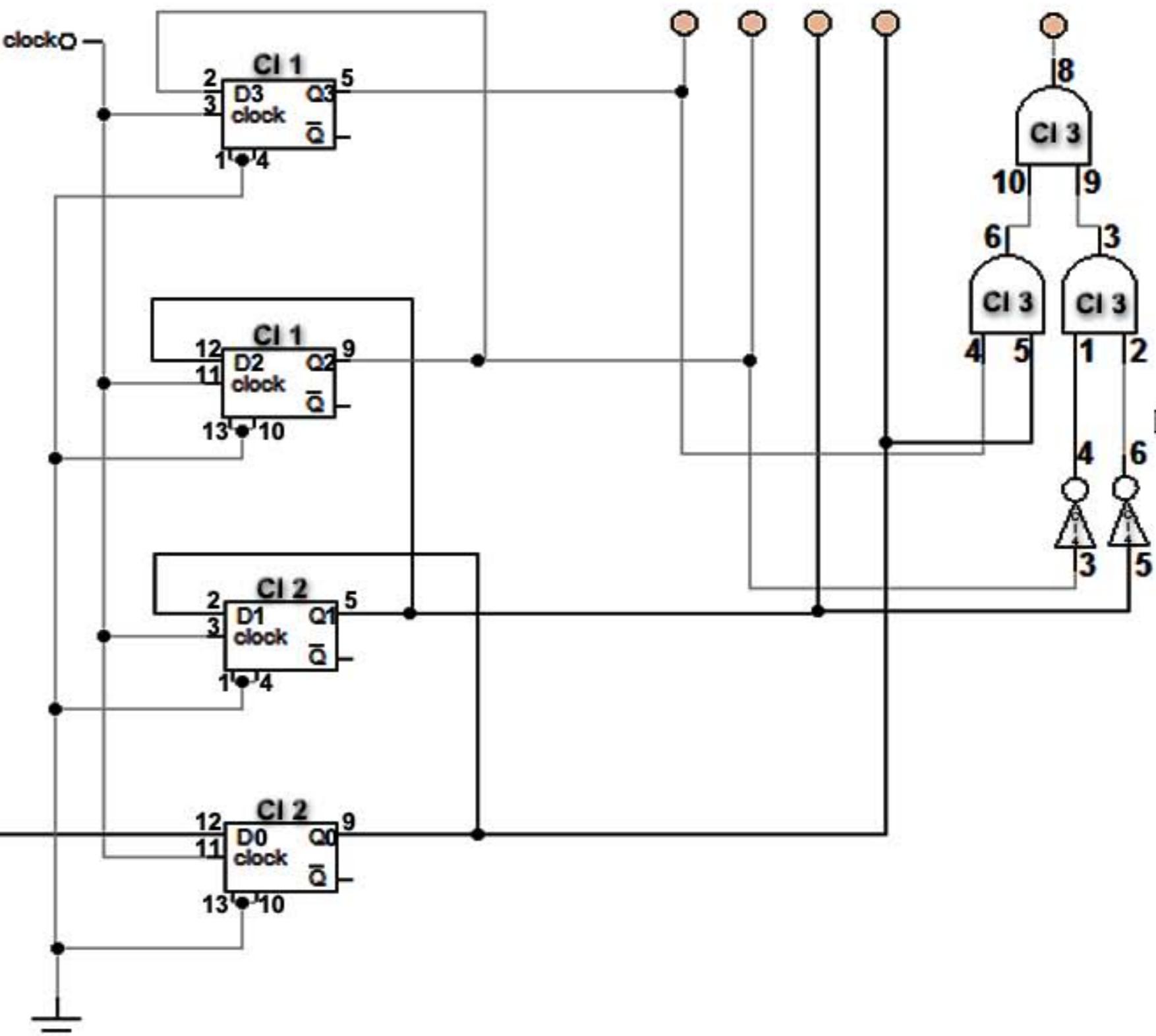
$$D1 = Q0$$

## RESUMO:

Após cada pulso do clock, o circuito faz uma actualização , que dependerá do valor de entrada do "D0" controlado por nós através do interruptor.

Com esta actualização , o valor de Q3 será “esquecido” , e será então assumido o valor inserido logo após este , e assim sucessivamente, entre cada pulso o valor de Q0 migrará desde Q0 até Q3.

Sempre que a sequência correspondente a B5 - Número B = 50119 - logo B5 = 9 , 1 0 0 1 ( Q3,Q2,Q1,Q0 ), aparecer , o LED activará , mal haja alteração desta sequência, o LED será automaticamente desactivado.



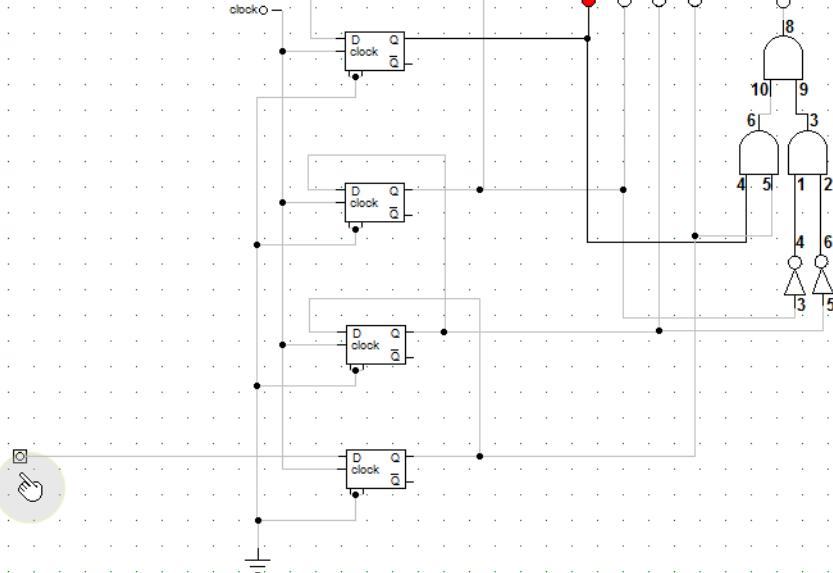
AB		00	01	11	10
CD		00	0	0	0
00		01	0	0	0
D	01	11	0	0	0
	11	10	0	0	0
	10	0	0	0	0
	0	0	0	0	0

A

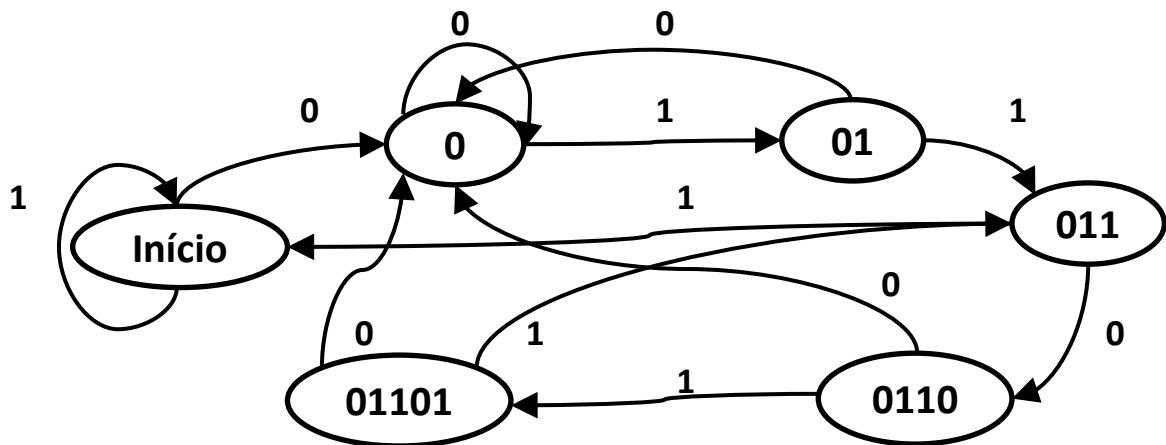
B

C

$$S_3 = A \cdot B' \cdot C' \cdot D = (A \cdot D) \cdot (B' \cdot C')$$



## Diagrama de Estados



## Tabela de Estados

Q	X	Q*	S
A	0	B	0
	1	A	
B	0	B	0
	1	C	
C	0	B	0
	1	D	
D	0	E	0
	1	A	
E	0	B	0
	1	F	
F	0	B	1
	1	D	

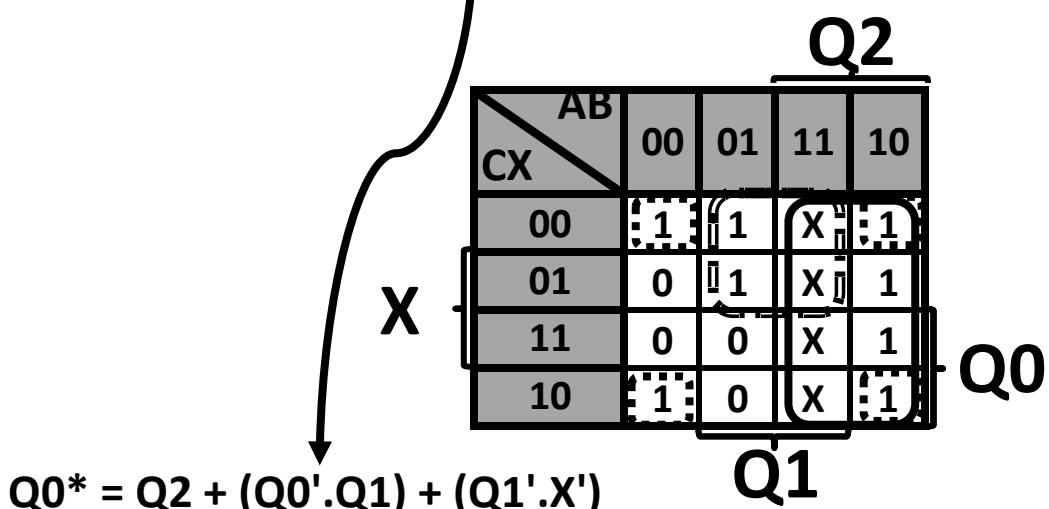
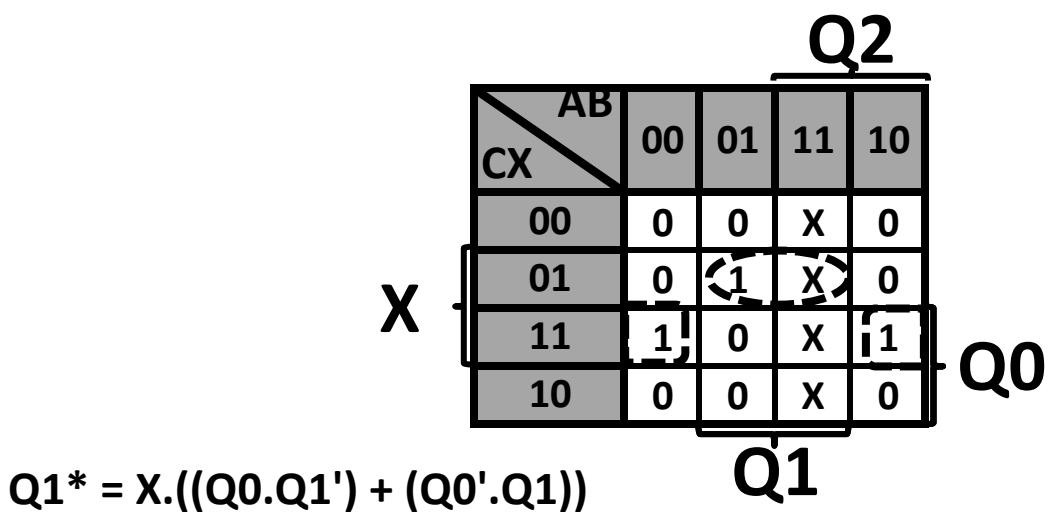
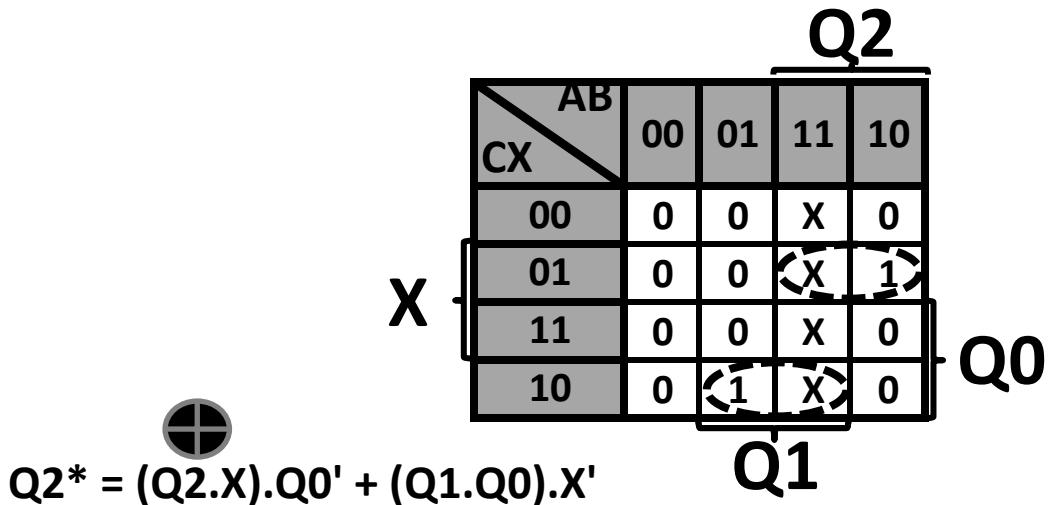
A- INICIO  
 B- 0  
 C- 01  
 D- 011  
 E- 0110  
 F- 01101

## Codificação

Estado	Q2	Q1	Q0
A	0	0	0
B	0	0	1
C	0	1	0
D	0	1	1
E	1	0	0
F	1	0	1

## Tabela de Transição

Estado	Q2	Q1	Q0	X	Q2*	Q1*	Q0*	S
A	0	0	0	0	0	0	1	0
					1	0	0	
B	0	0	1	0	0	0	1	0
					1	0	1	
C	0	1	0	0	0	0	1	0
					1	0	1	
D	0	1	1	0	1	0	0	0
					1	0	0	
E	1	0	0	0	0	0	1	0
					1	1	0	
F	1	0	1	0	0	0	1	1
					1	0	1	

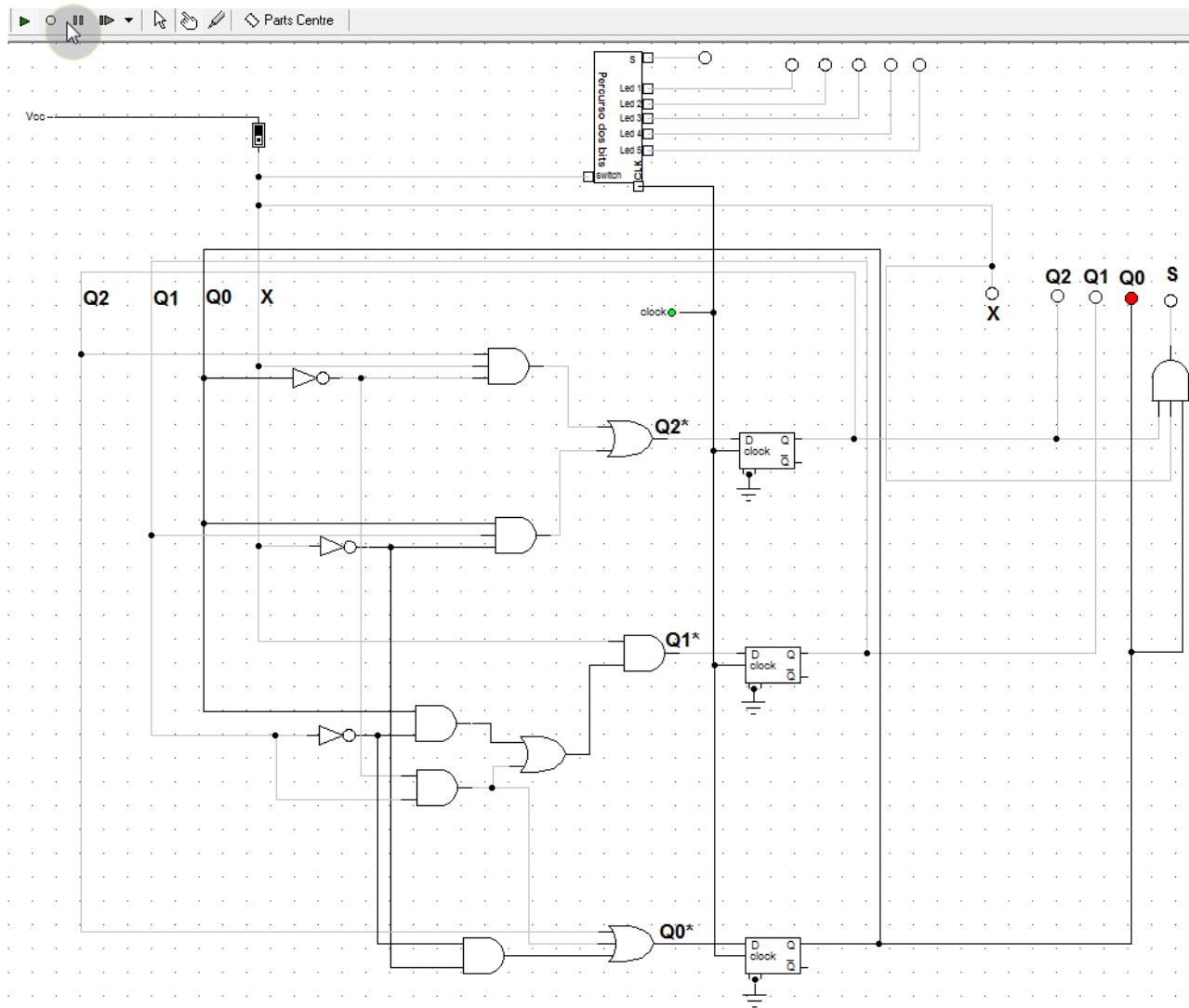
Mapas de karnaugh

# Sistemas Digitais

## TP - Extra

		Q2				
		AB	00	01	11	10
CX		00	0	0	X	0
01		01	0	0	X	0
11		11	0	0	X	1
10		10	0	0	X	0

$$S = (Q2 \cdot X) \cdot Q0$$

Outro modo de fazer o mesmo trabalho através de Registers

Este circuito encontra-se dentro do CI - Percurso dos Bits - do Diagrama Lógico anterior

### CIs USADOS:

- CI 1,2,3 : 7474 (flip-flop D)
- CI 4 : 7408 ( AND )
- Ci 5 : 7404 ( NOT )

Eq.

$$D4 = Q3$$

$$D3 = Q2$$

$$D2 = Q1$$

$$D1 = Q0$$

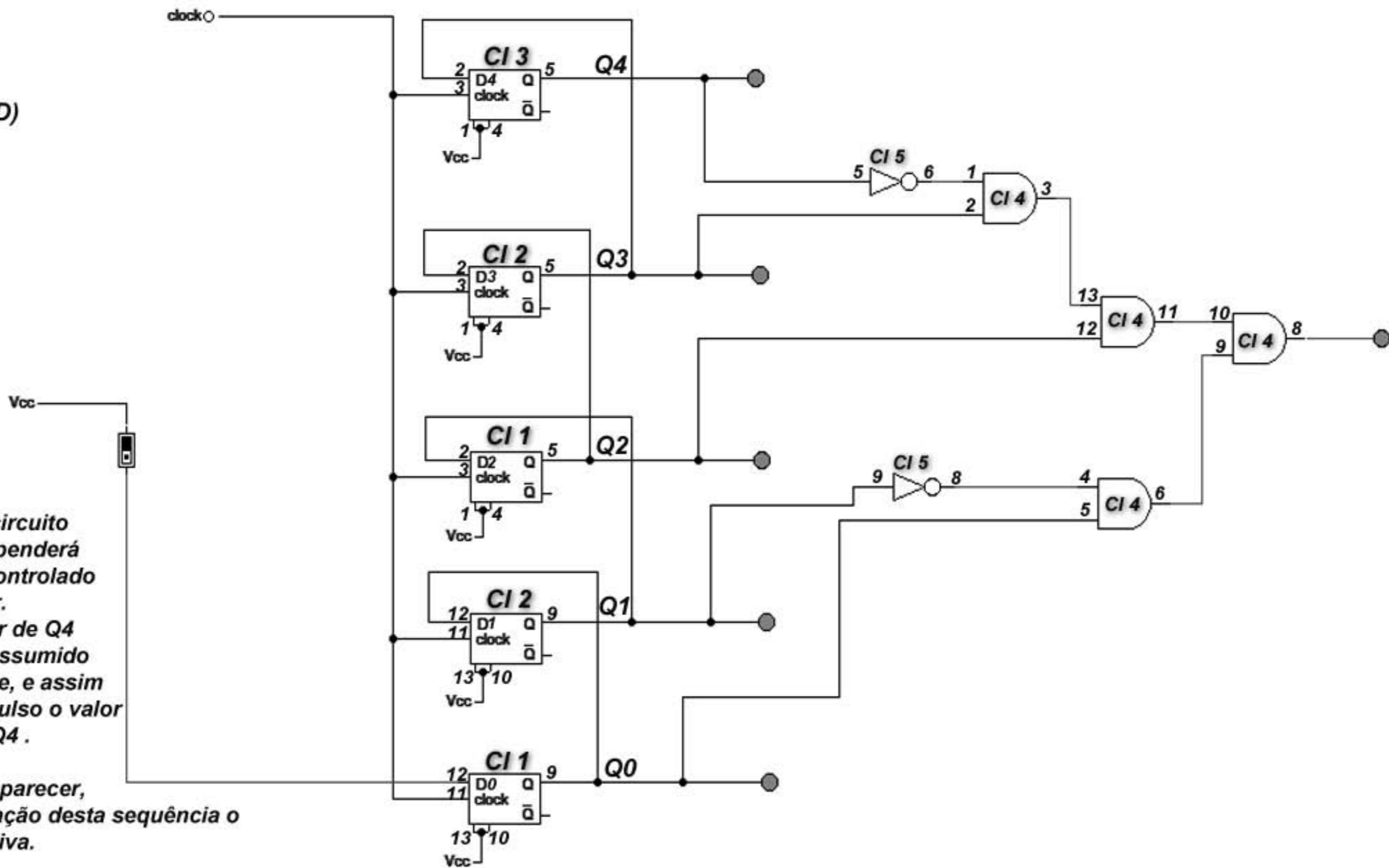
### Resumo:

Após cada pulso do clock, o circuito faz uma actualização, que dependerá do valor de entrada do "d0" controlado por nós através do interruptor.

Com esta actualização, o valor de Q4 será esquecido e será então assumido o valor inserido logo após este, e assim sucessivamente, entre cada pulso o valor de Q0 migrará desde Q0 até Q4 .

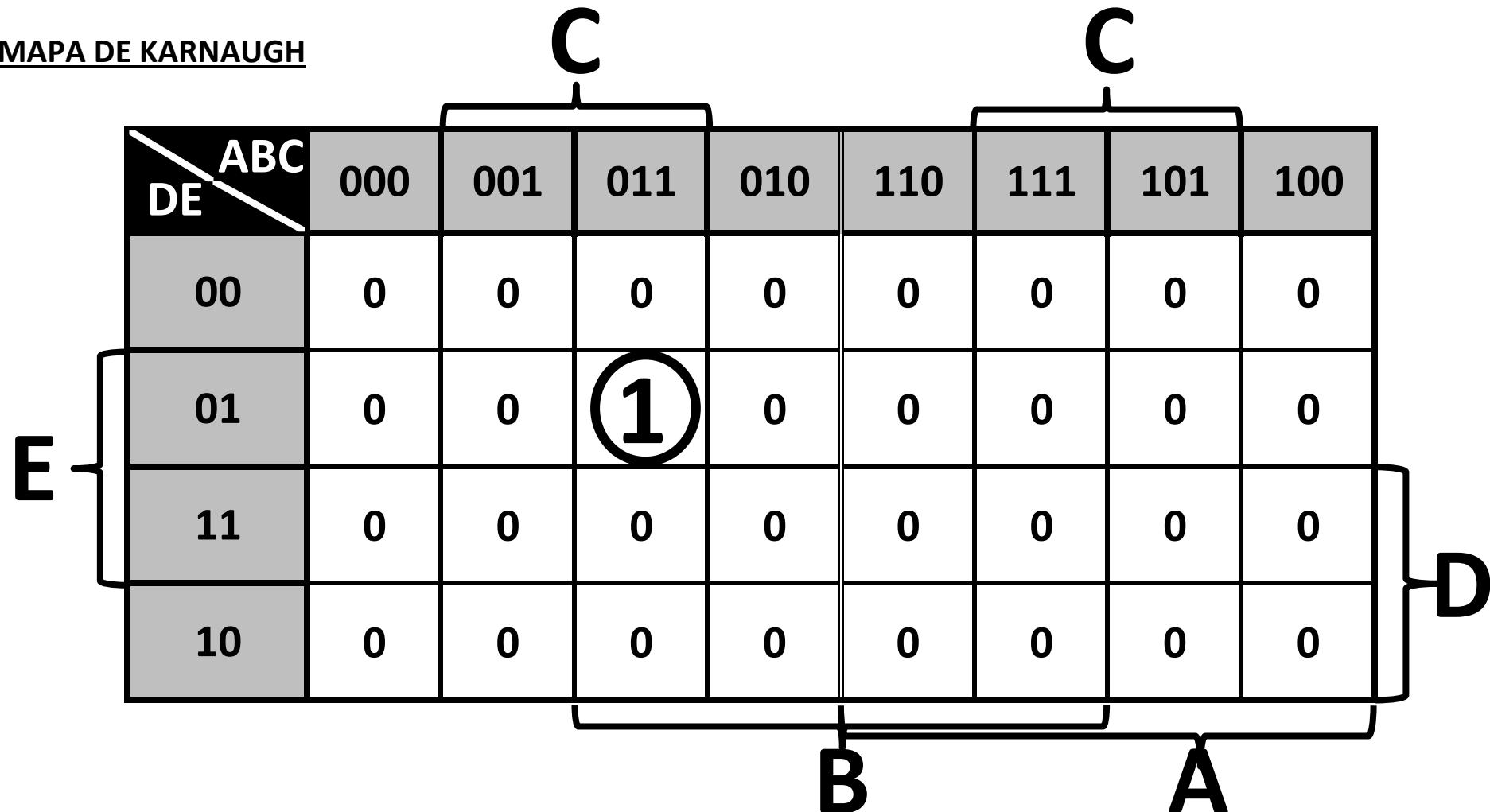
Sempre que a sequência

0 1 1 0 1 ( Q4,Q3,Q2,Q1,Q0 ) aparecer, o LED activará , mal haja alteração desta sequência o LED automaticamente desactiva.



## TP EXTRA

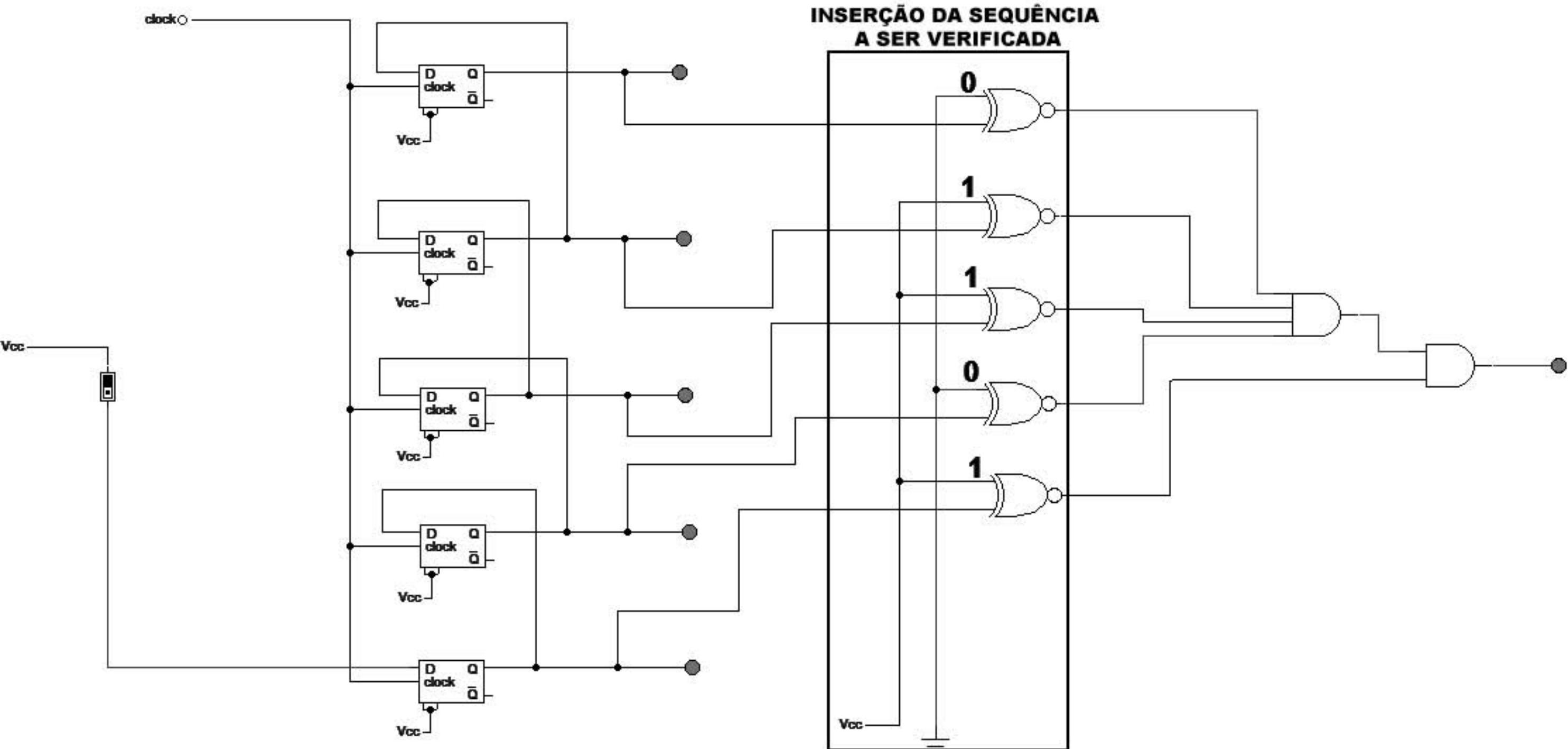
### MAPA DE KARNAUGH



$$S = A' \cdot B \cdot C \cdot D' \cdot E$$

# **TP EXTRA**

MESMO CIRCUITO MAS COM A OPÇÃO DE ALTERAR A SEQUÊNCIA QUE ACTIVA O LED!



# 54LS112/DM54LS112A/DM74LS112A J-K Flip-Flops with Preset, Clear, and Complementary Outputs

## 54LS112/DM54LS112A/DM74LS112A Dual Negative-Edge-Triggered Master-Slave J-K Flip-Flops with Preset, Clear, and Complementary Outputs

### General Description

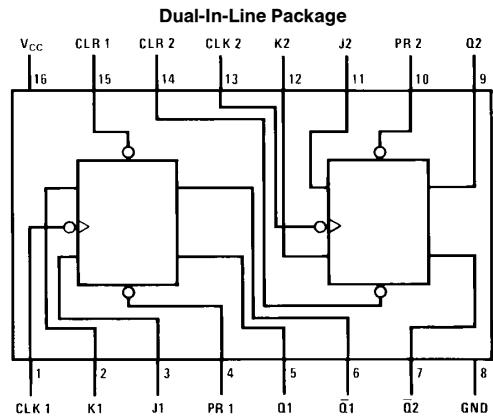
This device contains two independent negative-edge-triggered J-K flip-flops with complementary outputs. The J and K data is processed by the flip-flop on the falling edge of the clock pulse. The clock triggering occurs at a voltage level and is not directly related to the transition time of the falling edge of the clock pulse. Data on the J and K inputs may be changed while the clock is high or low without affecting the outputs as long as the setup and hold times are not

violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

### Features

- Alternate Military/Aerospace device (54LS112) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



TL/F/6382-1  
Order Number 54LS112DMQB, 54LS112FMB,  
54LS112LMQB, DM54LS112AJ, DM54LS112AW,  
DM74LS112AM or DM74LS112AN  
See NS Package Number E20A,  
J16A, M16A, N16E or W16A

### Function Table

Inputs				Outputs		
PR	CLR	CLK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	$Q_0$	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	X	Toggle	
H	H	H	X	X	$Q_0$	$\bar{Q}_0$

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

↓ = Negative Going Edge of Pulse

\* = This configuration is nonstable; that is, it will not persist when preset and/or clear inputs return to their inactive (high) level.

$Q_0$  = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.

## Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM54LS112A			DM74LS112A			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			−0.4			−0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
f <sub>CLK</sub>	Clock Frequency (Note 2)	0		30	0		30	MHz
f <sub>CLK</sub>	Clock Frequency (Note 3)	0		25	0		25	MHz
t <sub>W</sub>	Pulse Width (Note 2)	Clock High	20		20			ns
		Preset Low	25		25			
		Clear Low	25		25			
t <sub>W</sub>	Pulse Width (Note 3)	Clock High	25		25			ns
		Preset Low	30		30			
		Clear Low	30		30			
t <sub>SU</sub>	Setup Time (Notes 1 and 2)	20 ↓			20 ↓			ns
t <sub>SU</sub>	Setup Time (Notes 1 and 3)	25 ↓			25 ↓			ns
t <sub>H</sub>	Hold Time (Notes 1 and 2)	0 ↓			0 ↓			ns
t <sub>H</sub>	Hold Time (Notes 1 and 3)	5 ↓			5 ↓			ns
T <sub>A</sub>	Free Air Operating Temperature	−55		125	0		70	°C

Note 1: The symbol (↓) indicates the falling edge of the clock pulse is used for reference.

Note 2: C<sub>L</sub> = 15 pF, R<sub>L</sub> = 2 kΩ, T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V.

Note 3: C<sub>L</sub> = 50 pF, R<sub>L</sub> = 2 kΩ, T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V.

## Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = −18 mA			−1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54	2.5	3.4	V
			DM74	2.7	3.4	
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54	0.25	0.4	V
			DM74	0.35	0.5	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74	0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V	J, K		0.1	mA
			Clear		0.3	
			Preset		0.3	
			Clock		0.4	

## Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted) (Continued)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7V$	J, K			20	$\mu\text{A}$
			Clear			60	
			Preset			60	
			Clock			80	
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4V$	J, K			-0.4	$\text{mA}$
			Clear			-0.8	
			Preset			-0.8	
			Clock			-0.8	
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54	-20		-100	$\text{mA}$
			DM74	-20		-100	
$I_{CC}$	Supply Current	$V_{CC} = \text{Max}$ (Note 3)			4	6	$\text{mA}$

## Switching Characteristics

at  $V_{CC} = 5V$  and  $T_A = 25^\circ\text{C}$  (See Section 1 for Test Waveforms and Output Load)

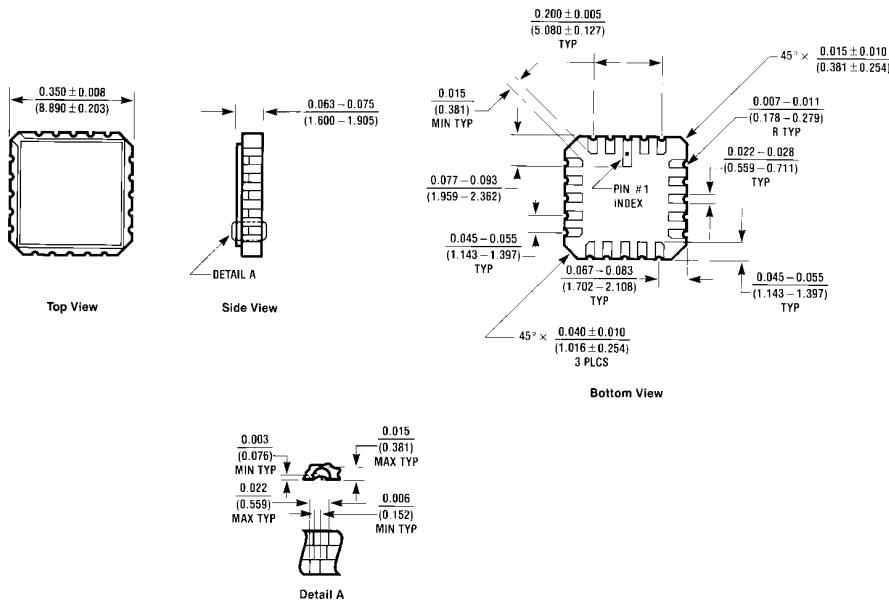
Symbol	Parameter	From (Input) To (Output)	$R_L = 2 \text{ k}\Omega$				Units	
			$C_L = 15 \text{ pF}$		$C_L = 50 \text{ pF}$			
			Min	Max	Min	Max		
$f_{MAX}$	Maximum Clock Frequency		30		25		MHz	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Preset to Q		20		24	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Preset to $\bar{Q}$		20		28	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clear to $\bar{Q}$		20		24	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clear to Q		20		28	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Q or $\bar{Q}$		20		24	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Q or $\bar{Q}$		20		28	ns	

Note 1: All typicals are at  $V_{CC} = 5V, T_A = 25^\circ\text{C}$ .

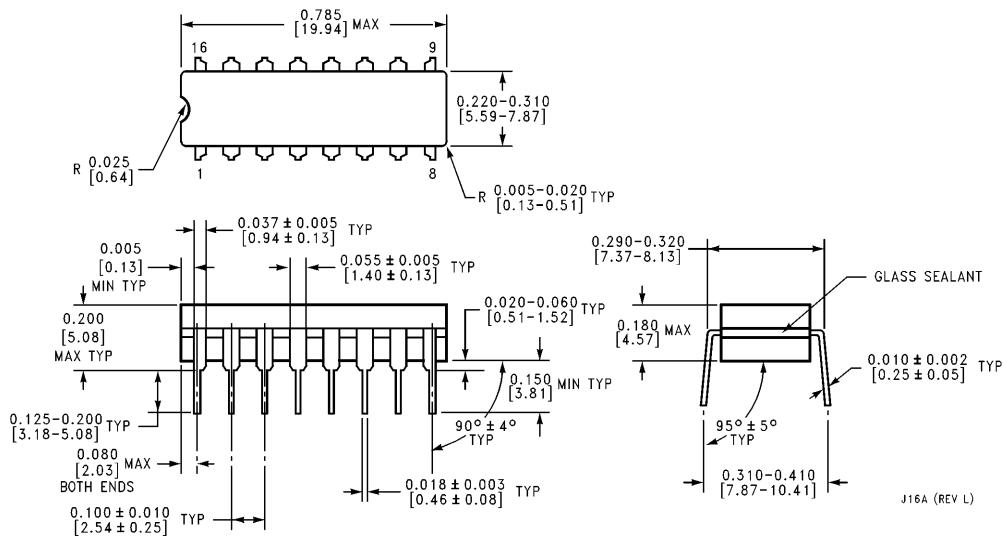
Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second. For devices, with feedback from the outputs, where shorting the outputs to ground may cause the outputs to change logic state an equivalent test may be performed where  $V_O = 2.25V$  and  $2.125V$  for DM54 and DM74 series, respectively, with the minimum and maximum limits reduced by one half from their stated values. This is very useful when using automatic test equipment.

Note 3: With all outputs open,  $I_{CC}$  is measured with the Q and  $\bar{Q}$  outputs high in turn. At the time of measurement the clock is grounded.

## **Physical Dimensions** inches (millimeters)

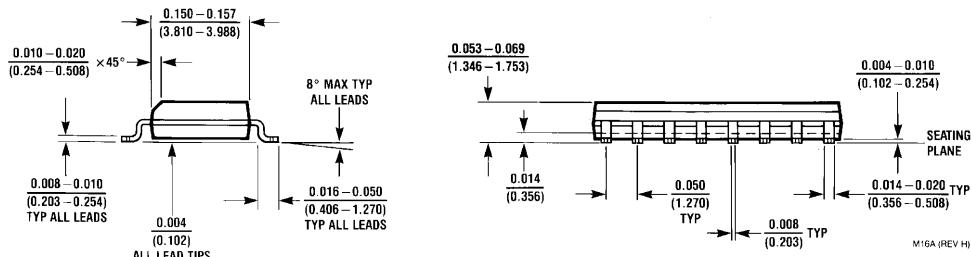
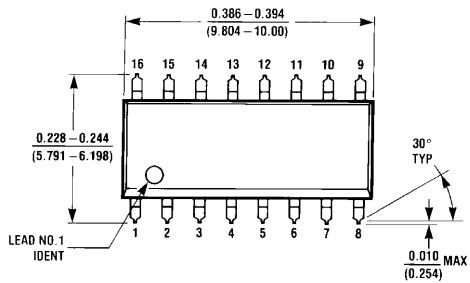


**Ceramic Leadless Chip Carrier Package (E)  
Order Number 54LS112LMQB  
NS Package Number E20A**

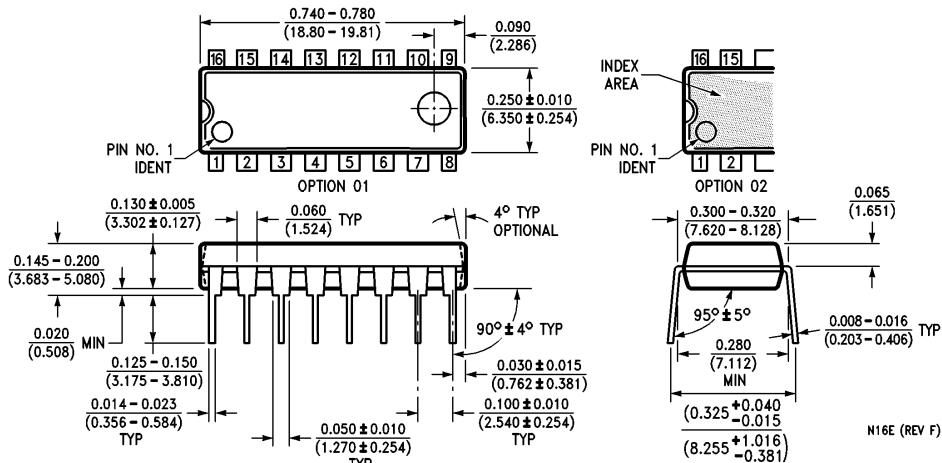


**16-Lead Ceramic Dual-In-Line Package (J)  
Order Number 54LS112DMQB or DM54LS112AJ  
NS Package Number J16A**

## Physical Dimensions inches (millimeters) (Continued)



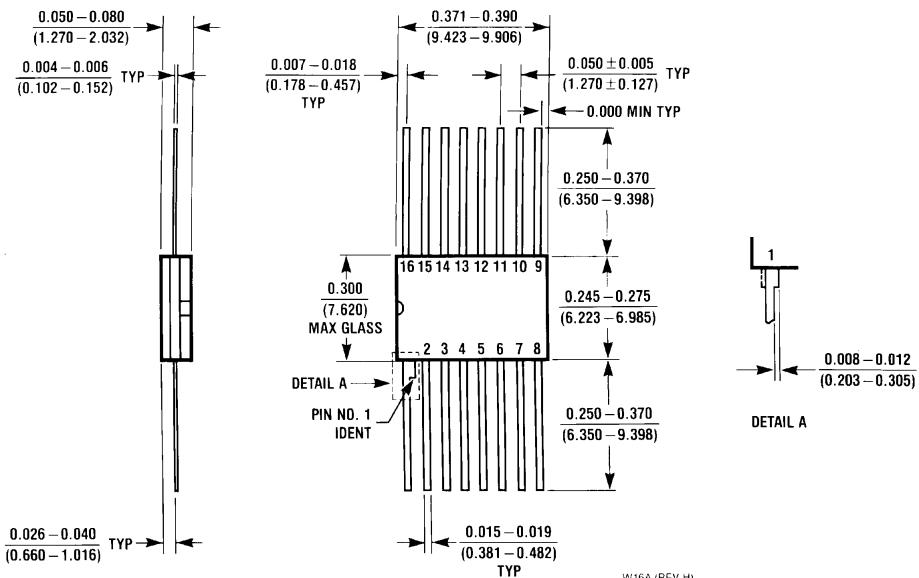
**16-Lead Small Outline Molded Package (M)**  
Order Number DM74LS112AM  
NS Package Number M16A



**16-Lead Molded Dual-In-Line Package (N)**  
Order Number DM74LS112AN  
NS Package Number N16E

# 54LS112/DM54LS112A/DM74LS112A Dual Negative-Edge-Triggered Master-Slave J-K Flip-Flops with Preset, Clear, and Complementary Outputs

## Physical Dimensions inches (millimeters) (Continued)



**16-Lead Ceramic Flat Package (W)**  
**Order Number 54LS112FMQB or DM54LS112AW**  
**NS Package Number W16A**

### LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor  
Corporation**  
 1111 West Bardin Road  
 Arlington, TX 76017  
 Tel: (800) 272-9959  
 Fax: (800) 737-7018

**National Semiconductor  
Europe**  
 Fax: (+49) 0-180-530 85 86  
 Email: cnjwge@tevm2.nsc.com  
 Deutsch Tel: (+49) 0-180-530 85 85  
 English Tel: (+49) 0-180-532 78 32  
 Français Tel: (+49) 0-180-532 93 58  
 Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor  
Hong Kong Ltd.**  
 13th Floor, Straight Block,  
 Ocean Centre, 5 Canton Rd.  
 Tsimshatsui, Kowloon  
 Hong Kong  
 Tel: (852) 2737-1600  
 Fax: (852) 2736-9960

**National Semiconductor  
Japan Ltd.**  
 Tel: 81-043-299-2309  
 Fax: 81-043-299-2406

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.



National Semiconductor

June 1989

## 54LS74/DM54LS74A/DM74LS74A Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

### General Description

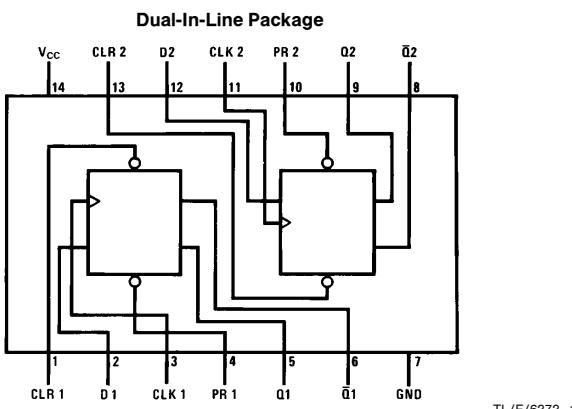
This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is low or high without affecting the outputs as long as the data setup and hold times are not

violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

### Features

- Alternate military/aerospace device (54LS74) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



TL/F/6373-1

Order Number 54LS74DMQB, 54LS74FMQB, 54LS74LMQB,  
DM54LS74AJ, DM54LS74AW, DM74LS74AM or DM74LS74AN  
See NS Package Number E20A, J14A, M14A, N14A or W14B

### Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	X	H	L
H	H	↑	L	L	H
H	H	L	X	$Q_0$	$\bar{Q}_0$

H = High Logic Level

X = Either Low or High Logic Level

L = Low Logic Level

↑ = Positive-going Transition

\* = This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (high) level.

$Q_0$  = The output logic level of Q before the indicated input conditions were established.

## Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM54LS74A			DM74LS74A			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			−0.4			−0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
f <sub>CLK</sub>	Clock Frequency (Note 2)	0		25	0		25	MHz
f <sub>CLK</sub>	Clock Frequency (Note 3)	0		20	0		20	MHz
t <sub>W</sub>	Pulse Width (Note 2)	Clock High	18		18			ns
		Preset Low	15		15			
		Clear Low	15		15			
t <sub>W</sub>	Pulse Width (Note 3)	Clock High	25		25			ns
		Preset Low	20		20			
		Clear Low	20		20			
t <sub>SU</sub>	Setup Time (Notes 1 and 2)	20↑			20↑			ns
t <sub>SU</sub>	Setup Time (Notes 1 and 3)	25↑			25↑			ns
t <sub>H</sub>	Hold Time (Note 1 and 4)	0↑			0↑			ns
T <sub>A</sub>	Free Air Operating Temperature	−55		125	0		70	°C

Note 1: The symbol (↑) indicates the rising edge of the clock pulse is used for reference.

Note 2: C<sub>L</sub> = 15 pF, R<sub>L</sub> = 2 kΩ, T<sub>A</sub> = 25°C, and V<sub>CC</sub> = 5V.

Note 3: C<sub>L</sub> = 50 pF, R<sub>L</sub> = 2 kΩ, T<sub>A</sub> = 25°C, and V<sub>CC</sub> = 5V.

Note 4: T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V.

## Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}$ , $I_I = -18 \text{ mA}$				-1.5	V
$V_{OH}$	High Level Output Voltage	$V_{CC} = \text{Min}$ , $I_{OH} = \text{Max}$	DM54	2.5	3.4		V
		$V_{IL} = \text{Max}$ , $V_{IH} = \text{Min}$	DM74	2.7	3.4		
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}$ , $I_{OL} = \text{Max}$	DM54		0.25	0.4	V
		$V_{IL} = \text{Max}$ , $V_{IH} = \text{Min}$	DM74		0.35	0.5	
		$I_{OL} = 4 \text{ mA}$ , $V_{CC} = \text{Min}$	DM74		0.25	0.4	
$I_I$	Input Current @Max Input Voltage	$V_{CC} = \text{Max}$ $V_I = 7\text{V}$	Data			0.1	mA
			Clock			0.1	
			Preset			0.2	
			Clear			0.2	
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}$ $V_I = 2.7\text{V}$	Data			20	$\mu\text{A}$
			Clock			20	
			Clear			40	
			Preset			40	
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}$ $V_I = 0.4\text{V}$	Data			-0.4	mA
			Clock			-0.4	
			Preset			-0.8	
			Clear			-0.8	
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54	-20		-100	mA
			DM74	-20		-100	
$I_{CC}$	Supply Current	$V_{CC} = \text{Max}$ (Note 3)			4	8	mA

**Note 1:** All typicals are at  $V_{CC} = 5\text{V}$ ,  $T_A = 25^\circ\text{C}$ .

**Note 2:** Not more than one output should be shorted at a time, and the duration should not exceed one second. For devices, with feedback from the outputs, where shorting the outputs to ground may cause the outputs to change logic state an equivalent test may be performed where  $V_O = 2.25\text{V}$  and  $2.125\text{V}$  for DM54 and DM74 series, respectively, with the minimum and maximum limits reduced by one half from their stated values. This is very useful when using automatic test equipment.

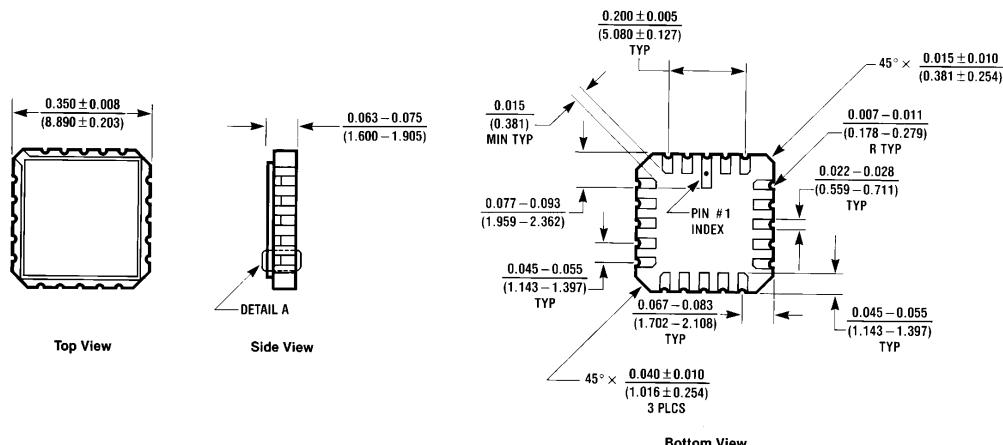
**Note 3:** With all outputs open,  $I_{CC}$  is measured with CLOCK grounded after setting the Q and  $\bar{Q}$  outputs high in turn.

## Switching Characteristics

at  $V_{CC} = 5\text{V}$  and  $T_A = 25^\circ\text{C}$  (See Section 1 for Test Waveforms and Output Load)

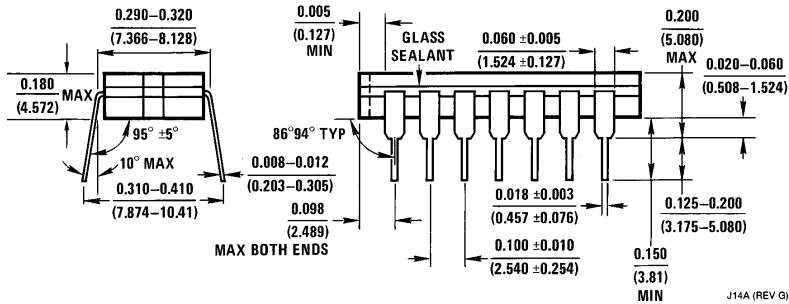
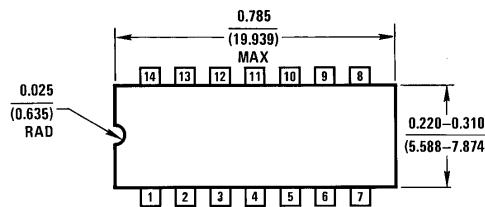
Symbol	Parameter	From (Input) To (Output)	$R_L = 2 \text{ k}\Omega$				Units	
			$C_L = 15 \text{ pF}$		$C_L = 50 \text{ pF}$			
			Min	Max	Min	Max		
$f_{MAX}$	Maximum Clock Frequency		25		20		MHz	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Q or $\bar{Q}$		25		35	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Q or $\bar{Q}$		30		35	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Preset to Q		25		35	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Preset to $\bar{Q}$		30		35	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clear to $\bar{Q}$		25		35	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clear to Q		30		35	ns	

## Physical Dimensions inches (millimeters)



**Ceramic Leadless Chip Carrier Package (E)**  
Order Number 54LS74LMQB  
NS Package Number E20A

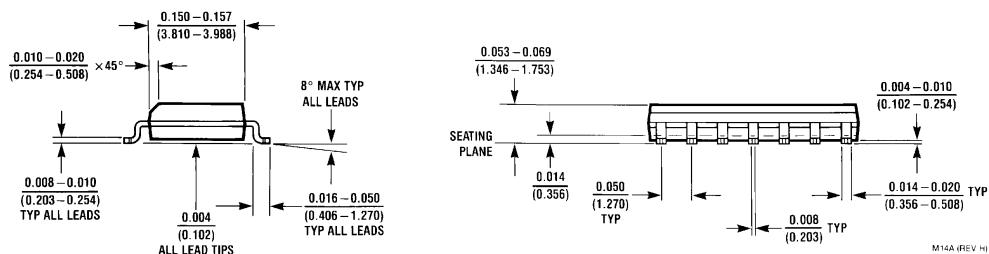
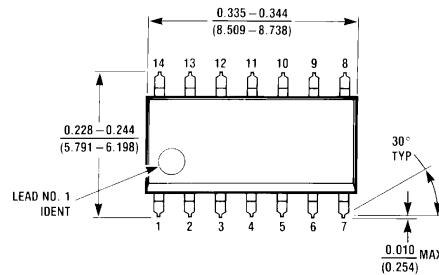
E20A (REV D)



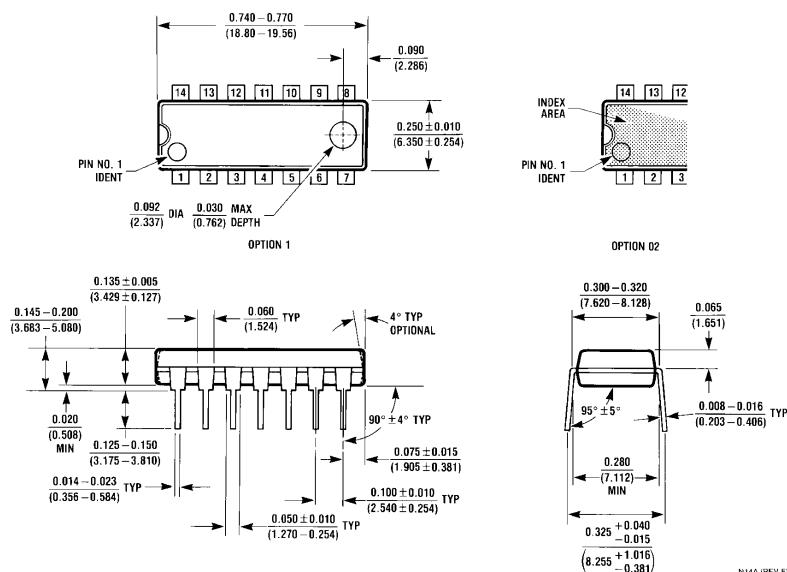
**14-Lead Ceramic Dual-In-Line Package (J)**  
Order Number 54LS74DMQB or DM54LS74AJ  
NS Package Number J14A

J14A (REV G)

**Physical Dimensions** inches (millimeters) (Continued)



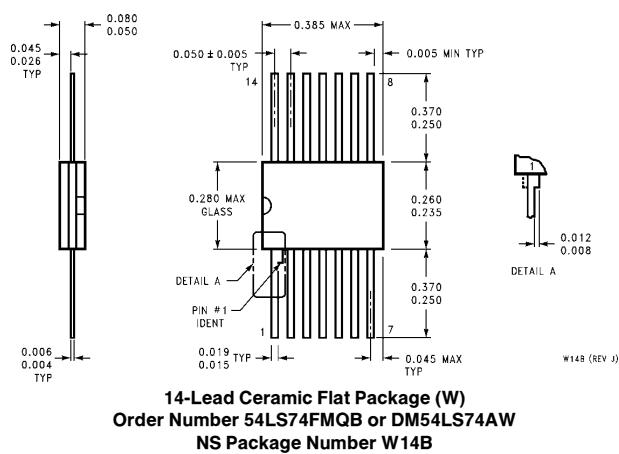
**14-Lead Small Outline Molded Package (M)**  
Order Number DM74LS74AM  
NS Package Number M14A



**14-Lead Molded Dual-In-Line Package (N)**  
Order Number DM74LS74AN  
NS Package Number N14A

# 54LS74/DM54LS74A/DM74LS74A Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

## Physical Dimensions inches (millimeters) (Continued)



### LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
1111 West Bardin Road  
Arlington, TX 76017  
Tel: (800) 272-9959  
Fax: (800) 737-7018

**National Semiconductor Europe**  
Fax: (+49) 0-180-530 85 86  
Email: cnjwge@tevm2.nsc.com  
Deutsch Tel: (+49) 0-180-530 85 85  
English Tel: (+49) 0-180-532 78 32  
Français Tel: (+49) 0-180-532 93 58  
Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor Hong Kong Ltd.**  
13th Floor, Straight Block,  
Ocean Centre, 5 Canton Rd.  
Tsimshatsui, Kowloon  
Hong Kong  
Tel: (852) 2737-1600  
Fax: (852) 2736-9960

**National Semiconductor Japan Ltd.**  
Tel: 81-043-299-2309  
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.



National Semiconductor

May 1992

# 54LS161A/DM54LS161A/DM74LS161A, 54LS163A/DM54LS163A/DM74LS163A Synchronous 4-Bit Binary Counters

## General Description

### 54LS161A/DM54LS161A/DM74LS161A, 54LS163A/DM54LS163A/DM74LS163A Synchronous 4-Bit Binary Counters

These synchronous, presettable counters feature an internal carry look-ahead for application in high-speed counting designs. The LS161A and LS163A are 4-bit binary counters. The carry output is decoded by means of a NOR gate, thus preventing spikes during the normal counting mode of operation. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation eliminates the output counting spikes which are normally associated with asynchronous (ripple clock) counters. A buffered clock input triggers the four flip-flops on the rising (positive-going) edge of the clock input waveform.

These counters are fully programmable; that is, the outputs may be preset to either level. As presetting is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the setup data after the next clock pulse, regardless of the levels of the enable input. The clear function for the LS161A is asynchronous; and a low level at the clear input sets all four of the flip-flop outputs low, regardless of the levels of clock, load, or enable inputs. The clear function for the LS163A is synchronous; and a low level at the clear inputs sets all four of the flip-flop outputs low after the next clock pulse, regardless of the levels of the enable inputs. This synchronous clear allows the count length to be modified easily, as decoding the maximum count desired can be accomplished with one external NAND gate. The gate output is connected to the clear input to synchronously clear the counter to all low outputs.

The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional

gating. Instrumental in accomplishing this function are two count-enable inputs and a ripple carry output.

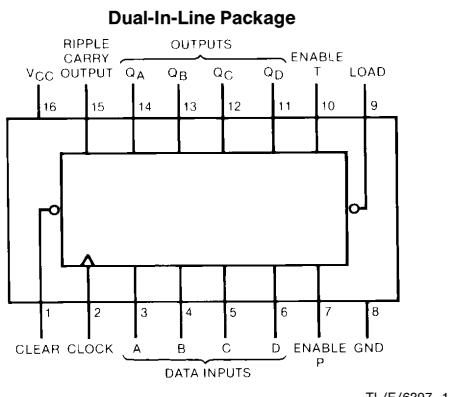
Both count-enable inputs (P and T) must be high to count, and input T is fed forward to enable the ripple carry output. The ripple carry output thus enabled will produce a high-level output pulse with a duration approximately equal to the high-level portion of the Q<sub>A</sub> output. This high-level overflow ripple carry pulse can be used to enable successive cascaded stages. High-to-low level transitions at the enable P or T inputs may occur, regardless of the logic level of the clock.

These counters feature a fully independent clock circuit. Changes made to control inputs (enable P or T or load) that will modify the operating mode have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable set-up and hold times.

## Features

- Synchronously programmable
- Internal look-ahead for fast counting
- Carry output for n-bit cascading
- Synchronous counting
- Load control line
- Diode-clamped inputs
- Typical propagation time, clock to Q output 14 ns
- Typical clock frequency 32 MHz
- Typical power dissipation 93 mW
- Alternate Military/Aerospace device (54LS161, 54LS163) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

## Connection Diagram



Order Numbers 54LS161ADMQB, 54LS161AFMQB,  
54LS161ALMQB, 54LS163ADMQB, 54LS163AFMQB,  
54LS163ALMQB, DM54LS161AJ, DM54LS161AW,  
DM54LS163AJ, DM54LS163AW, DM74LS161AM,  
DM74LS161AN, DM74LS163AM or DM74LS163AN  
See NS Package Number E20A, J16A,  
M16A, N16E or W16A

## Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM54LS161A			DM74LS161A			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			−0.4			−0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
f <sub>CLK</sub>	Clock Frequency (Note 1)	0		25	0		25	MHz
	Clock Frequency (Note 2)	0		20	0		20	MHz
t <sub>W</sub>	Pulse Width (Note 1)	Clock	20	6	20	6		ns
		Clear	20	9	20	9		
	Pulse Width (Note 2)	Clock	25		25			ns
		Clear	25		25			
t <sub>SU</sub>	Setup Time (Note 1)	Data	20	8	20	8		ns
		Enable P	25	17	25	17		
		Load	25	15	25	15		
	Setup Time (Note 2)	Data	20		20			ns
		Enable P	30		30			
		Load	30		30			
t <sub>H</sub>	Hold Time (Note 1)	Data	0	−3	0	−3		ns
		Others	0	−3	0	−3		
	Hold Time (Note 2)	Data	5		5			ns
		Others	5		5			
t <sub>REL</sub>	Clear Release Time (Note 1)	20			20			ns
	Clear Release Time (Note 2)	25			25			ns
T <sub>A</sub>	Free Air Operating Temperature	−55		125	0		70	°C

Note 1: C<sub>L</sub> = 15 pF, R<sub>L</sub> = 2 kΩ, T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5.5V.

Note 2: C<sub>L</sub> = 50 pF, R<sub>L</sub> = 2 kΩ, T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5.5V.

## 'LS161 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}$ , $I_I = -18 \text{ mA}$			-1.5	V
$V_{OH}$	High Level Output Voltage	$V_{CC} = \text{Min}$ , $I_{OH} = \text{Max}$ $V_{IL} = \text{Max}$ , $V_{IH} = \text{Min}$	DM54	2.5	3.4	V
			DM74	2.7	3.4	
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}$ , $I_{OL} = \text{Max}$ $V_{IL} = \text{Max}$ , $V_{IH} = \text{Min}$	DM54		0.25	0.4
			DM74		0.35	0.5
		$I_{OL} = 4 \text{ mA}$ , $V_{CC} = \text{Min}$	DM74		0.25	0.4
$I_I$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}$ $V_I = 7\text{V}$	Enable T		0.2	mA
			Clock		0.2	
			Load		0.2	
			Others		0.1	
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}$ $V_I = 2.7\text{V}$	Enable T		40	$\mu\text{A}$
			Clock		40	
			Load		40	
			Others		20	
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}$ $V_I = 0.4\text{V}$	Enable T		-0.8	mA
			Clock		-0.8	
			Load		-0.8	
			Others		-0.4	
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54	-20		-100
			DM74	-20		-100
$I_{CCH}$	Supply Current with Outputs High	$V_{CC} = \text{Max}$ (Note 3)			18	31
$I_{CCL}$	Supply Current with Outputs Low	$V_{CC} = \text{Max}$ (Note 4)			19	32

Note 1: All typicals are at  $V_{CC} = 5\text{V}$ ,  $T_A = 25^\circ\text{C}$ .

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3:  $I_{CCH}$  is measured with the load high, then again with the load low, with all other inputs high and all outputs open.

Note 4:  $I_{CCL}$  is measured with the clock input high, then again with the clock input low, with all other inputs low and all outputs open.

## 'LS161 Switching Characteristics

at  $V_{CC} = 5\text{V}$  and  $T_A = 25^\circ\text{C}$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2 \text{ k}\Omega$				Units	
			$C_L = 15 \text{ pF}$		$C_L = 50 \text{ pF}$			
			Min	Max	Min	Max		
$f_{MAX}$	Maximum Clock Frequency		25		20		MHz	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Ripple Carry		25		30	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Ripple Carry		30		38	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Any Q (Load High)		22		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Any Q (Load High)		27		38	ns	

## 'LS161 Switching Characteristics

at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load) (Continued)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\text{ k}\Omega$				Units	
			$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$			
			Min	Max	Min	Max		
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Any Q (Load Low)		24		30	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Any Q (Load Low)		27		38	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable T to Ripple Carry		14		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable T to Ripple Carry		15		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clear to Any Q		28		45	ns	

## Recommended Operating Conditions

Symbol	Parameter	DM54LS163A			DM74LS163A			Units
		Min	Nom	Max	Min	Nom	Max	
$V_{CC}$	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	High Level Input Voltage	2			2			V
$V_{IL}$	Low Level Input Voltage			0.7			0.8	V
$I_{OH}$	High Level Output Current			-0.4			-0.4	mA
$I_{OL}$	Low Level Output Current			4			8	mA
$f_{CLK}$	Clock Frequency (Note 1)	0		25	0		25	MHz
	Clock Frequency (Note 2)	0		20	0		20	MHz
$t_W$	Pulse Width (Note 1)	Clock	20	6		20	6	ns
		Clear	20	9		20	9	
	Pulse Width (Note 2)	Clock	25			25		ns
		Clear	25			25		
$t_{SU}$	Setup Time (Note 1)	Data	20	8		20	8	ns
		Enable P	25	17		25	17	
		Load	25	15		25	15	
	Setup Time (Note 2)	Data	20			20		ns
		Enable P	30			30		
		Load	30			30		
$t_H$	Hold Time (Note 1)	Data	0	-3		0	-3	ns
		Others	0	-3		0	-3	
	Hold Time (Note 2)	Data	5			5		ns
		Others	5			5		
$t_{REL}$	Clear Release Time (Note 1)	20			20			ns
	Clear Release Time (Note 2)	25			25			ns
$T_A$	Free Air Operating Temperature	-55		125	0		70	°C

Note 1:  $C_L = 15\text{ pF}$ ,  $R_L = 2\text{ k}\Omega$ ,  $T_A = 25^\circ C$  and  $V_{CC} = 5V$ .

Note 2:  $C_L = 50\text{ pF}$ ,  $R_L = 2\text{ k}\Omega$ ,  $T_A = 25^\circ C$  and  $V_{CC} = 5V$ .

## 'LS163 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}$ , $I_I = -18 \text{ mA}$				-1.5	V
$V_{OH}$	High Level Output Voltage	$V_{CC} = \text{Min}$ , $I_{OH} = \text{Max}$ $V_{IL} = \text{Max}$ , $V_{IH} = \text{Min}$	DM54	2.5	3.4		V
			DM74	2.7	3.4		
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}$ , $I_{OL} = \text{Max}$ $V_{IL} = \text{Max}$ , $V_{IH} = \text{Min}$	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		$I_{OL} = 4 \text{ mA}$ , $V_{CC} = \text{Min}$	DM74		0.25	0.4	
$I_I$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}$ $V_I = 7\text{V}$	Enable T			0.2	mA
			Clock, Clear			0.2	
			Load			0.2	
			Others			0.1	
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}$ $V_I = 2.7\text{V}$	Enable T			40	$\mu\text{A}$
			Load			40	
			Clock, Clear			40	
			Others			20	
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}$ $V_I = 0.4\text{V}$	Enable T			-0.8	mA
			Clock, Clear			-0.8	
			Load			-0.8	
			Others			-0.4	
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54	-20		-100	mA
			DM74	-20		-100	
$I_{CCH}$	Supply Current with Outputs High	$V_{CC} = \text{Max}$ (Note 3)			18	31	mA
$I_{CCL}$	Supply Current with Outputs Low	$V_{CC} = \text{Max}$ (Note 4)			18	32	mA

Note 1: All typicals are at  $V_{CC} = 5\text{V}$ ,  $T_A = 25^\circ\text{C}$ .

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3:  $I_{CCH}$  is measured with the load high, then again with the load low, with all other inputs high and all outputs open.

Note 4:  $I_{CCL}$  is measured with the clock input high, then again with the clock input low, with all other inputs low and all outputs open.

## 'LS163 Switching Characteristics

at  $V_{CC} = 5\text{V}$  and  $T_A = 25^\circ\text{C}$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2 \text{ k}\Omega$				Units	
			$C_L = 15 \text{ pF}$		$C_L = 50 \text{ pF}$			
			Min	Max	Min	Max		
$f_{MAX}$	Maximum Clock Frequency		25		20		MHz	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Ripple Carry		25		30	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Ripple Carry		30		38	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Any Q (Load High)		22		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Any Q (Load High)		27		38	ns	

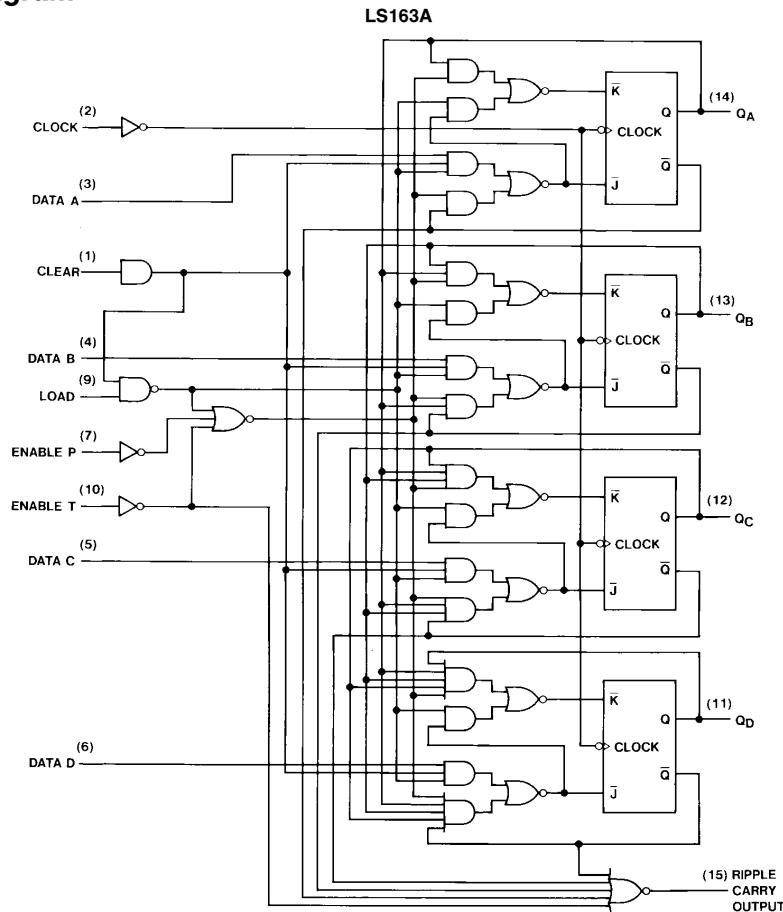
## 'LS163 Switching Characteristics

at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load) (Continued)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2 k\Omega$				Units	
			$C_L = 15 pF$		$C_L = 50 pF$			
			Min	Max	Min	Max		
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Clock to Any Q (Load Low)		24		30	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clock to Any Q (Load Low)		27		38	ns	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable T to Ripple Carry		14		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable T to Ripple Carry		15		27	ns	
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Clear to Any Q (Note 1)		28		45	ns	

Note 1: The propagation delay clear to output is measured from the clock input transition.

## Logic Diagram

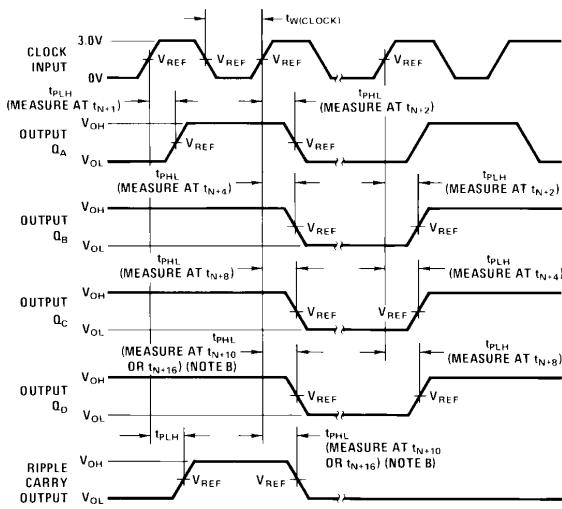


The LS161A is similar, however, the clear buffer is connected directly to the flip flops.

TL/F/6397-2

## Parameter Measurement Information

**Switching Time Waveforms**



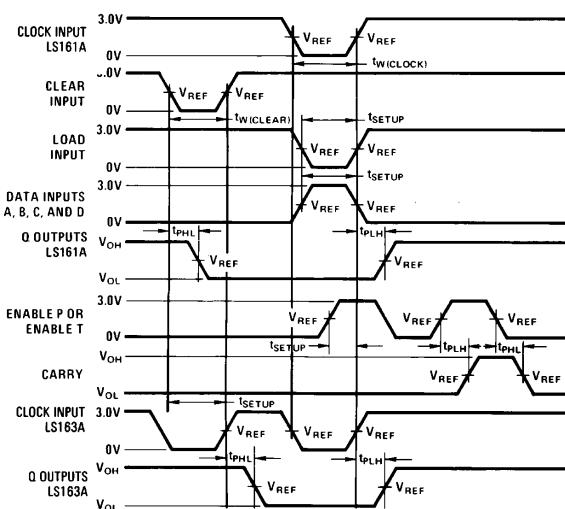
TL/F/6397-3

**Note A:** The input pulses are supplied by generators having the following characteristics: PRR  $\leq$  1 MHz, duty cycle  $\leq$  50%,  $Z_{OUT} \approx 50\Omega$ ,  $t_r \leq 10$  ns,  $t_f \leq 10$  ns. Vary PRR to measure  $f_{MAX}$ .

**Note B:** Outputs  $Q_D$  and carry are tested at  $t_{n+16}$  where  $t_n$  is the bit time when all outputs are low.

**Note C:**  $V_{REF} = 1.5V$ .

**Switching Time Waveforms**



TL/F/6397-4

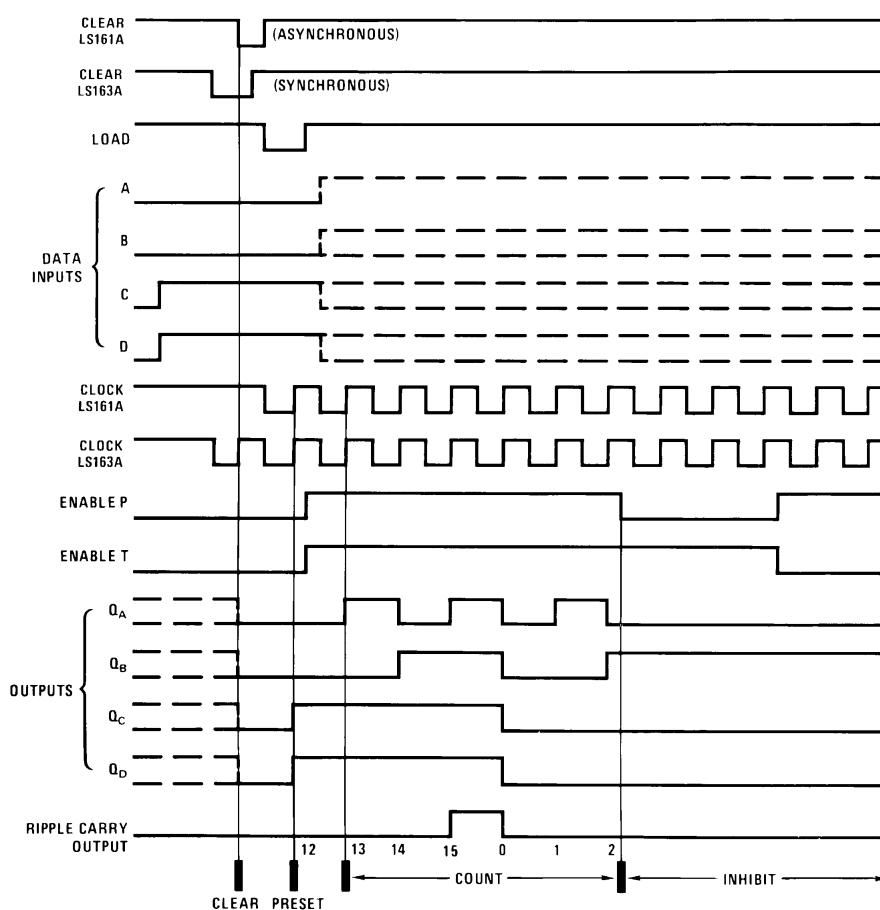
**Note A:** The input pulses are supplied by generators having the following characteristics: PRR  $\leq$  1 MHz, duty cycle  $\leq$  50%,  $Z_{OUT} \approx 50\Omega$ ,  $t_r \leq 6$  ns,  $t_f \leq 6$  ns. Vary PRR to measure  $f_{MAX}$ .

**Note B:** Enable P and enable T setup times are measured at  $t_{n+0}$ .

**Note C:**  $V_{REF} = 1.3V$ .

## Timing Diagram

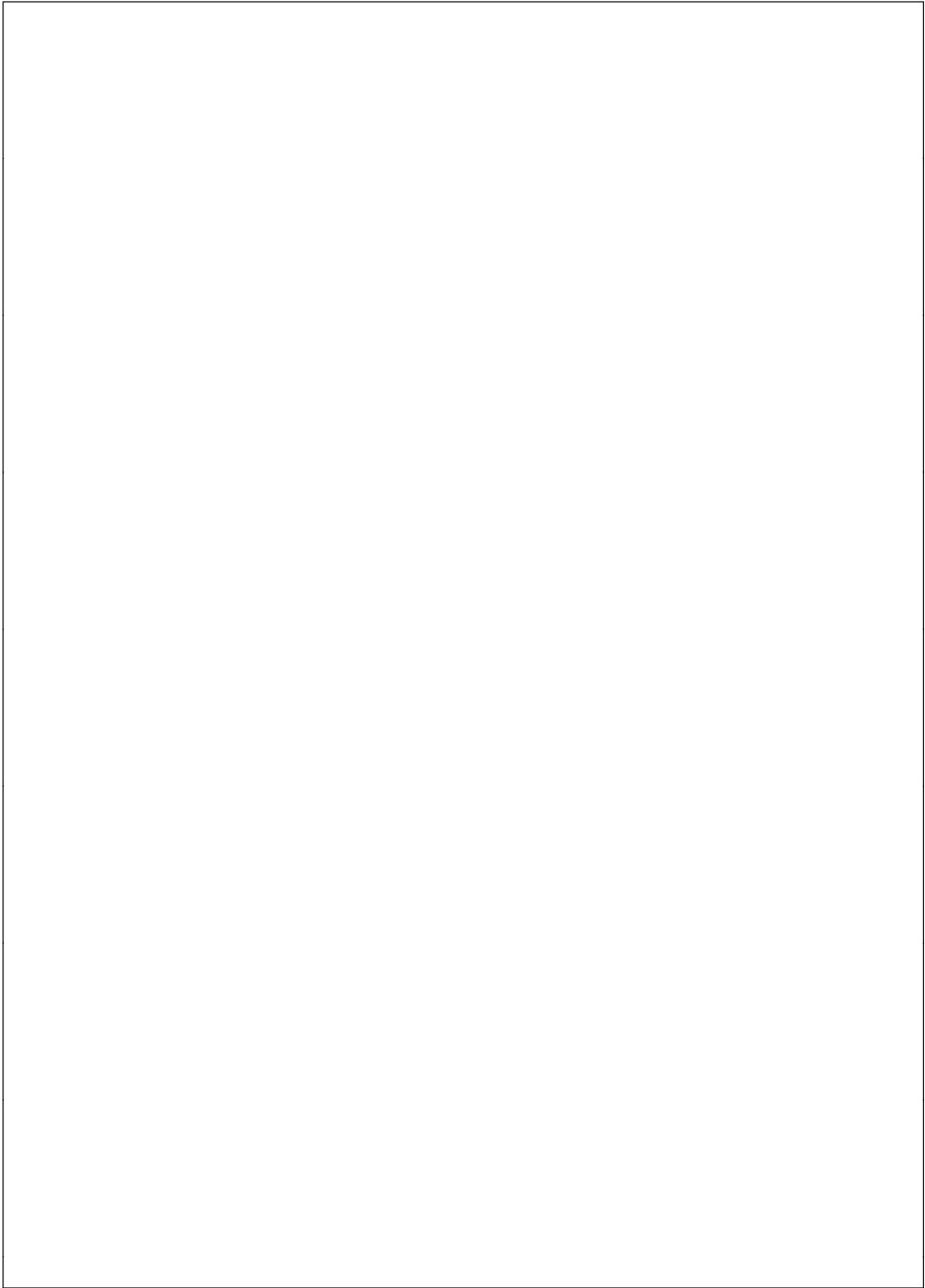
LS161A, LS163A Synchronous Binary Counters  
Typical Clear, Preset, Count and Inhibit Sequences



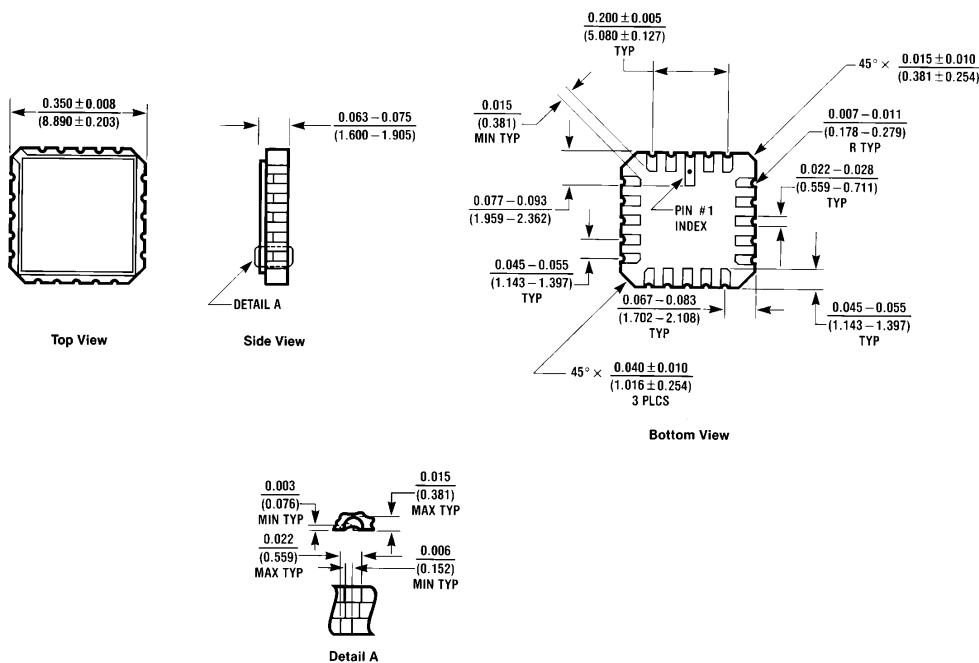
TL/F/6397-5

**Sequence:**

- (1) Clear outputs to zero
- (2) Preset to binary twelve
- (3) Count to thirteen, fourteen, fifteen, zero, one, and two
- (4) Inhibit

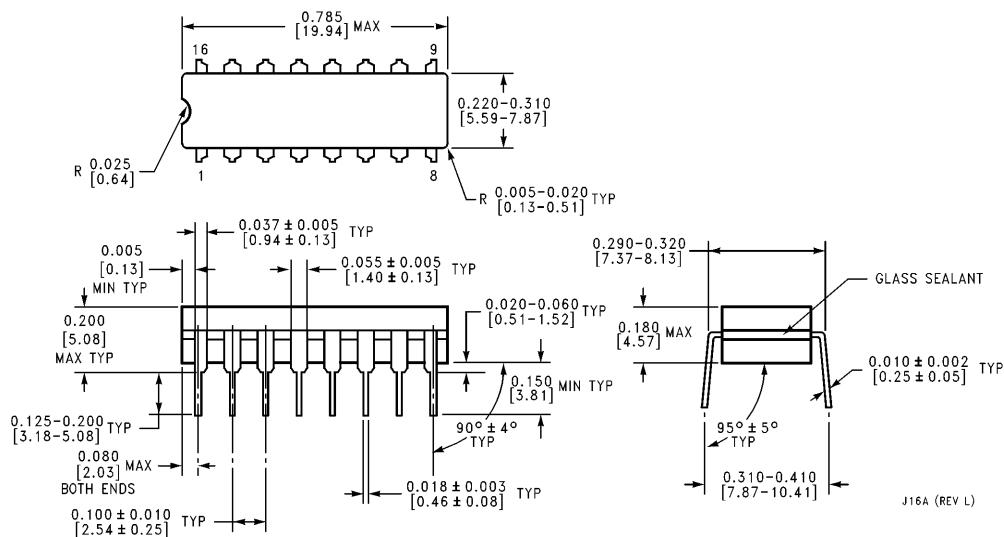


## Physical Dimensions inches (millimeters)



**Ceramic Leadless Chip Carrier Package (E)**  
Order Numbers 54LS161ALMQB or 54LS163ALMQB  
NS Package Number E20A

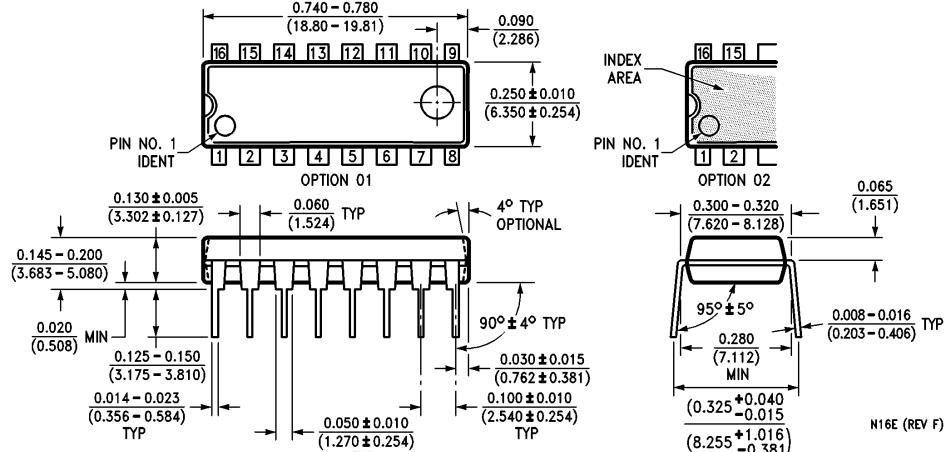
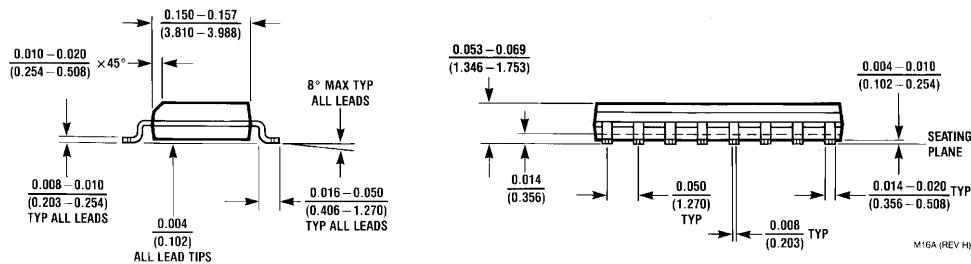
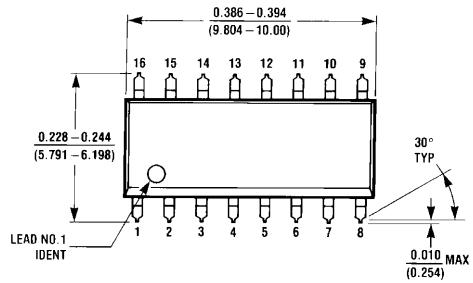
E20A (REV D)



**16-Lead Ceramic Dual-In-Line Package (J)**  
Order Numbers 54LS161ADMQB, 54LS163ADMQB, DM54LS161AJ or DM54LS163AJ  
NS Package Number J16A

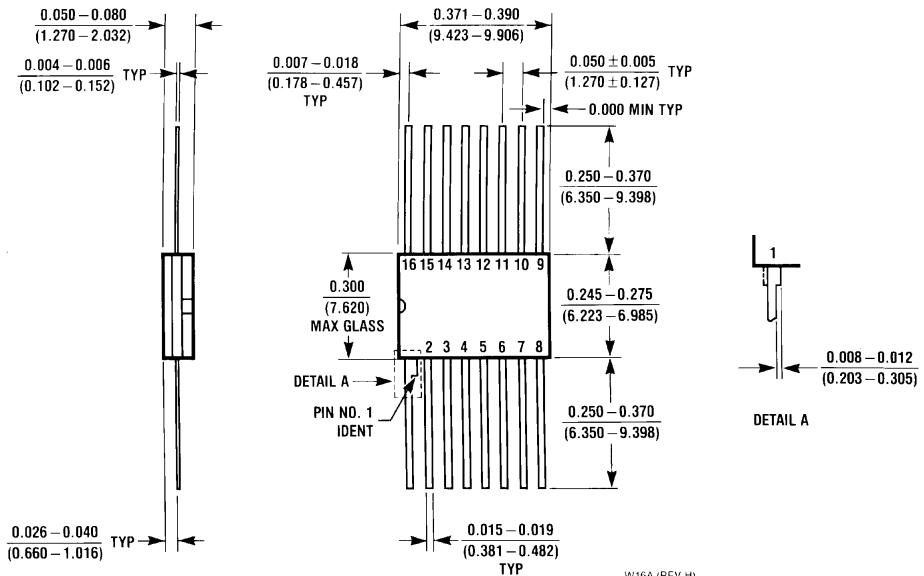
J16A (REV L)

## Physical Dimensions inches (millimeters) (Continued)



# 54LS161A/DM54LS161A/DM74LS161A, 54LS163A/DM54LS163A/DM74LS163A Synchronous 4-Bit Binary Counters

## **Physical Dimensions** inches (millimeters) (Continued)



**16-Lead Ceramic Flat Package (W)  
Order Numbers 54LS161AFMQB, 54LS163AFMQB,  
DM54LS161AN or DM54LS163AW  
NS Package Number W16A**

## **LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
  2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

<b>National Semiconductor Corporation</b> 1111 West Bardin Road Arlington, TX 76017 Tel: (800) 272-9959 Fax: (800) 737-7018	<b>National Semiconductor Europe</b> Fax: (+49) 0-180-530 85 86 Email: cnjwpe@tevm2.nsc.com Deutsch Tel: (+49) 0-180-530 85 85 English Tel: (+49) 0-180-532 78 32 Français Tel: (+49) 0-180-532 92 58 Italiano Tel: (+49) 0-180-534 16 80	<b>National Semiconductor Hong Kong Ltd.</b> 13th Floor, Straight Block, Ocean Centre, 5 Canton Rd. Tsimshatsui, Kowloon Hong Kong Tel: (852) 2737-1600 Fax: (852) 2736-9960	<b>National Semiconductor Japan Ltd.</b> Tel: 81-043-299-2309 Fax: 81-043-299-2408
---	---	--	--

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

**Universidade do Minho - Departamento de Electrónica Industrial**

**Mestrado Integrado em Engenharia Electrónica Industrial e Computadores**

## **Sistemas Digitais A - Laboratórios**

# **Introdução aos Sistemas Digitais**

**Duração máxima: 1 aula.**

**Durante a realização do trabalho**, os alunos devem:

- 1) Realizar as montagens indicadas no guia.
- 2) Registar no logbook todos os valores calculados e medidos e demais informação relevante (diagramas, etc).

**Depois de realizar o trabalho na totalidade**, os alunos devem:

- 1) Ter adquirido conhecimentos básicos sobre a montagem e teste de circuitos digitais.
- 2) Ter verificado experimentalmente os tópicos propostos.

**Elementos de estudo:**

- 1) Acetatos de Sistemas Digitais A.
- 2) Bertoldo Schneider Jr., Fábio Kurt Schneider, “Famílias e Tecnologias Digitais”. Disponível em <http://pessoal.cefetpr.br/bertoldo/Downloads/FamiliasDig.PDF>
- 3) John F. Wakerly, “Digital Design, Principles and Practices”, Prentice Hall, 2000.

## DICAS DE MONTAGEM

- A Figura 1 explica como as linhas da breadboard estão ligadas internamente e o modo correcto de colocação de um CI (Circuito Integrado). Deste modo, cada pino do CI fica ligado a uma linha diferente da breadboard, restando ainda, para cada pino, 4 furos que permitem a interligação com outros componentes, com o auxílio de fios de ligação.
- Deve-se alimentar os integrados com VCC (+5V) e GND (0V) antes de aplicar qualquer sinal ou fazer as medições. A alimentação pode ser obtida do Digital Lab ou de outra fonte de alimentação.
- O VCC deve ser ligado a uma das duas linhas horizontais superiores da breadboard e o GND a uma das duas linhas inferiores. De seguida, liga-se um fio do VCC ao pino respectivo do integrado, fazendo-se o mesmo para o GND. Esse procedimento visa optimizar as ligações quando a montagem utiliza vários integrados.
- Atenção: como mostra a Figura 1, normalmente as linhas horizontais da esquerda não fazem contacto com as da direita na breadboard.
- Não se deve passar fios de ligação "por cima" dos integrados. Esse procedimento visa facilitar a sua troca em caso de avaria ou modificação do circuito.
- Descarnar apenas o comprimento necessário para inserção dos fios nos furos da breadboard (cerca de 0.5 cm). Isso evita que as pontas sem isolamento dos fios possam vir a tocar accidentalmente outro ponto do circuito e provocar curto-circuitos. Cada grupo deve usar os seus próprios alicates.
- Um fio danificado pode causar mau contacto e comprometer o funcionamento do circuito. Quando uma ponta sem isolamento se deteriora (pode acontecer ao descarnar o fio), deve-se cortá-la e utilizar o alicate para fazer uma nova ponta.

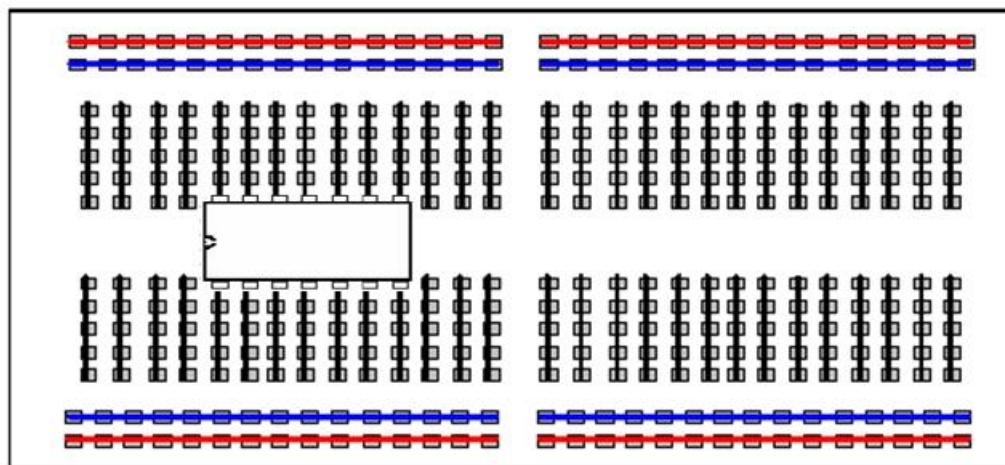


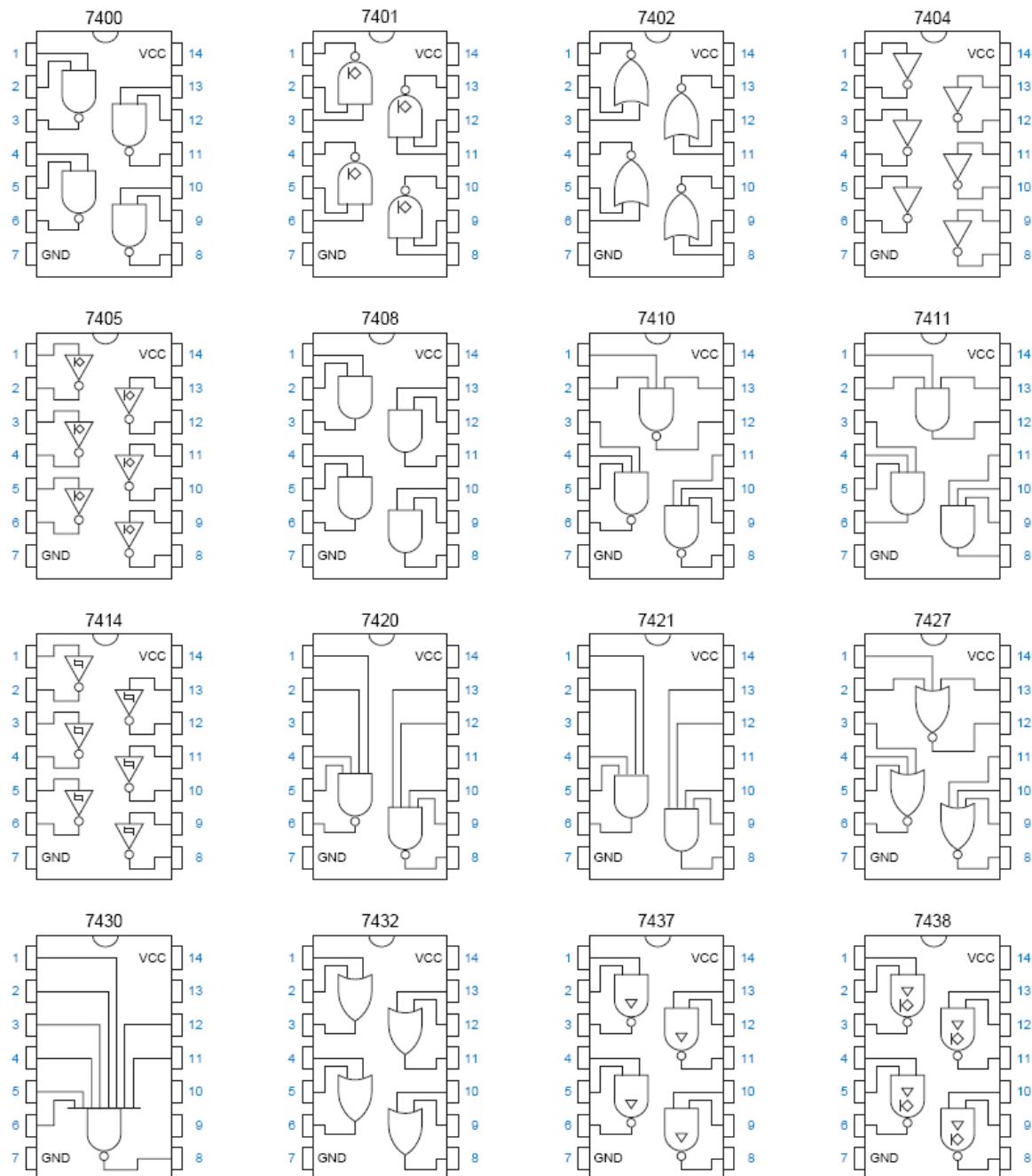
Figura 1 - Ligações internas da breadboard e modo correcto de colocação de um CI.

## PROCEDIMENTO

**Antes de iniciar o procedimento, leia atentamente as dicas de montagem contidas neste guia.**

A Figura 2 apresenta o *pinout* de alguns dos integrados da família TTL mais utilizados. Esses integrados contém apenas elementos digitais básicos (portas lógicas), existindo outros integrados com elementos mais complexos.

Deve sempre consultar o *datasheet* de cada integrado utilizado, não só para conhecer o seu *pinout* (repare que o 7402 tem *pinout* diferente do 7400) mas também para se obter informações importantes sobre o seu funcionamento e características eléctricas.



**Figura 2 - Pinout de alguns dos integrados TTL mais utilizados.**

Os circuitos digitais operam com níveis lógicos binários (0 e 1). Nos trabalhos práticos efectuados nas aulas práticas, iremos considerar que o nível lógico 0 corresponde a tensões próximas de 0V, e o nível lógico 1 corresponde a tensões em torno de 4 ou 5V.

**A medição de valores de tensão fora dessas gamas (por exemplo, em torno de 2V) normalmente indica que há problemas com o circuito.**

A Figura 3 apresenta uma porta lógica OR com 2 entradas (X e Y) e uma saída (Z). Como mostra a Figura 2, o circuito integrado 7432 contém 4 portas OR de 2 entradas.



**Figura 3 - Porta lógica OR.**

1) Insira um integrado 7432 na breadboard. Ligue os pinos de alimentação do integrado à fonte do Digital Lab da forma especificada nas dicas de montagem (só ligue a fonte após a montagem estar completa).

O Digital Lab possui 4 interruptores que fornecem 0V e 5V. Escolha uma das 4 portas lógicas do integrado e ligue um interruptor à sua entrada X e outro à sua entrada Y.

**OBS: Nunca se deve aplicar uma tensão (por exemplo, ligar um interruptor do Digital Lab) à uma saída de um componente digital, nem ligar duas saídas normais entre si, pois isso provoca um curto-circuito que pode danificar os componentes.**

Ligue o Digital Lab. Utilizando o multímetro (cada grupo deve ter o seu), preencha uma tabela (no logbook) com as tensões X, Y e Z para as 4 combinações das posições dos interruptores. Associe as tensões medidas aos níveis lógicos correspondentes.

2) Repita o procedimento anterior utilizando o integrado 7408 (portas AND) em vez do 7432.

3) Repita o procedimento anterior utilizando o integrado 7400 (portas NAND).

4) Repita o procedimento anterior utilizando o integrado 7404 (portas inversoras). Atenção que esta porta tem apenas uma entrada e, naturalmente, o *pinout* do integrado é diferente dos anteriores.

**Universidade do Minho - Departamento de Electrónica Industrial**

**Mestrado Integrado em Engenharia Electrónica Industrial e Computadores**

## **Sistemas Digitais A - Laboratórios**

# **Circuitos Integrados Digitais**

**Duração máxima: 2 aulas.**

*Os alunos devem entregar no início da 1ª aula do trabalho (e copiar para o Logbook) a preparação prévia, com a resolução de todas as questões indicadas em itálico no guia.*

**Antes de realizar o trabalho,** os alunos devem ter estudado os seguintes tópicos:

- 1) Correntes  $I_{IL}$ ,  $I_{IH}$ ,  $I_{OL}$  e  $I_{OH}$  e tensões  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  e  $V_{OH}$ .
- 2) Fanout de portas TTL.
- 3) Margem de ruído.
- 4) Utilização do osciloscópio (consultar a referência 3 abaixo).

**Durante a realização do trabalho,** os alunos devem:

- 1) Realizar as montagens indicadas no guia.
- 2) Registar no logbook todos os valores calculados e medidos.

**Depois de realizar o trabalho na totalidade,** os alunos devem:

- 1) Ter verificado experimentalmente os tópicos propostos.
- 2) Saber o significado de cada elemento da referência de um circuito integrado TTL.
- 3) Saber interpretar as folhas de dados (datasheets) com informação do fabricante.
- 4) Saber dimensionar cargas em circuitos TTL.

### **Elementos de estudo:**

- 1) Acetatos de Sistemas Digitais A.
- 2) Bertoldo Schneider Jr., Fábio Kurt Schneider, “Famílias e Tecnologias Digitais”. Disponível em <http://pessoal.cefetpr.br/bertoldo/Downloads/FamiliasDig.PDF>
- 3) Guia de utilização do osciloscópio da Doctronics: “Using an Oscilloscope”. Disponível em <http://www.doctronics.co.uk/scope.htm>
- 4) John F. Wakerly, “Digital Design, Principles and Practices”, Prentice Hall, 2000.

## PROCEDIMENTO

1 - Com base no exame do circuito integrado 74LS04 que lhe foi fornecido, *responda às seguintes questões:*

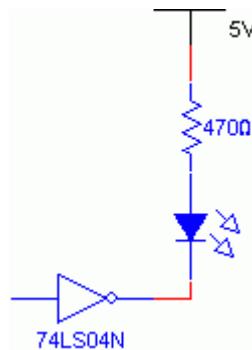
- Qual é o fabricante do CI?
- Qual é a série desse CI?
- Qual é a sua tecnologia interna?
- Qual é o tipo de dispositivo/função desse CI?
- Qual é o tipo de encapsulamento utilizado?

Para cada item acima, *forneca um exemplo alternativo correspondente a outro circuito integrado diferente do utilizado.*

2 - No circuito da Figura 1, considere que a entrada da porta inversora é ligada a um interruptor do Digital Lab. *Calcule o valor teórico da corrente que passa no LED quando este está aceso* (considere que a tensão no LED é 2V). *Qual é o nível lógico de saída do integrado neste caso?*

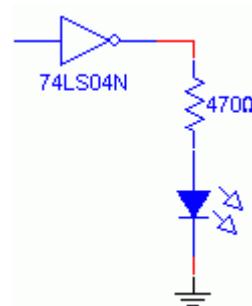
Monte o circuito, meça o valor real da tensão no LED e da corrente que passa no LED e compare com o valor teórico de corrente calculado.

Meça os valores de  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{OH}$ ,  $I_{IL}$ ,  $I_{IH}$ ,  $I_{OL}$  e  $I_{OH}$  para este circuito. Compare os valores medidos com os limites especificados pelo fabricante (consulte as tabelas fornecidas).



**Figura 1 - Circuito para acender o LED**

3 - *Calcule o valor teórico da corrente que passaria no circuito da Figura 2 quando o LED está aceso (não monte o circuito!). Qual seria o nível lógico de saída do integrado neste caso?*



**Figura 2 - Circuito que não deve ser utilizado**

Com base na consulta à Tabela 1, justifique por que o circuito da Figura 1 pode ser montado e o circuito da Figura 2 não pode.

Se no circuito da Figura 1 a resistência fosse de  $150\ \Omega$ , haveria algum problema com o funcionamento da montagem?

Tendo em consideração o propósito da montagem, se no circuito da Figura 2 a resistência fosse de  $15\ k\Omega$ , haveria algum problema com o funcionamento da montagem?

4 - Explique o significado das correntes  $I_{IL}$ ,  $I_{IH}$ ,  $I_{OL}$  e  $I_{OH}$ . Com base no sinal (positivo ou negativo) associado aos valores de corrente fornecidos pelo fabricante (Tabela 1) e nos valores medidos, deduza o sentido arbitrado pelo fabricante para a corrente de entrada e para a corrente de saída, bem como o sentido real de cada uma das 4 correntes.

Explique o significado do fanout. Calcule o fanout da porta 74LS04. No cálculo do fanout, deve-se utilizar os valores mínimos, os valores médios ou os valores máximos de  $I_{IL}$ ,  $I_{IH}$ ,  $I_{OL}$  e  $I_{OH}$ ?

No circuito da Figura 1, quantas entradas 74LS podem ser ligadas adicionalmente à saída da porta inversora?

Com base na consulta à Tabela 2, indique quantas entradas podem ser ligadas à saída de uma porta lógica nos seguintes casos:

- 74LS controla 74LS
- 74LS controla 74ALS
- 74S controla 74F
- 74F controla 74AS
- 74AS controla 74LS
- 74ALS controla 74S

5- Explique o significado das tensões  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  e  $V_{OH}$ .

No cálculo da margem de ruído, deve-se utilizar os valores mínimos, os valores médios ou os valores máximos de  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  e  $V_{OH}$ ?

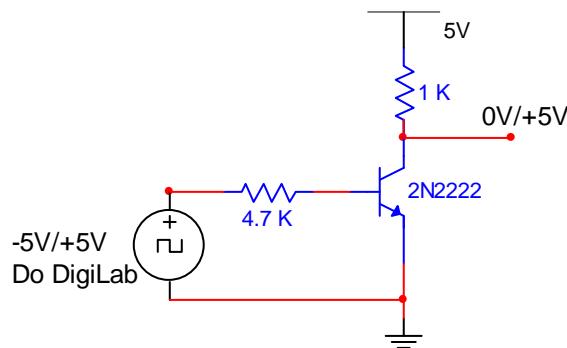
Com base nos valores dessas tensões, fornecidos pelo fabricante (Tabela 1), calcule a margem de ruído dos circuitos integrados 74LS.

Calcule a margem de ruído no caso em que a saída de um CI da série 54LS controla a entrada de um CI da série 74LS.

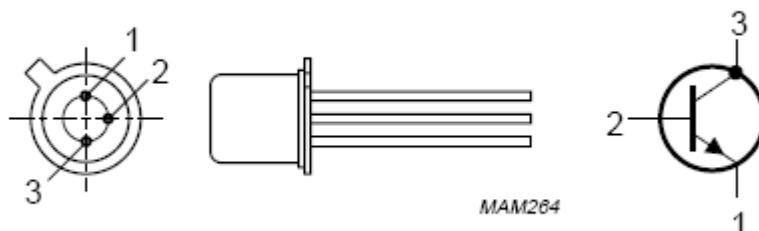
Se a margem de ruído for muito pequena, o que pode acontecer de negativo? Quais poderiam ser as consequências de uma margem de ruído negativa?

Indique duas consequências indesejáveis que podem ocorrer ao se exigir de uma porta lógica uma corrente de saída ( $I_{OL}$  ou  $I_{OH}$ ) superior ao valor máximo especificado pelo fabricante.

O Digital Lab fornece uma onda quadrada de -5V/+5V que não deve ser aplicada directamente às entradas dos integrados TTL, pois poderá danificá-los, devido à parte negativa. Para obter uma onda quadrada de 0V/+5V pode recorrer a um circuito como o apresentado na Figura 3. A Figura 4 apresenta o pinout do transístor 2N2222 (1 – emissor, 2 – base, 3 – colector).



**Figura 3 - Circuito para gerar uma onda quadrada de entrada para circuitos TTL**



**Figura 4 – Pinout do transístor 2N2222**

6 – Monte o circuito da Figura 3. Visualize em simultâneo no osciloscópio (**no modo DC**) as formas de onda de entrada (proveniente do Digital Lab) no canal 1 e de saída (colector do transístor) no canal 2. Posicione as formas de onda do canal 1 e do canal 2 na parte superior e inferior do ecrã, respectivamente, com recurso ao ajuste vertical do osciloscópio, e registe as formas de onda no Logbook.

7 - Aplique à entrada de uma porta inversora uma onda quadrada (0V/+5V), proveniente da saída do circuito da Figura 3, com a frequência de 10 kHz. Visualize em simultâneo no osciloscópio (em modo DC) as formas de onda à entrada (canal 1) e à saída (canal 2) da porta lógica. Posicione as formas de onda do canal 1 e do canal 2 na parte superior e inferior do ecrã. Registe as formas de onda no Logbook. Aumente a frequência da onda quadrada e tente medir os tempos de propagação e de transição de nível lógico com o osciloscópio.

Tabela 1

**Absolute Maximum Ratings** (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS04			DM74LS04			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			−0.4			−0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
T <sub>A</sub>	Free Air Operating Temperature	−55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = −18 mA				−1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max, V <sub>IL</sub> = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max, V <sub>IH</sub> = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74		0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V				0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V				20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V				−0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I <sub>OCH</sub>	Supply Current with Outputs High	V <sub>CC</sub> = Max			1.2	2.4	mA
I <sub>OCL</sub>	Supply Current with Outputs Low	V <sub>CC</sub> = Max			3.6	6.6	mA

**Switching Characteristics** at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R <sub>L</sub> = 2 kΩ				Units	
		C <sub>L</sub> = 15 pF		C <sub>L</sub> = 50 pF			
		Min	Max	Min	Max		
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	3	10	4	15	ns	
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	3	10	4	15	ns	

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Tabela 2

<i>Description</i>	<i>Symbol</i>	<i>Family</i>				
		<i>74S</i>	<i>74LS</i>	<i>74AS</i>	<i>74ALS</i>	<i>74F</i>
Maximum propagation delay (ns)		3	9	1.7	4	3
Power consumption per gate (mW)		19	2	8	1.2	4
Speed-power product (pJ)		57	18	13.6	4.8	12
LOW-level input voltage (V)	$V_{ILmax}$	0.8	0.8	0.8	0.8	0.8
LOW-level output voltage (V)	$V_{OLmax}$	0.5	0.5	0.5	0.5	0.5
HIGH-level input voltage (V)	$V_{IHmin}$	2.0	2.0	2.0	2.0	2.0
HIGH-level output voltage (V)	$V_{OHmin}$	2.7	2.7	2.7	2.7	2.7
LOW-level input current (mA)	$I_{ILmax}$	-2.0	-0.4	-0.5	-0.2	-0.6
LOW-level output current (mA)	$I_{OLmax}$	20	8	20	8	20
HIGH-level input current ( $\mu$ A)	$I_{IHmax}$	50	20	20	20	20
HIGH-level output current ( $\mu$ A)	$I_{OHmax}$	-1000	-400	-2000	-400	-1000

**Universidade do Minho - Departamento de Electrónica Industrial**

**Mestrado Integrado em Engenharia Electrónica Industrial e Computadores**

## **Sistemas Digitais A - Laboratórios**

# **Circuitos Combinacionais**

**Duração máxima: 3 aulas.**

*Todos os esquemáticos entregues neste e nos próximos trabalhos devem indicar os integrados utilizados e a numeração dos pinos, como no exemplo da Fig. 1.*

**Antes de realizar o trabalho,** os alunos devem ter estudado os seguintes tópicos:

- 1) Preenchimento de tabelas de verdade;
- 2) Construção de diagramas lógicos;
- 3) Funcionamento de componentes lógicos discretos;
- 4) Tipos de portas lógicas;
- 5) Álgebra de Boole;
- 6) Mapas de Karnaugh.

**Durante a realização do trabalho,** os alunos devem:

- 1) Realizar as montagens indicadas no guia;
- 2) Registar no logbook todos os valores calculados e medidos.

**Depois de realizar o trabalho na totalidade,** os alunos devem:

- 1) Ter verificado experimentalmente os tópicos anteriores;
- 2) Saber consultar e construir documentação sobre circuitos lógicos;
- 3) Ter adquirido experiência de análise de circuitos lógicos combinacionais;
- 4) Ter adquirido experiência de projecto de circuitos lógicos combinacionais.

**Elementos de estudo:**

- 1) Acetatos de Sistemas Digitais A.
- 2) John F. Wakerly, “Digital Design, Principles and Practices”, Prentice Hall, 2000.

## Desenho de Diagramas Lógicos

Há algumas regras de bom senso que devem ser utilizadas quando se desenham circuitos lógicos. Um bom desenho de circuito não só facilita a leitura, mas também e acima de tudo, facilita a depuração de erros, ou detecção de problemas de funcionamento, já que fornece toda a informação necessária quando se torna necessário inspeccionar partes do circuito.

Deverá para seu próprio benefício seguir o conjunto de recomendações aqui apresentado, e que se ilustra no diagrama lógico exemplo da Fig.1.

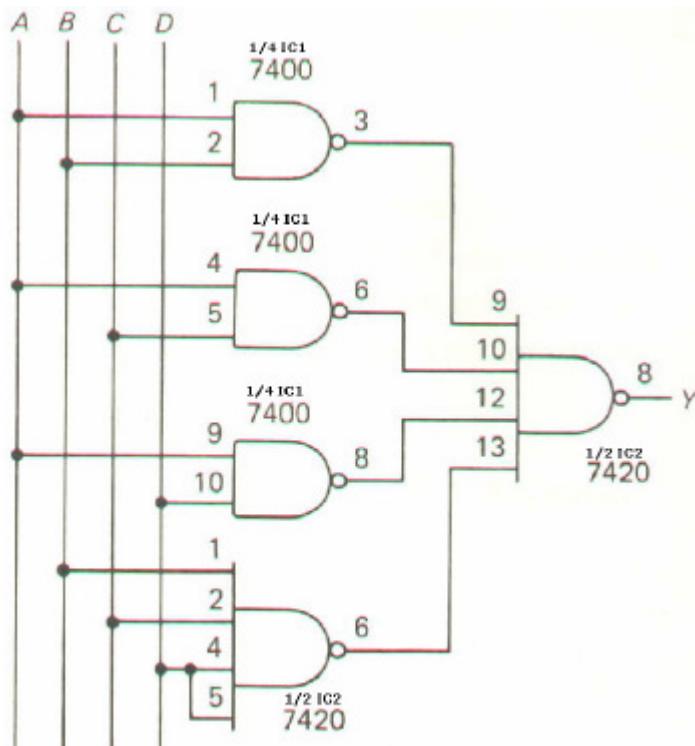


Fig.1

Repare que:

- Os circuitos integrados utilizados estão numerados (IC1, IC2).
- Além da numeração, todos os circuitos integrados estão devidamente identificados, através da sua referência standard.
- Todos os pinos de entrada e saída estão igualmente identificados. Desta forma nunca se confundirá o pino 1 de IC1 (um 7400 QUAD 2-input NAND gate), com o pino 1 de IC2 (um 7420 Dual 4-input NAND gate).

## Procedimento

1 - Implemente as funções NOT, AND e OR utilizando apenas portas NAND.

Monte e teste os circuitos.

2 - Um tribunal é constituído por 4 juízes (**A, B, C e D**). Para a decisão sobre um réu ser culpado ou inocente, cada juiz pode votar sim ou não. O réu só é considerado culpado se os juízes **A** e **B** votarem sim ou se a maioria dos juízes vota sim.

- a. Construa uma tabela de verdade em que cada juiz corresponde a uma entrada, e a saída indica a decisão: culpado ou inocente.
- b. Obtenha a expressão lógica minimizada para a saída, em função das quatro entradas, representando-a na forma de soma de produtos.
- c. Considere que tem à disposição somente portas NOT e portas AND e OR de duas entradas. Manipule a expressão lógica obtida na alínea b de forma a **minimizar o número de portas lógicas necessárias**. Desenhe o diagrama esquemático tendo em consideração as recomendações apresentadas na página 2.
- d. Monte e teste o circuito lógico correspondente ao diagrama lógico obtido na alínea c.
- e. Forneça uma solução (expressão lógica e correspondente diagrama esquemático) que utilize somente portas **NAND de 2 entradas** e que minimize o número de portas lógicas necessárias.

3 - Implemente um circuito lógico que receba como entrada a posição de um dígito de um número decimal de dez dígitos e forneça como saída o dígito correspondente (a posição do dígito mais à esquerda é 1 e do mais à direita é 10). Tanto a posição (entrada) como o valor do dígito (saída) devem ser representados em binário. Além disso, o circuito deve apresentar na saída o valor 15 para a entrada 0.

**O número de dez dígitos é único para cada grupo, sendo formado pela concatenação dos números mecanográficos (A e B, nesta ordem) dos dois elementos do grupo, com A > B, por exemplo, se os números mecanográficos fossem 79453 e 81760, o número de 10 dígitos seria 8176079453.**

Sendo A1 e B1 os dígitos mais à esquerda dos números mecanográficos, a correspondência entre as entradas e saídas que devem ser fornecidas pelo circuito é a seguinte:

0→15, 1→A1, 2→A2, 3→A3, 4→A4, 5→A5, 6→B1, 7→B2, 8→B3, 9→B4, 10→B5

- a. Construa a tabela de verdade para este problema.
- b. Obtenha expressões lógicas minimizadas para as saídas com recurso a mapas de Karnaugh.
- c. Construa o diagrama lógico do circuito, seguindo as recomendações fornecidas, procurando minimizar o número de circuitos integrados utilizados.
- d. Monte e teste o circuito.

OBS1: As combinações de entrada que não são referidas no problema não interessam.

OBS2: Procure reaproveitar os mesmos agrupamentos das diferentes saídas nos mapas de Karnaugh, pois isso permite reduzir o número de portas lógicas necessárias.

OBS3: Caso o grupo tenha apenas um elemento, o número B é a parte inteira de A/2, em que A é o número mecanográfico do aluno.

**Universidade do Minho - Departamento de Electrónica Industrial**

**Mestrado Integrado em Engenharia Electrónica Industrial e Computadores**

## **Sistemas Digitais A - Laboratórios**

# **Multiplexadores, Descodificadores e Buffers 3-State**

**Duração máxima: 2 aulas.**

*Os alunos devem entregar no início da 1ª aula do trabalho (e copiar para o Logbook) a preparação prévia, com a resolução de todas as questões indicadas em itálico no guia.*

**Antes de realizar o trabalho,** os alunos devem ter estudado os seguintes tópicos:

- 1) Como funcionam multiplexadores, descodificadores e buffers 3-state;
- 2) Implementação de funções lógicas com multiplexadores e descodificadores.

**Durante a realização do trabalho,** os alunos devem:

- 1) Realizar as montagens indicadas no guia;
- 2) Registar no logbook todos os valores calculados e medidos.

**Depois de realizar o trabalho na totalidade,** os alunos devem:

- 1) Ter verificado experimentalmente os tópicos propostos;
- 2) Ter adquirido experiência com multiplexadores, descodificadores e buffers 3-state.

**Elementos de estudo:**

- 1) Acetatos de Sistemas Digitais A.
- 2) John F. Wakerly, “Digital Design, Principles and Practices”, Prentice Hall, 2000.

## PROCEDIMENTO

Considere nas questões seguintes que A e B são os números mecanográficos (de 5 dígitos decimais) dos dois elementos do grupo, com **A > B**, sendo A1 e B1 os dígitos decimais mais à esquerda dos respectivos números, A5 e B5 os dígitos mais à direita. Caso o grupo tenha apenas um elemento, o número B é obtido da parte inteira de A/2, em que A é o número mecanográfico do aluno.

1 - Implemente, **com recurso a multiplexadores 4:1**, um circuito lógico que receba como entrada a posição de um dígito de um número decimal de dez dígitos e forneça como saída o dígito correspondente. Tanto a posição (entrada) como o dígito (saída) devem ser representados em binário. O número de dez dígitos é formado pela concatenação dos números mecanográficos (B e A) dos dois elementos do grupo, pelo que a correspondência entre as posições e os dígitos que devem ser fornecidos pelo circuito é a seguinte:

$$1 \rightarrow B_1, 2 \rightarrow B_2, 3 \rightarrow B_3, 4 \rightarrow B_4, 5 \rightarrow B_5, 6 \rightarrow A_1, 7 \rightarrow A_2, 8 \rightarrow A_3, 9 \rightarrow A_4, 10 \rightarrow A_5$$

Além disso, o circuito deve fornecer o número 13 na saída quando número de entrada for 15 ( $15 \rightarrow 13$ ).

Utilize os multiplexadores disponíveis no circuito integrado 74153 (dois destes CIs são suficientes) e um mínimo de portas lógicas auxiliares.

*Apresente todos os passos associados ao projecto, desde a construção da tabela de verdade até ao desenho do diagrama esquemático do circuito.*

Monte o circuito e teste o seu funcionamento.

2 – Implemente, **com recurso a descodificadores 2:4**, um circuito que, em função da combinação dos valores de 3 entradas (A, B e C), habilite os dispositivos (D0 a D9) conforme indicado na tabela abaixo. Considere que **os dispositivos são habilitados com nível lógico 1**. Utilize para o efeito um circuito integrado 74139 e um mínimo de portas lógicas auxiliares.

Os dispositivos a serem habilitados dependem dos valores dos dígitos dos números mecanográficos dos elementos do grupo. Assim, por exemplo, se A=57317, A1=5, portanto D(A1)=D5, A2=7, pelo que D(A2)=D7, e assim por diante.

A	B	C	Dispositivos habilitados
0	0	0	D(A2), D(A3)
0	0	1	D(B2),
0	1	0	D(A4), D(A5), D(B3)
0	1	1	D(A2), D(B4)
1	0	0	D(B5)
1	0	1	D(A1), D(A3)
1	1	0	D(B4), D(A5)
1	1	1	D(A5), D(B5)

*Apresente todos os passos associados ao projecto, desde a construção da tabela com a indicação dos dispositivos habitados (com base nos valores dos dígitos dos números mecanográficos) até ao desenho do diagrama esquemático do circuito.*

Monte o circuito e teste o seu funcionamento.

3 – *Apresente o diagrama esquemático de um multiplexador 4:1 implementado com recurso a um descodificador 2:4 (74139) e buffers 3-state (74125).*

Monte o circuito e teste o seu funcionamento.

**Universidade do Minho - Departamento de Electrónica Industrial**

**Mestrado Integrado em Engenharia Electrónica Industrial e Computadores**

## **Sistemas Digitais A - Laboratórios**

# **Latches, Flip-flops e Circuitos Sequenciais**

**Duração máxima: 3 aulas.**

*Os alunos devem entregar no início das aulas (e copiar para o Logbook) a preparação prévia, com a resolução de todas as questões indicadas em itálico no guia.*

**Antes de realizar o trabalho**, os alunos devem ter estudado os seguintes tópicos:

- 1) Funcionamento interno e distinção entre um latch e um flip-flop;
- 2) Funcionamento de flip-flops D, T e JK;
- 3) Obtenção de um flip-flop de um tipo a partir de um flip-flop de outro tipo;
- 4) Diferenças entre lógica combinacional e lógica sequencial;
- 5) Construção de diagramas de estado.

**Durante a realização do trabalho**, os alunos devem:

- 1) Realizar as montagens indicadas no guia;
- 2) Registar no logbook todos os valores calculados e medidos.

**Depois de realizar o trabalho na totalidade**, os alunos devem:

- 1) Ter verificado experimentalmente os tópicos propostos;
- 2) Ser capazes de identificar e evitar problemas de *bounce*;
- 3) Ser capazes de distinguir um flip-flop activado por flanco ascendente (*positive-edge-triggered*) de um flip-flop activado por flanco descendente (*negative-edge-triggered*);
- 4) Ser capazes de projectar um pequeno circuito sequencial.

**Elementos de estudo:**

- 1) Acetatos de Sistemas Digitais A.
- 2) John F. Wakerly, “Digital Design, Principles and Practices”, Prentice Hall, 2000.

## PROCEDIMENTO

1 - É possível obter um latch  $\bar{S} \bar{R}$  ( $\bar{S}$  de “Set” e  $\bar{R}$  de “Reset”) numa implementação utilizando apenas duas gates NAND. Confirme tal facto montando o circuito da figura 1.

**OBS:** Os nomes das entradas deste latch (que devem ser ligadas directamente aos interruptores) são  $\bar{S}$  (S negado) e  $\bar{R}$  (R negado), o que indica que as estradas são activadas com nível lógico baixo. Para obter um latch SR bastaria acrescentar dois inversores às entradas.

Apresente uma tabela com os valores de  $\bar{S}$ ,  $\bar{R}$ ,  $Q$  e  $\bar{Q}$ . O que sucede com as saídas quando se aplica o nível lógico "0" simultaneamente às entradas  $\bar{S}$  e  $\bar{R}$ ?

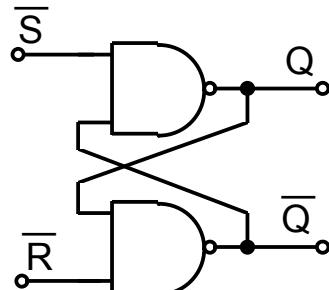


Fig 1. Latch  $\bar{S} \bar{R}$

2 - Monte um flip-flop D usando o circuito integrado 7474 e teste o seu funcionamento.

Apresente a tabela e o diagrama de estados do flip-flop D. Explique a diferença entre o **flip-flop D** e o **latch D**. Apresente uma implementação do flip-flop D com recurso a latches D e lógica simples.

**OBS:** As figuras a seguir representam flip-flops activados por flanco descendente. No entanto, o circuito integrado 7474, utilizado nas aulas, contém dois flip-flops D activados por flanco ascendente (positive-edge-triggered).

3 - Implemente um flip-flop T (do tipo apresentado na figura 2) com recurso a um flip-flop D do 7474 e portas lógicas. Apresente o diagrama de estados do flip-flop T.

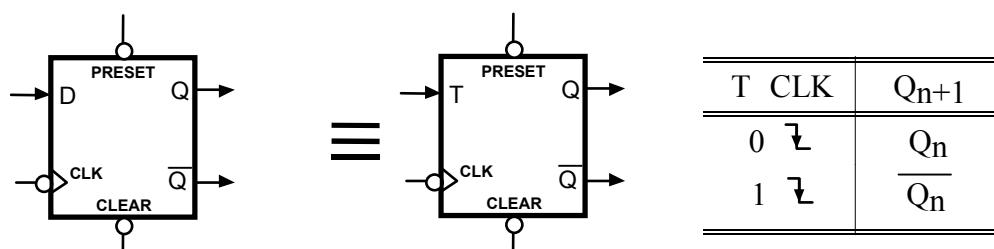


Fig. 2 - Flip-flops D e T

Monte o circuito. Antes de testar o seu funcionamento, deve montar o circuito de *debounce* descrito na secção 4.

4 - Quando uma saída provém directamente de um comutador, esta é afectada por problemas de **vibração mecânica (bounce)** quando o contacto se fecha (como ilustrado na figura 3a). Se a saída do comutador for utilizada como entrada de relógio (clock) de um circuito sequencial, irão ocorrer múltiplas transições do clock para cada accionamento do comutador, em vez de só uma, como seria desejável.

**OBS:** A figura 3a apresenta uma representação do circuito de um comutador (P4 a P7) que se encontra montado no interior do Digital LAB, pelo que NÃO DEVE MONTAR ESSE CIRCUITO, visto que o sinal P4 já se encontra disponível.

De forma a garantir que a mudança de nível lógico se faça sem oscilações, torna-se necessário utilizar um circuito chamado “**círculo de debounce**” como o apresentado na figura 3b. Neste circuito, o interruptor mecânico pode ser substituído por um fio em que uma extremidade é ligada à massa e a outra faz contacto alternadamente com os terminais das resistências que estão ligados às entradas das portas NAND (pontos X e Y).

*Indique o que acontece com o valor da saída OUT quando a extremidade livre do fio efectua a seguinte sequência:*

- a) Faz contacto com o ponto Y.
- b) Deixa de fazer contacto com qualquer ponto.
- c) Passa a fazer contacto com o ponto X.
- d) Deixa de fazer contacto com qualquer ponto.

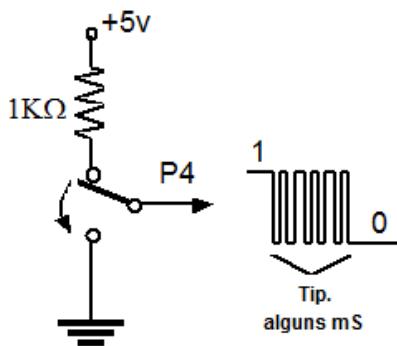


Fig 3a - Comutador mecânico

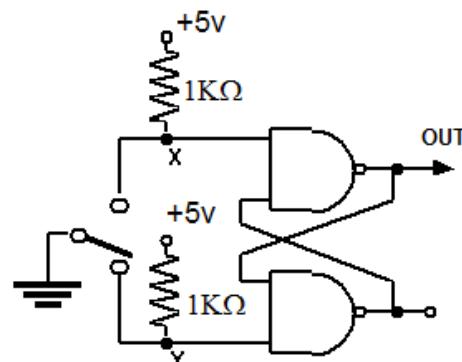


Fig 3b - Circuito de debounce

Monte o circuito da figura 3b. Para comprovar a utilidade do circuito de *debounce*, compare o comportamento exibido pelo flip-flop T com duas entradas de clock diferentes (uma de cada vez):

- a) Um comutador do Digital LAB, por exemplo, P4.
- b) A saída do circuito de *debounce* da figura 3b (sinal OUT).

O que conclui?

5 - Um circuito integrado 74112 contém dois flip-flops JK negative-edge-triggered.

Desenhe o diagrama de estados de um flip-flop JK.

Teste um deles, preenchendo a última coluna da tabela 1.

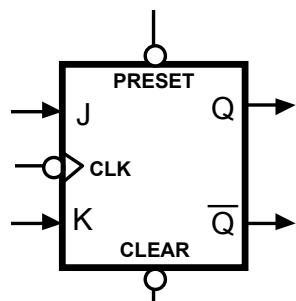


Fig. 4 - Flip-flop JK

PRESET	CLEAR	CLK	J	K	$Q_{n+1}$
0	1	X	X	X	
1	0	X	X	X	
1	1	↓	0	0	
1	1	↓	0	1	
1	1	↓	1	0	
1	1	↓	1	1	
1	1	1	X	X	

Tabela 1

Considere no exercício seguinte que A e B são os números mecanográficos (de 5 dígitos decimais) dos dois elementos do grupo, com  $A > B$ , sendo A1 e B1 os dígitos decimais mais à esquerda dos respectivos números, A5 e B5 os dígitos mais à direita. Caso o grupo tenha apenas um elemento, o número B é obtido da parte inteira de  $A/2$ , em que A é o número mecanográfico do aluno.

5 - Implemente, com recurso a flip-flops D (circuitos integrados 7474) e portas lógicas, um circuito sequencial que efectue a seguinte sequência:

$$A5, A4, A3, A2, A1, 15, A5, A4, A3, A2, A1, 15 \dots$$

Apresente todas as etapas do projecto: diagrama de estados, tabela de estados/saídas, atribuição de estados, tabela de transição, equações de excitação, equações de saída e diagrama esquemático.

Monte o circuito e teste o seu funcionamento.

**Universidade do Minho - Departamento de Electrónica Industrial**

**Mestrado Integrado em Engenharia Electrónica Industrial e Computadores**

## **Sistemas Digitais A - Laboratórios**

### **Contadores e Registros de Deslocamento**

**Duração máxima: 2 aulas.**

*Os alunos devem entregar no início da 1ª aula do trabalho (e copiar para o Logbook) a preparação prévia, com a resolução de todas as questões indicadas em itálico no guia.*

**Antes de realizar o trabalho,** os alunos devem ter estudado os seguintes tópicos:

- 1) Saber distinguir um contador de um registo de deslocamento;
- 2) Conhecer algumas aplicações de contadores;
- 3) Conhecer algumas aplicações de registos;
- 4) Saber distinguir um contador síncrono de um contador assíncrono;
- 5) Saber o significado das expressões *positive-edge-triggered* e *negative-edge-triggered*;
- 6) Conhecer os diferentes modos de funcionamento de um registo de deslocamento (*shift-register*): PIPO, PISO, SIPO e SISO;
- 7) Saber implementar contadores ou registos de deslocamento com flip-flops D ou JK, portas lógicas e/ou multiplexadores

**Durante a realização do trabalho,** os alunos devem:

- 1) Realizar as montagens indicadas no guia;
- 2) Registar no logbook todos os valores calculados e medidos.

**Depois de realizar o trabalho na totalidade,** os alunos devem:

- 1) Saber implementar contadores binários assíncronos e síncronos, ascendentes e/ou descendentes;
- 2) Saber consultar e construir documentação referente a contadores e registos;
- 3) Saber implementar registos de deslocamento.

**Elementos de estudo:**

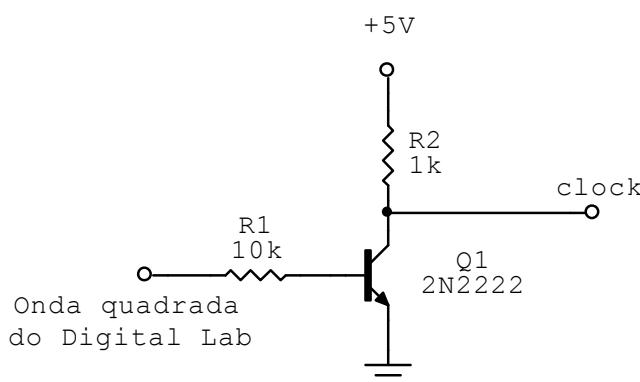
- 1) Acetatos de Sistemas Digitais A.
- 2) John F. Wakerly, “Digital Design, Principles and Practices”, Prentice Hall, 2000.

## PROCEDIMENTO

Considere nas questões seguintes que A e B são os números mecanográficos (de 5 dígitos decimais) dos dois elementos do grupo, com  $A > B$ , sendo A1 e B1 os dígitos decimais mais à esquerda dos respectivos números, A5 e B5 os dígitos mais à direita. Caso o grupo tenha apenas um elemento, o número B é obtido da parte inteira de A/2, em que A é o número mecanográfico do aluno.

Para ter controlo sobre os instantes de transição do sinal de clock durante a fase de teste dos circuitos montados neste trabalho, utilize um **comutador manual sem bounce** ou o **circuito de debounce** montado no trabalho anterior.

Se o circuito montado estiver a funcionar correctamente, poderá depois utilizar uma onda quadrada de 0V/+5V como entrada de clock. Como sabe, o Digital Lab gera ondas quadradas bipolares (positivas e negativas). A aplicação de tensões negativas a uma entrada de um circuito TTL pode danificá-lo. Para dispor do sinal de clock pretendido, deve montar o circuito da figura abaixo.



1 - O circuito integrado 74163 é um contador binário síncrono programável de 4 bits. Estude o seu funcionamento.

*Utilizando dois 74163 e um mínimo de portas lógicas auxiliares, implemente um contador que efectue a seguinte sequência:*

*... (A5+1) até (A5+17), (A5+1) até (A5+17), (A5+1) até (A5+17) ...*

Por exemplo, se A5 = 6, a contagem será:

*... 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23 ...*

Monte o circuito e teste o seu funcionamento.

2 - Implemente, com recurso a um registo de deslocamento SIPO (Serial In, Parallel Out) e um mínimo de lógica adicional, um detector de sequência que active uma saída se e somente se a entrada (em instantes consecutivos de transição ascendente do clock) formar uma sequência de 4 bits idêntica ao valor de B5.

Por exemplo, se B5 = 5 (0101), sempre que, após quatro transições positivas do clock, os bits lidos da entrada tenham sido zero, um, zero e um (nesta ordem), a saída deverá produzir o nível lógico um. Para qualquer outra sequência a saída deverá ser zero.

*O registo de deslocamento utilizado no detector de sequência deverá ser implementado com recurso a flip-flops D (circuitos integrados 7474).*

Monte o circuito e teste o seu funcionamento.