

Unidade II

5 MAPAS DE KARNAUGH

A obtenção de uma expressão lógica somente a partir de uma tabela verdade, como foi visto no tópico 4, é um processo trabalhoso e resulta em expressões lógicas inicialmente longas demais, que necessitam de todo um processo de simplificação para chegarmos a uma expressão e a um circuito sem redundâncias.

Em 1952, o cientista da computação Edward Westbrook Veitch (1924-2013) desenvolveu um diagrama para a obtenção de circuitos lógicos. Esse diagrama foi aperfeiçoado em 1953 pelo também cientista da computação Maurice Karnaugh (1924-) e passou a ser conhecido como diagramas de Veitch-Karnaugh, ou simplesmente **mapas de Karnaugh** (usaremos esta terminologia neste livro-texto).

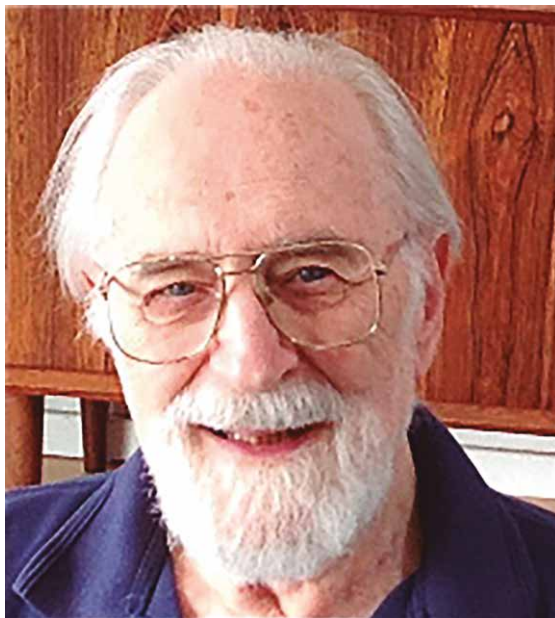


Figura 35 – Maurice Karnaugh

Disponível em: <https://bit.ly/3cAocoQ>. Acesso em: 1º jun. 2021.

Esses mapas são diagramas utilizados para a obtenção e simplificação de circuitos lógicos, e são chamados de mapas por fazer um mapeamento a partir de uma tabela verdade da função (expressão lógica) que está sendo analisada. Ou seja, para utilizarmos os mapas, é necessário ainda uma tabela verdade do circuito com o qual se deseja trabalhar.

A construção do mapa de Karnaugh segue sempre a mesma sequência, independentemente da quantidade de entradas presentes no circuito. Tal sequência é a seguinte:

- Monta-se a tabela verdade da expressão lógica.
- Acrescenta-se uma coluna na tabela verdade, numerando as linhas a partir de zero.
- Constrói-se células tantas quantas forem as linhas da tabela verdade.
- Coloca-se os valores das entradas do lado de fora de cada célula, divididos por linhas e colunas, de forma que cada célula corresponda a uma das combinações das entradas.
- Enumera-se cada célula com o número da linha correspondente no canto superior esquerdo.
- Coloca-se os valores da saída da expressão lógica no centro de cada célula correspondente.

Começaremos apresentando o mapa de Karnaugh para duas entradas. Veremos que um mapa para apenas duas entradas não justifica o esforço, sendo que extrair a expressão lógica a partir da tabela verdade, como visto no tópico 4, tem o mesmo resultado; porém, tal mapa auxilia na compreensão da metodologia.

Exemplo: construção dos mapas de Karnaugh para cada uma das tabelas verdades a seguir.

a)

Tabela 36

A	B	Saída
0	0	0
0	1	0
1	0	1
1	1	1

As linhas são numeradas:

Tabela 37

A	B	Saída	Linha
0	0	0	0
0	1	0	1
1	0	1	2
1	1	1	3

São construídas quatro células, e os valores das entradas (0 e 1) são anotados do lado de fora de cada célula. No caso, as colunas representarão a entrada A e as linhas a entrada B:

B \ A	0	1
0		
1		

Figura 36

A seguir, numera-se cada célula, de acordo com a associação dos valores das variáveis:

B \ A	0	1
0	0	2
1	1	3

Figura 37

Por fim, insere-se o valor lógico correspondente a cada linha na respectiva célula:

B \ A	0	1
0	0	1
1	0	1

Figura 38

b)

Tabela 38

P	Q	Saída
0	0	0
0	1	1
1	0	1
1	1	1

As linhas são numeradas:

Tabela 39

P	Q	Saída	Linha
0	0	0	0
0	1	1	1
1	0	1	2
1	1	1	3

A construção do mapa segue o mesmo procedimento do exemplo anterior, ficando como se segue:

		P	
		0	1
Q	0	⁰ 0	² 1
	1	¹ 1	³ 1

Figura 39

Análise do mapa de Karnaugh

Uma vez construído o mapa, é necessário analisá-lo e extrair a expressão lógica do circuito a partir dele. Para tanto, **iremos desconsiderar as células que contêm valor lógico 0, focando nas células que possuem valor lógico 1**. Essas células serão agrupadas segundo as seguintes regras:

- Elas devem ser agrupadas vertical ou horizontalmente, não podendo ser agrupadas na diagonal.
- Os grupos devem sempre conter uma quantidade de células que seja uma potência de 2: 1, 2, 4, 8 etc.

- Uma célula pode fazer parte de mais de um grupo.
- Todas as células que contenham valor lógico igual a 1 devem fazer parte de pelo menos um dos grupos.
- Quanto maiores os grupos, mais simples será o circuito final.
- Quanto menos grupos, também mais simples será o circuito final.

Tendo sido construídos os grupos, **cada grupo será representado pela associação por uma porta AND de cada entrada que é comum a todas as células do grupo** (que será a entrada, caso seu valor lógico seja 1, ou a negação dessa entrada, caso seu valor lógico seja 0). Caso a associação seja de uma única célula, ela será composta de todas as entradas do circuito, ou suas negações, como explicado.

Por exemplo, no detalhe do mapa indicado na figura a seguir, há um grupo composto de duas células, sendo uma delas (célula 0) com valores lógicos $P = 0$ e $Q = 0$, e a outra (célula 1) com valores lógicos $P = 0$ e $Q = 1$. Em comum, ambas as células compartilham $P = 0$, que será a expressão correspondente ao grupo. Como $P = 0$, a expressão será negação de P .

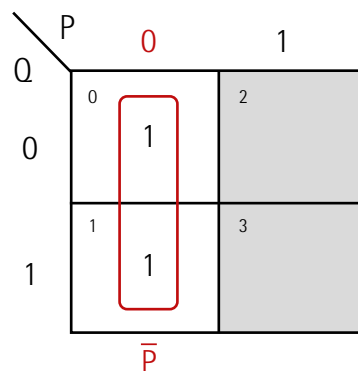


Figura 40 – Obtenção da expressão lógica correspondente a um grupo no mapa de Karnaugh

Por fim, todas as expressões resultantes de cada um dos grupos serão associadas por meio de uma porta lógica OR.

Vamos dar continuidade aos exemplos anteriores.

a)

Tabela 40

A	B	Saída
0	0	0
0	1	0
1	0	1
1	1	1

Podemos criar um grupo formado pelas células 2 e 3:

		A	
		0	1
B	0	⁰ 0	² 1
	1	¹ 0	³ 1

Figura 41

A entrada comum às duas células agrupadas é A. Como não há outros grupos, a expressão lógica do circuito será: $S = A$

b)

Tabela 41

P	Q	Saída
0	0	0
0	1	1
1	0	1
1	1	1

Pelas regras apresentadas, podemos obter dois grupos no mapa:

		P	
		0	1
Q	0	⁰ 0	² 1
	1	¹ 1	³ 1

Figura 42

A célula 3 pertence aos dois grupos, mas iremos analisar cada um separadamente:

- O primeiro grupo (em vermelho) possui em comum a todas as células a entrada P apenas, que será a expressão correspondente a ele.
- O segundo grupo (em roxo) possui em comum a todas as células a entrada Q apenas, que será a expressão correspondente a ele.

Assim, teremos: $S = P + Q$

Embora teoricamente os mapas de Karnaugh possam ser utilizados para circuitos com qualquer quantidade de entradas, eles deixam de ser eficientes para circuitos com mais de seis entradas (observaremos mapas com até quatro entradas no presente material). Para circuitos maiores, são utilizados recursos computacionais, tais como simulação numérica e algoritmos de inteligência artificial (por exemplo, algoritmos genéticos e aprendizado de máquina).

Mapas de Karnaugh com três ou mais entradas possuem outras características em suas análises que serão discutidas a seguir.

5.1 Mapas de Karnaugh para três entradas

A construção de um mapa de Karnaugh para três entradas segue o mesmo método: oito células serão construídas, cada uma representando uma das combinações das entradas. Usualmente, faz-se um arranjo de duas linhas com quatro colunas, mas quatro linhas com quatro colunas cada também pode ser feito; dessa segunda maneira, o mapa apenas será rotacionado, sem comprometer a sua análise.



Saiba mais

A fim de visualizar as imagens dos diagramas do artigo original de Veitch, leia:

VEITCH, E. A chart method for simplifying truth functions. *ACM*, v. 52, 1952. Disponível em: <https://bit.ly/3gpG1kZ>. Acesso em: 9 jun. 2021.

Desta forma, a dimensão que contenha quatro células, linhas ou colunas, deverá representar um par de valores lógicos das entradas. Para uma melhor utilização do mapa, **a ordem das células deve ser tal que não haja a alteração dos dois valores lógicos de uma célula para a seguinte**. A figura a seguir ilustra como deve ser uma possível distribuição dos valores lógicos das entradas:

AB \ C	01	00	10	11
0				
1				

Figura 43 – Arranjo adequado dos valores lógicos das células para um mapa com entradas A, B e C

A análise desses mapas ocorre da mesma forma que para os mapas com duas entradas: criam-se grupos de células segundo as mesmas regras, obtêm-se as expressões correspondentes a cada grupo e esses são conectados por meio de uma OR de múltiplas entradas. A figura a seguir ilustra a obtenção das expressões lógicas de cada um desses grupos, destacando os valores lógicos em comum para as células de um grupo.

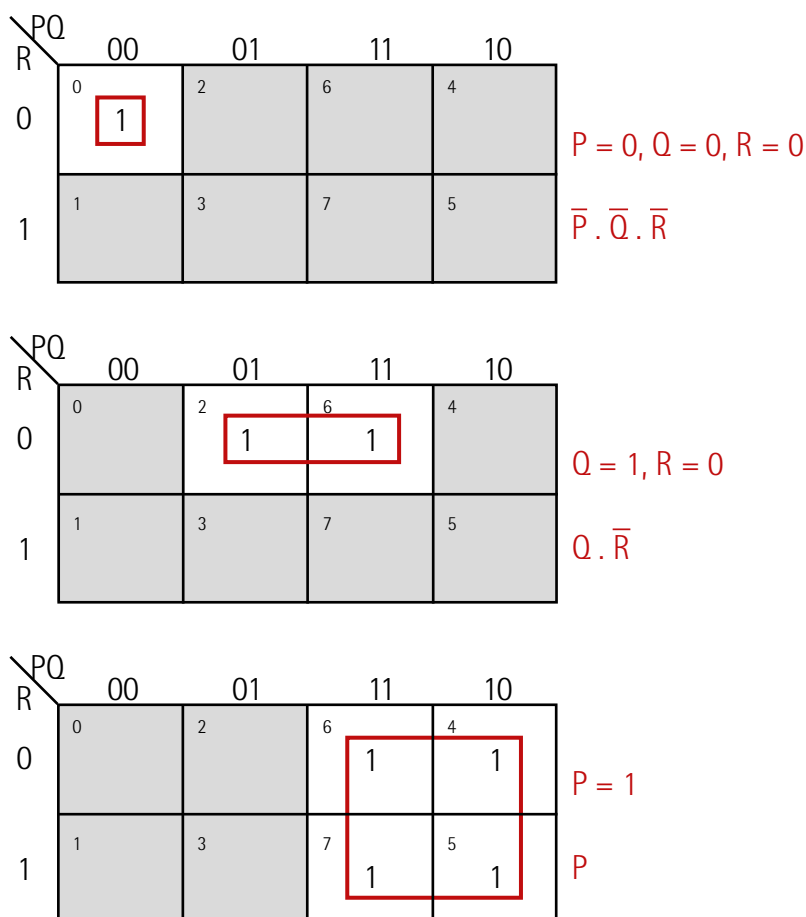


Figura 44 – Exemplos de grupos de uma, duas e quatro células em um mapa de Karnaugh de três entradas, destacando os valores lógicos em comum para as células de cada grupo, e suas respectivas expressões lógicas



Lembrete

Os grupos em um mapa de Karnaugh para qualquer quantidade de entradas devem sempre conter uma quantidade de células igual a potências de 2 (uma, duas, quatro, oito etc. células).

Exemplo: obter as expressões lógicas e esboçar os circuitos para as saídas indicadas nas tabelas verdade a seguir.

a)

Tabela 42

P	Q	R	Saída
0	0	0	0
0	0	0	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Primeiramente, numeramos as linhas e construímos o mapa:

Tabela 43

P	Q	R	Saída	Linha
0	0	0	0	0
0	0	1	1	1
0	1	0	0	2
0	1	1	0	3
1	0	0	1	4
1	0	1	1	5
1	1	0	1	6
1	1	1	1	7

PQ \ R	00	01	11	10
0	0	2	6	4
1	1	3	7	5

Figura 45

Convém observar que as células não ficarão ordenadas de acordo com a ordem das linhas da tabela. Preenchemos cada linha com o valor correspondente:

PQ \ R	00	01	11	10
0	0 0	2 0	6 1	4 1
1	1 1	3 0	7 1	5 1

Figura 46

É possível formar dois grupos, um com quatro células e outro com uma única célula:

PQ \ R	00	01	11	10
0	0 0	2 0	6 1	4 1
1	1 1	3 0	7 1	5 1

Figura 47

A entrada comum às quatro células do grupo em vermelho é $P = 1$. Assim, a expressão correspondente ao grupo será **P**.

O grupo em roxo, por conter apenas uma célula, será a combinação das entradas que compõem a célula, lembrando que uma entrada de valor lógico igual a zero será a negação da entrada; assim, a expressão correspondente a esse grupo será $\overline{P} \cdot \overline{Q} \cdot R$. Podemos aplicar a lei de De Morgan no produto das negações de P e Q, obtendo $(\overline{P + Q}) \cdot R$.

Assim, a saída e o circuito serão:

$$\text{Saída} = (\overline{P + Q}) \cdot R + P$$

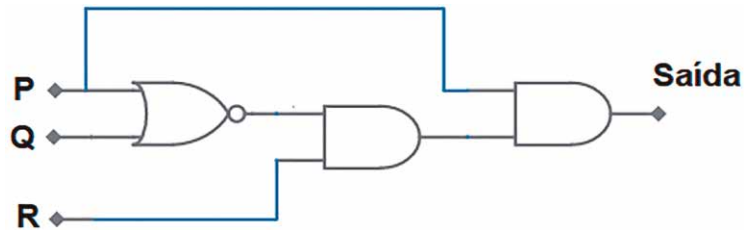


Figura 48

b)

Tabela 44

X	Y	Z	Saída
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Numerando as linhas e construindo o mapa:

Tabela 45

X	Y	Z	Saída	Linha
0	0	0	0	0
0	0	1	1	1
0	1	0	1	2
0	1	1	1	3

X	Y	Z	Saída	Linha
1	0	0	0	4
1	0	1	1	5
1	1	0	1	6
1	1	1	0	7

XY \ Z		00	01	11	10
Z	0	⁰ 0	² 1	⁶ 1	⁴ 0
	1	¹ 1	³ 1	⁷ 0	⁵ 1

Figura 49

É possível formar três grupos, dois com duas células e outro com uma única:

XY \ Z		00	01	11	10
Z	0	⁰ 0	² 1	⁶ 1	⁴ 0
	1	¹ 1	³ 1	⁷ 0	⁵ 1

Figura 50

As entradas comuns às duas células do grupo em vermelho são $Y = 1$ e $Z = 0$. Assim, a expressão correspondente a tal grupo será $Y \cdot \bar{Z}$.

No grupo em roxo, as entradas comuns às duas células são $X = 0$ e $Z = 1$. Assim, a expressão correspondente a esse grupo será $\bar{X} \cdot Z$.

O grupo em verde, por conter apenas uma célula, será a combinação das entradas que compõem a célula; assim, a expressão correspondente a esse grupo será $X \cdot \bar{Y} \cdot Z$.

Assim, a saída e o circuito serão:

$$\text{Saída} = Y \cdot \bar{Z} + \bar{X} \cdot Z + X \cdot \bar{Y} \cdot Z$$

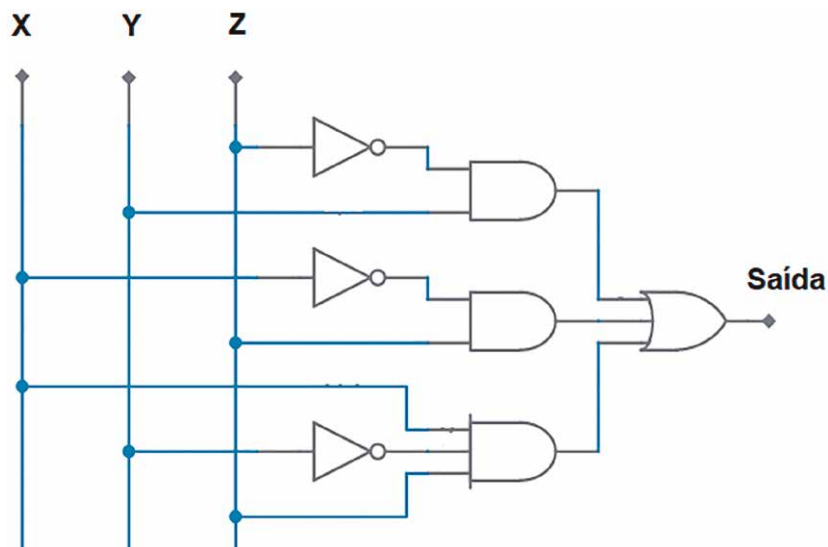


Figura 51

Como foi dito, quanto menos grupos e maiores forem os grupos em um mapa de Karnaugh, mais simples será a expressão final e menor será a necessidade de aplicar simplificações. A distribuição das entradas conforme a orientação da figura a seguir possibilita que um grupo possa ser conectado entre as extremidades, como se o mapa fosse cilíndrico.

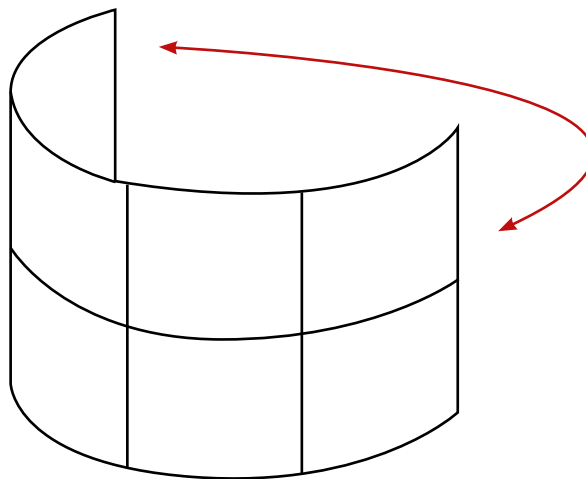


Figura 52 – Um mapa de Karnaugh de três entradas com o arranjo correto das células pode ser conectado lateralmente, como um cilindro

Vejam os alguns exemplos a seguir.

a) Rearranjar os grupos dos itens **a** e **b** do exemplo anterior.

Item a

Podemos conectar as células 1 e 5:

PQ \ R	00	01	11	10
0	0 ⁰	0 ²	1 ⁶	1 ⁴
1	1 ¹	0 ³	1 ⁷	1 ⁵

Figura 53

A entrada comum às quatro células do grupo em vermelho continuará a mesma, igual a **P**.

O novo grupo, em verde, possui em comum as entradas $Q = 0$ e $R = 1$; assim, a expressão correspondente a este grupo será $\bar{Q} \cdot R$, a qual possui uma porta lógica a menos e é equivalente no conjunto do circuito.

Assim, a saída e o circuito serão:

$$\text{Saída} = \bar{Q} \cdot R + P$$



Figura 54

Item b

As células 1 e 5 podem ser unidas em um grupo, reduzindo a expressão do grupo em verde:

XY \ Z	00	01	11	10
0	0 ⁰	1 ²	1 ⁶	0 ⁴
1	1 ¹	1 ³	0 ⁷	1 ⁵

Figura 55

Assim, a expressão lógica desse grupo será $\bar{Y} \cdot Z$, e a expressão do circuito será:

$$\text{Saída} = Y \cdot \bar{Z} + \bar{X} \cdot Z + \bar{Y} \cdot Z$$

O primeiro e o terceiro termos da porta AND podem ser combinados por meio de uma porta XOR, ficando a expressão final e o circuito:

$$\text{Saída} = (Y \oplus Z) + \bar{X} \cdot Z$$

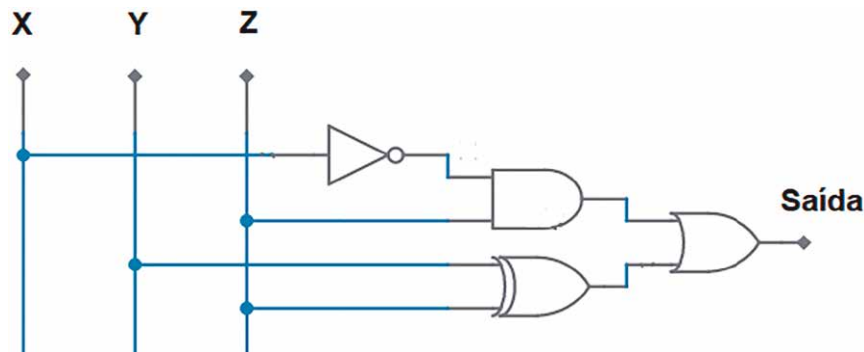


Figura 56

b) Obter a expressão lógica e esboçar o circuito na saída indicada na tabela verdade a seguir:

Tabela 46

A	B	C	Saída
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Numeramos as linhas e construímos o mapa:

Tabela 47

A	B	C	Saída	Linha
0	0	0	0	0
0	0	1	1	1
0	1	0	1	2
0	1	1	0	3

A	B	C	Saída	Linha
1	0	0	0	4
1	0	1	1	5
1	1	0	1	6
1	1	1	1	7

AB \ C		00	01	11	10
C	0	0	2	6	4
	1	1	3	7	5

Figura 57

Convém observar que as células não ficarão ordenadas de acordo com a ordem das linhas da tabela. Preenchemos cada linha com o valor da linha correspondente:

AB \ C		00	01	11	10
C	0	0 0	2 1	6 1	4 0
	1	1 1	3 0	7 1	5 1

Figura 58

É possível obter três grupos com duas células cada:

AB \ C		00	01	11	10
C	0	0	1	1	0
	1	1	0	1	1

Figura 59

No grupo em vermelho, as entradas em comum a ambas as células são $B = 1$ e $C = 0$. Assim, a expressão correspondente será $B \cdot \bar{C}$.

O grupo em verde tem em comum as entradas $B = 0$ e $C = 1$. Desta forma, a expressão será $\bar{B} \cdot C$.

Por fim, o último grupo em roxo tem em comum as entradas $A = B = 1$, sendo a expressão final $A \cdot B$.

A expressão final ficará:

$$\text{Saída} = B \cdot \bar{C} + \bar{B} \cdot C + A \cdot B$$

Podemos simplificar os dois primeiros termos, substituindo-os por um operador OU exclusivo. Assim:

$$\text{Saída} = (B \oplus C) + (A \cdot B)$$

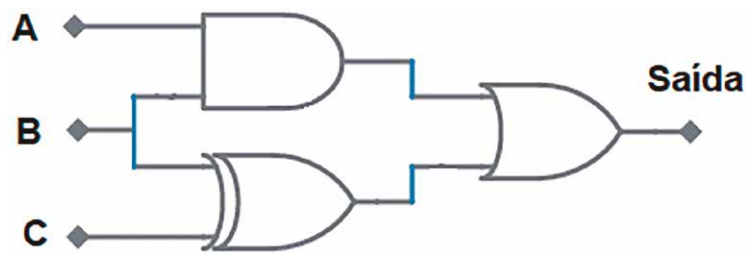


Figura 60

5.2 Saídas indiferentes no mapa de Karnaugh

Em muitos casos, no projeto de circuitos lógicos, pode ocorrer que para determinadas combinações de entradas em um circuito não haja uma saída específica. Isto pode acontecer porque aquela combinação de entradas não deve ocorrer em situações reais, ou porque qualquer saída é indiferente.

Nesses casos, diz-se que essa saída é indiferente e é usualmente indicada por um x na tabela verdade e no mapa de Karnaugh do circuito. Para efeitos da resolução do mapa, esse valor indiferente pode assumir o valor 0 ou 1, conforme seja mais conveniente para reduzir a quantidade de grupos no mapa, ou para gerar grupos maiores. Porém, alguns cuidados devem ser observados:

- Uma vez que um valor lógico é atribuído a entradas indiferentes, todos os grupos do mapa devem considerar esse valor; não é possível que essa saída seja 0 para efeitos de um grupo e 1 para efeitos de outro, por exemplo.
- Caso haja mais de um valor indiferente no mapa, cada um pode assumir o valor lógico mais conveniente, desde que respeitada a restrição anterior.

A atribuição adequada dos valores lógicos a essas saídas pode permitir uma grande simplificação do circuito como um todo. Por outro lado, atribuir um valor inadequado, embora gere um circuito funcional, pode fazer com que o circuito não seja o mais simplificado possível.

Exemplo: um sistema de controle de aquecimento possui três sensores de temperatura, T1, T2 e T3, que funcionam da seguinte forma:

- T1 ativa-se (valor lógico igual a 1) com temperaturas de 15 °C ou maiores.
- T2 ativa-se com temperaturas de 20 °C ou maiores.
- T3 ativa-se com temperaturas de 30 °C ou maiores.

As saídas do sistema serão três unidades de aquecimento, A1, A2 e A3, que operam conforme se segue:

- A1 está ligado apenas se a temperatura estiver abaixo de 20 °C ou acima de 30 °C.
- A2 está ligado apenas se a temperatura estiver abaixo de 15 °C.
- A3 está ligado apenas se a temperatura estiver abaixo de 30 °C.
- Se a temperatura estiver acima de 30 °C, A2 e A3 desligam e A1 se liga novamente.

Vejamos como obter a expressão lógica para cada um dos dois aquecedores em função dos sensores.

A primeira coisa a se observar é que existem, pela natureza dos sensores, algumas combinações de entradas que são impossíveis de ocorrer: por exemplo, não é possível T3 estar acionado e T1 não estar acionado ($T3 = 1$ e $T1 = 0$). Como são quatro faixas de operação, construiremos uma tabela para verificar quais sensores e unidades de aquecimento estarão ativos em cada uma delas:

Tabela 48

Temperatura (t)	Sensores			Aquecedores		
	T1	T2	T3	A1	A2	A3
$t < 15\text{ °C}$	0	0	0	1	1	1
$15\text{ °C} \leq t < 20\text{ °C}$	1	0	0	0	1	1
$20\text{ °C} \leq t < 30\text{ °C}$	1	1	0	0	0	1
$30\text{ °C} \leq t$	1	1	1	1	0	0

As demais combinações de entradas (sensores) serão indiferentes, uma vez que não podem ocorrer pelas especificações dos sensores. Assim, construiremos a tabela verdade para as três saídas (aquecedores):

Tabela 49

T1	T2	T3	Saída A1	Saída A2	Saída A3	Linha
0	0	0	1	1	1	0
0	0	1	X	X	X	1
0	1	0	X	X	X	2
0	1	1	X	X	X	3
1	0	0	0	1	1	4
1	0	1	X	X	X	5
1	1	0	0	0	1	6
1	1	1	1	0	0	7

Saída A1

O mapa de Karnaugh ficará:

T1 T2		00	01	11	10
T3	0	0 1	2 X	6 0	4 0
	1	1 X	3 X	7 1	5 X

Figura 61

Para obtermos dois grupos com quatro células, a melhor alternativa é considerar todos os valores indiferentes como sendo iguais a 1:

T1 T2		00	01	11	10
T3	0	0 1	2 1	6 0	4 0
	1	1 1	3 1	7 1	5 1

Figura 62

No grupo em verde, a única entrada comum a todas as células do grupo é $T3 = 1$; assim, a expressão correspondente a esse grupo é $T3$.

No grupo em roxo, a única entrada comum a todas as células do grupo é $T1 = 0$; assim, a expressão correspondente a este grupo é $\overline{T1}$.

Assim, a expressão desse aquecedor será $A1 = T3 + \overline{T1}$.

Saída A2

O mapa de Karnaugh ficará:

T1 T2		00	01	11	10
T3	0	0 1	2 X	6 0	4 1
	1	1 X	3 X	7 0	5 X

Figura 63

Para obtermos um único grupo com quatro células, a melhor alternativa é considerar o valor indiferente das células 1 e 5 como sendo igual a 1 e os demais como sendo igual a 0:

T1 T2		00	01	11	10
T3	0	0 1	2 0	6 0	4 1
	1	1 1	3 0	7 0	5 1

Figura 64

Como a única entrada comum a todas as células do grupo é $T2 = 0$, temos que $A2 = \overline{T2}$.

Saída A3

O mapa de Karnaugh ficará:

T1 \ T2	00	01	11	10
0	0 1	2 X	6 1	4 1
1	1 X	3 X	7 0	5 X

Figura 65

Para obtermos um único grupo com quatro células, a melhor alternativa é considerar o valor indiferente da célula 2 como sendo igual a 1 e os demais como sendo igual a 0:

T1 \ T2	00	01	11	10
0	0 1	2 1	6 1	4 1
1	1 0	3 0	7 0	5 0

Figura 66

Como a única entrada comum a todas as células do grupo é $T3 = 0$, temos que $A2 = \overline{T3}$.

Assim, o circuito desse sistema ficará:

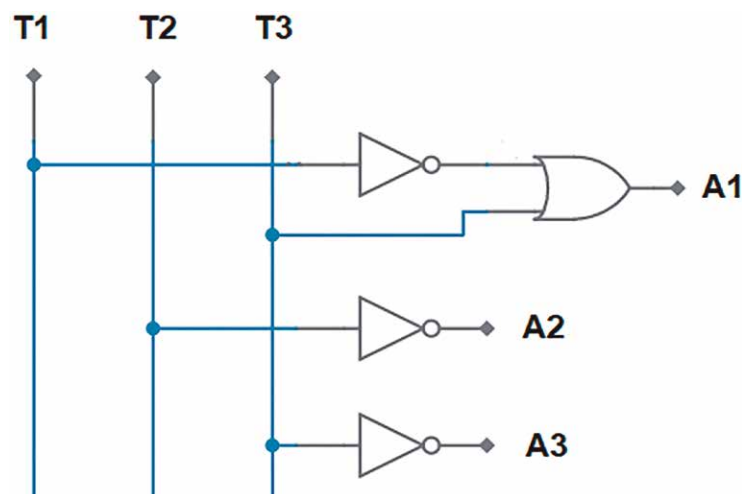


Figura 67

6 PROJETO DE CIRCUITOS LÓGICOS

Este tópico tem como objetivo fazer uma transição entre as unidades II e III deste livro-texto, concluindo os tópicos apresentados anteriormente, com a demonstração dos mapas de Karnaugh para quatro entradas (que será o maior número de entradas abordado neste livro), e apresentar o conceito de circuitos combinacionais, que serão tratados nos tópicos 7 e 8. Além disso, serão apresentadas algumas ferramentas selecionadas para a simulação computacional de circuitos lógicos digitais.

6.1 Mapas de Karnaugh para quatro entradas

Mapas de Karnaugh para quatro entradas funcionam da mesma forma que os mapas vistos anteriormente para duas e três entradas, com a diferença óbvia que possuirão 16 células, correspondentes a cada uma das possíveis combinações das quatro entradas. Essas células são normalmente arranjadas em um formato quadrado, com quatro linhas de quatro colunas cada.

As entradas nesses mapas são dispostas em pares: as colunas representam as combinações de um par de entradas, enquanto as linhas representam as combinações do outro par. A figura adiante ilustra um mapa de Karnaugh de quatro entradas, com sua respectiva tabela verdade associada.

Tabela 50 – Tabela verdade para quatro entradas (A, B, C e D)

A	B	C	D	Saída	Linha
0	0	0	0	-	0
0	0	0	1	-	1
0	0	1	0	-	2
0	0	1	1	-	3
0	1	0	0	-	4
0	1	0	1	-	5
0	1	1	0	-	6
0	1	1	1	-	7
1	0	0	0	-	8
1	0	0	1	-	9
1	0	1	0	-	10
1	0	1	1	-	11
1	1	0	0	-	12
1	1	0	1	-	13
1	1	1	0	-	14
1	1	1	1	-	15

AB \ CD	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

Figura 68 – Mapa de Karnaugh para as quatro entradas da tabela verdade



Observação

Como para os mapas anteriores, a ordem das células deve ser tal que não haja alteração dos dois valores lógicos entre entradas adjacentes, o que facilitará a identificação dos grupos.

É importante observar que as disposições das entradas no mapa fazem com que as células fiquem desordenadas e que a transposição dos valores da tabela verdade para o mapa fique mais trabalhosa. Porém, esse arranjo das células, assim como para os mapas de três entradas, permite que o mapa se conecte como se fosse uma esfera, tanto vertical quanto horizontalmente.

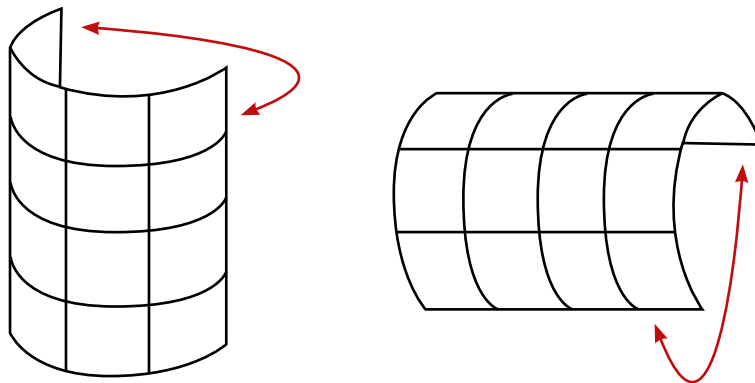


Figura 69 – Com a disposição adequada das células, um mapa de Karnaugh de quatro entradas pode formar grupos conectando-se tanto na vertical quanto na horizontal

A possibilidade de conectar as laterais do mapa pode ser utilizada simultaneamente nas duas dimensões, formando um grupo composto de quatro células "do canto", como é mostrado na figura a seguir:

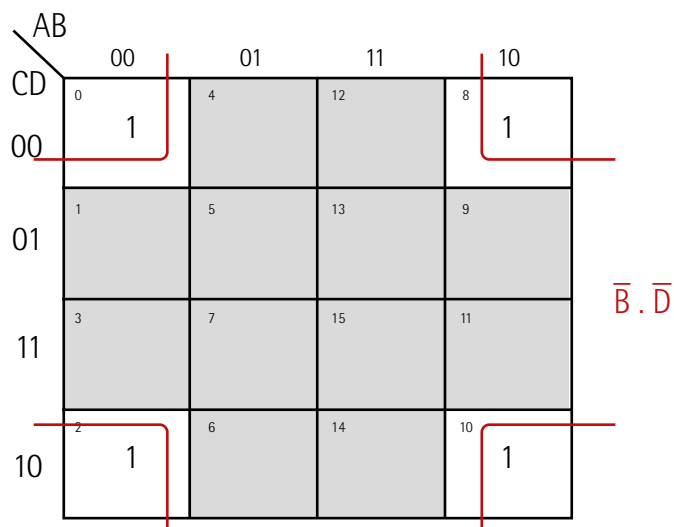


Figura 70 – Grupo que se conecta vertical e horizontalmente em um mapa de Karnaugh de quatro entradas (A, B, C e D)

Exemplo: obtendo a expressão lógica e o circuito para os casos a seguir.

a)

Tabela 51

A	B	C	D	Saída	Linha
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	1	2
0	0	1	1	0	3
0	1	0	0	0	4
0	1	0	1	0	5
0	1	1	0	1	6
0	1	1	1	1	7
1	0	0	0	1	8
1	0	0	1	0	9
1	0	1	0	1	10
1	0	1	1	0	11
1	1	0	0	1	12
1	1	0	1	0	13
1	1	1	0	1	14
1	1	1	1	1	15

Construindo o mapa de Karnaugh:

AB \ CD		00	01	11	10
CD	00	0 1	4 0	12 1	8 1
	01	1 0	5 0	13 0	9 0
	11	3 0	7 1	15 1	11 0
	10	2 1	6 1	14 1	10 1

Figura 71

Analisando o mapa, é possível enxergarmos uma grande quantidade de possíveis grupos que podem ser formados. Tendo em vista criar a menor quantidade deles e que cada grupo contenha o maior número possível de células, formaremos dois grupos com quatro células e um grupo com duas células:

AB \ CD		00	01	11	10
CD	00	0 1	4 0	12 1	8 1
	01	1 0	5 0	13 0	9 0
	11	3 0	7 1	15 1	11 0
	10	2 1	6 1	14 1	10 1

Figura 72

O grupo em vermelho possui como entradas comuns a todas as suas células $B = 0$ e $D = 0$. Assim, a expressão correspondente a esse grupo será $\bar{B} \cdot \bar{D}$.

O grupo em roxo possui em comum as entradas $B = 1$ e $C = 1$, sendo assim sua expressão $B \cdot C$.

Por fim, o grupo em verde tem como entradas em comum $A = 1$, $C = 0$ e $D = 1$; assim, sua expressão é $A \cdot \bar{C} \cdot \bar{D}$.

A expressão final ficará:

$$\text{Saída} = \bar{B} \cdot \bar{D} + B \cdot C + A \cdot \bar{C} \cdot \bar{D}$$

Para simplificar a expressão, podemos aplicar a lei de De Morgan nos produtos das negações presentes no primeiro e terceiro termos, substituindo-os por uma porta NOR:

$$\text{Saída} = \overline{(B + D)} + B \cdot C + A \cdot \overline{(C + D)}$$

Assim, o circuito ficará:

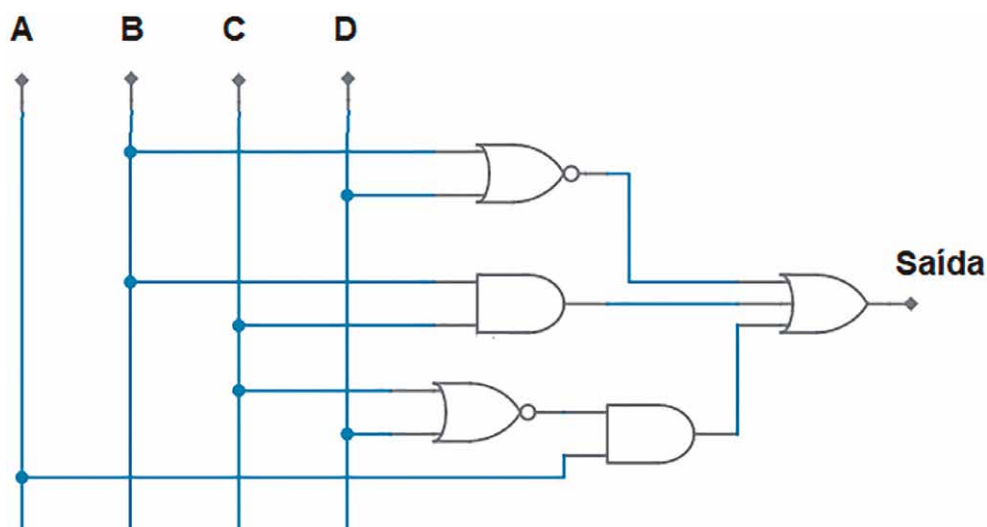


Figura 73

b) Considere um circuito com quatro entradas P, Q, R e S que opere conforme a seguinte regra:

- Se $P = 0$ e $Q = 1$, a saída será $R \oplus S$.
- Se $P = 1$ e $Q = 0$, a saída será $\overline{R \oplus S}$.
- Se $P = Q$, a saída será indiferente.

A tabela verdade ficará:

Tabela 52

P	Q	R	S	Saída	Linha
0	0	0	0	X	0
0	0	0	1	X	1
0	0	1	0	X	2
0	0	1	1	X	3
0	1	0	0	0	4
0	1	0	1	1	5
0	1	1	0	1	6
0	1	1	1	0	7
1	0	0	0	1	8
1	0	0	1	0	9
1	0	1	0	0	10
1	0	1	1	1	11
1	1	0	0	X	12
1	1	0	1	X	13
1	1	1	0	X	14
1	1	1	1	X	15

Construindo o mapa de Karnaugh:

PQ \ RS		00	01	11	10
RS	00	⁰ X	⁴ 0	¹² X	⁸ 1
	01	¹ X	⁵ 1	¹³ X	⁹ 0
	11	³ X	⁷ 0	¹⁵ X	¹¹ 1
	10	² X	⁶ 1	¹⁴ X	¹⁰ 0

Figura 74

Não é possível construir nenhum grupo com quatro ou mais células, sendo então necessária a criação de quatro grupos de duas células cada.

		PQ			
		00	01	11	10
RS	00	⁰ X	⁴ 0	¹² X	⁸ 1
	01	¹ X	⁵ 1	¹³ X	⁹ 0
	11	³ X	⁷ 0	¹⁵ X	¹¹ 1
	10	² X	⁶ 1	¹⁴ X	¹⁰ 0

Figura 75

As expressões para cada grupo ficarão:

$$Q \cdot \bar{R} \cdot \bar{S}$$

$$P \cdot \bar{R} \cdot S$$

$$Q \cdot R \cdot S$$

$$P \cdot R \cdot \bar{S}$$

Agrupando as duas expressões que contêm a entrada P, isolando a entrada e simplificando-as, além de fazer o mesmo com as duas expressões que contêm a entrada Q:

$$P \cdot \bar{R} \cdot S + P \cdot R \cdot \bar{S} = P \cdot (\bar{R} \cdot S + R \cdot \bar{S}) = P \cdot (R \oplus S)$$

$$Q \cdot \bar{R} \cdot \bar{S} + Q \cdot R \cdot S = Q \cdot (\bar{R} \cdot \bar{S} + R \cdot S) = Q \cdot (\overline{R \oplus S})$$

Assim, a expressão final e o circuito ficarão:

$$\text{Saída} = P \cdot (R \oplus S) + Q \cdot (\overline{R \oplus S})$$

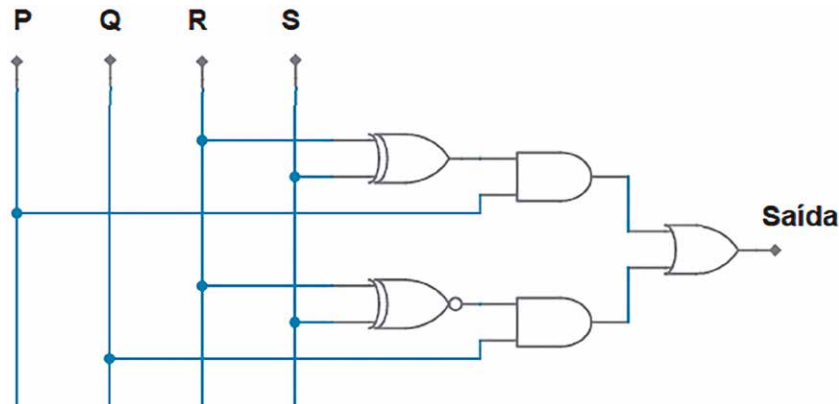


Figura 76

c) Um museu possui um corredor com quatro portas em sequência, P1, P2, P3 e P4, nesta ordem. O sistema de segurança envia um alerta para a central de monitoramento caso duas portas consecutivas, por exemplo, P1 e P2, ou P3 e P4, estejam abertas simultaneamente. Qual seria o circuito de ativação de tal alerta?

Fazendo 1 para a porta aberta e 0 para a porta fechada, e sendo o valor lógico de envio do alerta igual a 1, a tabela verdade do sistema seria:

Tabela 53

P1	P2	P3	P4	Saída	Linha
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	2
0	0	1	1	1	3
0	1	0	0	0	4
0	1	0	1	0	5
0	1	1	0	1	6
0	1	1	1	1	7
1	0	0	0	0	8
1	0	0	1	0	9
1	0	1	0	0	10
1	0	1	1	1	11
1	1	0	0	1	12
1	1	0	1	1	13
1	1	1	0	1	14
1	1	1	1	1	15

Foram marcados em vermelho os casos nos quais há duas ou mais portas consecutivas abertas simultaneamente.

O mapa de Karnaugh ficará:

		P1P2			
		00	01	11	10
P3P4	00	0 ⁰	0 ⁴	1 ¹²	0 ⁸
	01	0 ¹	0 ⁵	1 ¹³	0 ⁹
	11	1 ³	1 ⁷	1 ¹⁵	1 ¹¹
	10	0 ²	1 ⁶	1 ¹⁴	0 ¹⁰

Figura 77

É possível formar três grupos de quatro células:

		P1P2			
		00	01	11	10
P3P4	00	0 ⁰	0 ⁴	1 ¹²	0 ⁸
	01	0 ¹	0 ⁵	1 ¹³	0 ⁹
	11	1 ³	1 ⁷	1 ¹⁵	1 ¹¹
	10	0 ²	1 ⁶	1 ¹⁴	0 ¹⁰

Figura 78

O grupo em vermelho possui como entradas comuns $P1 = 1$ e $P2 = 1$. Assim, a expressão correspondente a esse grupo será **$P1 \cdot P2$** .

O grupo em roxo possui em comum as entradas $P3 = 1$ e $P4 = 1$, sendo assim sua expressão **$P3 \cdot P4$** .

Por fim, o grupo em verde tem como entradas em comum $P2 = 1$ e $P3 = 1$; assim, sua expressão fica sendo **$P2 \cdot P3$** .

A expressão final do alerta será:

$$\text{Saída} = P1 \cdot P2 + P3 \cdot P4 + P2 \cdot P3$$

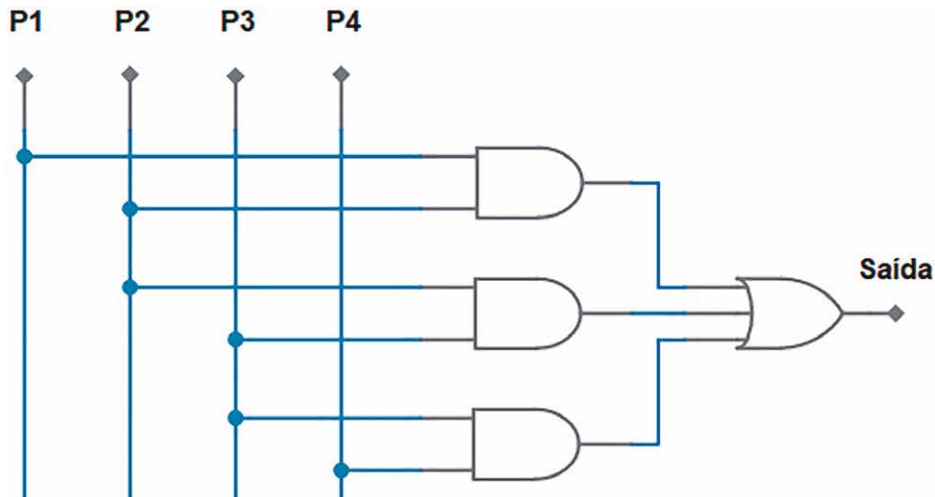


Figura 79



Lembrete

As expressões lógicas resultantes nos exercícios são soluções possíveis, obtidas a partir dos grupos que foram escolhidos, não as únicas. É importante lembrar que expressões lógicas possuem infinitas equivalentes.

6.2 Simuladores para circuitos lógicos digitais

No tópico 4 foi apresentada de forma resumida uma metodologia para obter a saída de uma expressão lógica utilizando a linguagem Python. Mas a representação, o projeto e a análise de circuitos lógicos digitais não estão restritos às linguagens de programação. Há uma variedade de simuladores gráficos nos quais é possível construir e simular circuitos lógicos disponíveis atualmente.



Saiba mais

Dada a grande quantidade de plataformas disponíveis, não se pretende fazer aqui uma listagem exaustiva nem ensinar as peculiaridades de funcionamento de cada ferramenta. Muitas das ferramentas apresentadas foram de grande auxílio na confecção deste material, e essa seleção reflete tão somente as preferências do autor, sem influências externas.

Simuladores de mapas de Karnaugh

A profa. dra. Celina, da PUC-SP, disponibiliza em sua página uma *applet* para simulação de mapas de Karnaugh de quatro entradas. A utilização é extremamente intuitiva e é possível visualizar os grupos formados no mapa:

ABAR, C. *Mapa de Karnaugh*. São Paulo: PUC, 2004. Disponível em: <https://bit.ly/3gh3m08>. Acesso em: 10 jun. 2021.

Outro aplicativo para duas, três e quatro entradas, que pode ser usado via navegador, sem necessidade de instalação, é o seguinte:

PROFELECTRO.INFO. *Mapa de Karnaugh online*: para simplificação de funções booleanas a partir da tabela da verdade. [s.d.]. Disponível em: <https://bit.ly/3znyJNK>. Acesso em: 10 jun. 2021.

O Grupo de Programação Gráfica e Multimídia (*Grafik und Multimedia Programmierung*) da Universidade de Marburg também disponibiliza uma ferramenta *on-line* para resolução de mapas de Karnaugh de uma até oito entradas. O *site* tem versões em inglês e alemão, mas o uso da ferramenta dispensa conhecimentos destes idiomas. Acesse:

MATHEMATIK.UNI. *Karnaugh-Veitch Map*. [s.d.].

Disponível em: <https://bit.ly/35jepiJ>. Acesso em: 10 jun. 2021.

Simuladores para circuitos lógicos

Com o objetivo de obter auxílio na composição gráfica dos circuitos apresentados no presente livro-texto, acesse o *site* a seguir:

Disponível em: <https://www.multisim.com/>. Acesso em: 10 jun. 2021.

Há ainda outra ferramenta *on-line*, específica para a simulação de portas lógicas. Seu uso não é tão intuitivo, uma vez que as entradas são representadas por *switchs*, o que dificulta um pouco de início, mas o fato de ser extremamente leve a torna bastante útil. Acesse:

LAMBERT, S. *Digital circuit simulation*. [s.d.].

Disponível em: <https://bit.ly/3wtQtFH>. Acesso em: 10 jun. 2021.

Por fim, consta um aplicativo em sua forma reduzida e gratuita do Spice, da Analog Devices; ele possui versões para ambientes Windows e Mac. É bastante elaborado para o uso apenas com portas lógicas, sendo mais recomendado para a utilização no projeto de circuitos mais elaborados. Baixe-o em:

ANALOG DEVICES. *LTspice@*. [s.d.]. Disponível em: <https://bit.ly/3gdVRqp>. Acesso em: 10 jun. 2021.

6.3 Circuitos combinacionais e sequenciais

Os circuitos lógicos digitais podem ser divididos em dois grandes grupos: circuitos combinacionais e circuitos sequenciais. Neste tópico iremos explicitar a diferença e classificar os circuitos que já foram e que serão abordados neste livro-texto.

Circuitos combinacionais são circuitos nos quais as saídas dependem unicamente das combinações das entradas. Ou seja, elas serão geradas através de combinações das entradas por meio de portas lógicas. São circuitos unidirecionais, isto é, a informação contida nos estados lógicos flui em apenas uma direção, das entradas para as saídas. Esses circuitos não possuem nenhum tipo de memória ou realimentação (*feedback*).

Todos os circuitos apresentados nos tópicos anteriores são, assim, circuitos combinacionais. Os principais tipos de circuitos combinacionais incluem:

- Circuitos codificadores e decodificadores.
- Circuitos somadores e subtratores.
- Comparadores.
- Multiplexadores e demultiplexadores.

Trataremos aqui apenas dos circuitos combinacionais, sendo que os dois primeiros dos grupos listados serão apresentados nos tópicos 7 e 8, respectivamente. Apresentaremos a seguir, como uma introdução aos circuitos combinacionais, o *display* de sete segmentos.

Os circuitos que apresentam algum tipo de realimentação são chamados de circuitos sequenciais, os quais não serão abordados no presente material. Como exemplos dessa categoria de circuitos, temos:

- Contadores.
- Registrador.
- Circuitos multiplicadores.
- *Flip-flops*.

A figura a seguir mostra um exemplo de circuito sequencial. É possível observar que a saída de uma porta lógica alimenta outra, que por sua vez alimenta a primeira porta:

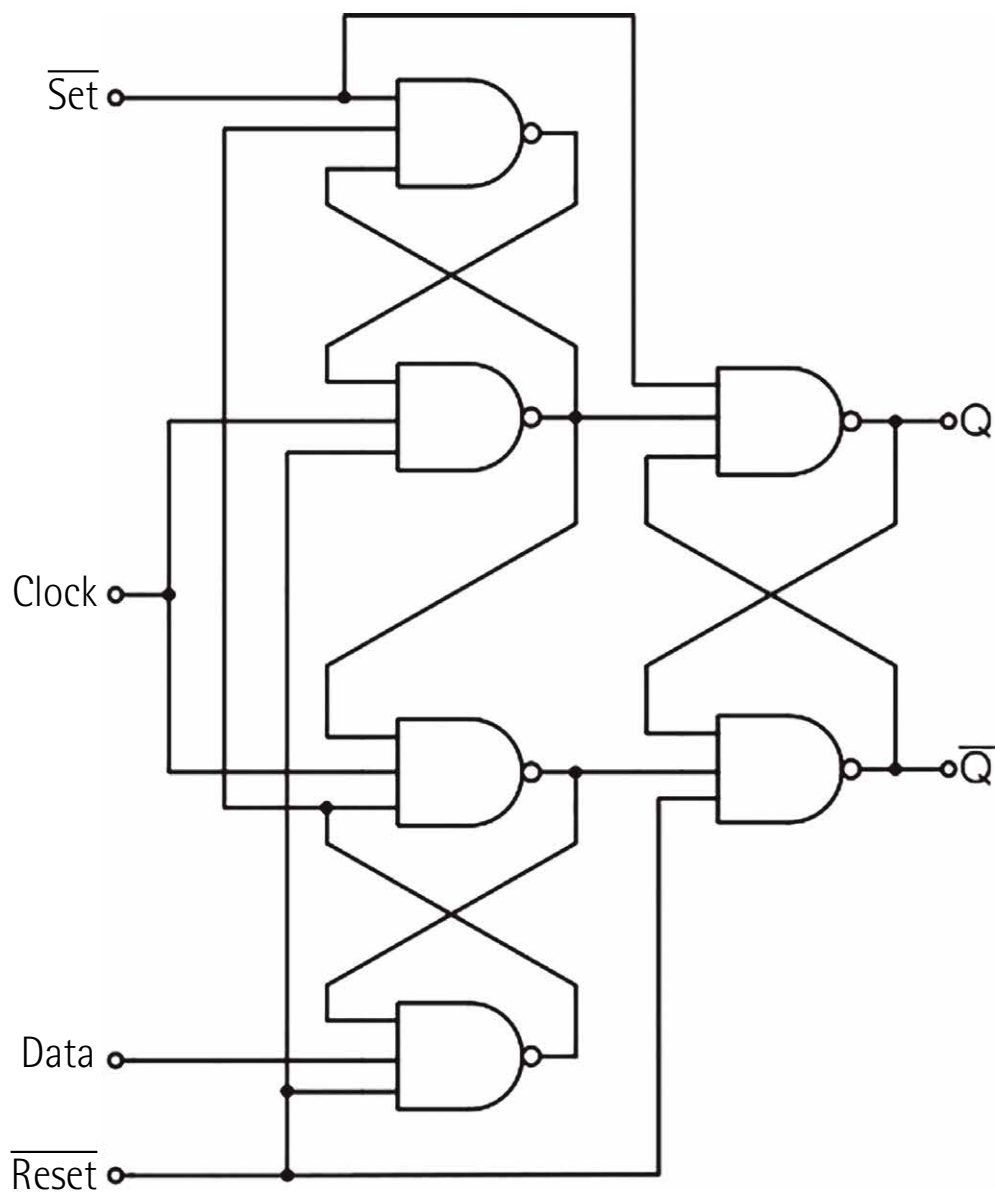


Figura 80 – Exemplo de um *flip-flop*, um circuito sequencial

Disponível em: <https://bit.ly/3w61IE5>. Acesso em: 1º jun. 2021.



Saiba mais

Para obter mais informações sobre circuitos sequenciais, leia os capítulos 4 e 5 da obra a seguir:

CAPUANO, F. G. *Sistemas digitais: circuitos combinacionais e sequenciais*. São Paulo: Saraiva, 2014.

6.4 Display de sete segmentos (SSD)

Um *display* de sete segmentos (SSD), ou indicador de sete segmentos, é a forma de dispositivo de exibição eletrônica constituído por sete LEDs ou elementos de cristal líquido (segmentos) que é utilizado para exibir numerais decimais. O SSD é uma alternativa aos *displays* de matriz de pontos, que são mais complexos.

Os monitores de sete segmentos são amplamente utilizados em relógios digitais, medidores eletrônicos, calculadoras básicas e outros dispositivos eletrônicos que exibem informações numéricas. A figura a seguir ilustra o referido *display*.

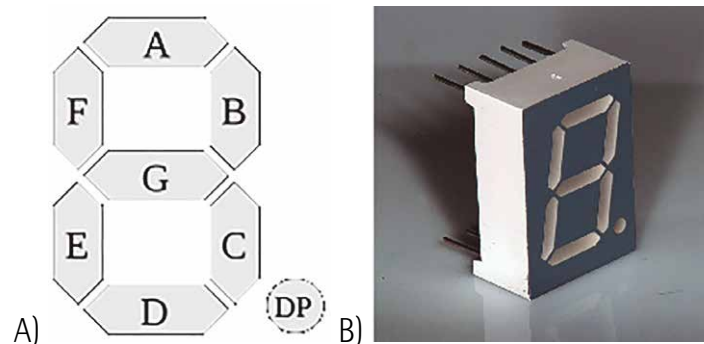


Figura 81 – Disposição dos sete segmentos em um SSD (A) e um componente real contendo um SSD (B)

A) Adaptada de: <https://bit.ly/34QHUZ3>; B) Disponível em: <https://bit.ly/3f0shb0>. Acesso em: 1º jun. 2021.

Esses *displays* podem ser alimentados por meio de um conjunto de circuitos combinacionais, um para cada segmento. Os circuitos que alimentam o SSD serão os primeiros circuitos reais aqui tratados, e voltaremos a eles no tópico 7, onde o conjunto será tratado como um circuito codificador.

Para analisar o SSD, faremos duas considerações iniciais: as denominações dos segmentos serão as letras de A a G, conforme indicado na figura anterior. Além disso, restringiremos a apenas algarismos como saída, embora seja possível também representar algumas letras com esse *display*. Frequentemente as letras de A a F representam valores hexadecimais.

Consideremos que o circuito possua dez entradas, representando os dígitos de 0 a 9, e que cada entrada deve acionar os segmentos correspondentes, que serão as saídas dos circuitos, indicados pelas letras correspondentes. A tabela a seguir mostra as entradas e saídas dos circuitos do SSD.

Tabela 54 – Entradas e saídas dos circuitos de um SSD

Decimal (Entrada)	Exibição	Saídas						
		A	B	C	D	E	F	G
0	0	1	1	1	1	1	1	0
1	1	0	1	1	0	0	0	0
2	2	1	1	0	1	1	0	1
3	3	1	1	1	1	0	0	1
4	4	0	1	1	0	0	1	1
5	5	1	0	1	1	0	1	1
6	6	1	0	1	1	1	1	1
7	7	1	1	1	0	0	0	0
8	8	1	1	1	1	1	1	1
9	9	1	1	1	1	0	1	1

Adaptada de: Wikimedia (s.d.)b.

Como cada entrada é exclusiva, isto é, uma vez que uma se acione (valor lógico 1) as demais estarão desligadas (valor lógico 0). Cada saída será a conexão por meio de uma porta OR das entradas que a acionam. Assim, a expressão lógica de acionamento para cada segmento será (En representa "Entrada n"):

$$A = E0 + E2 + E3 + E5 + E6 + E7 + E8 + E9$$

$$B = E0 + E1 + E2 + E3 + E4 + E7 + E8 + E9$$

$$C = E0 + E1 + E3 + E4 + E5 + E6 + E7 + E8 + E9$$

$$D = E0 + E2 + E3 + E5 + E6 + E8 + E9$$

$$E = E0 + E2 + E6 + E8 + E9$$

$$F = E0 + E4 + E5 + E6 + E8 + E9$$

$$G = E2 + E3 + E4 + E5 + E6 + E8 + E9$$

O circuito ficará como indicado a seguir:

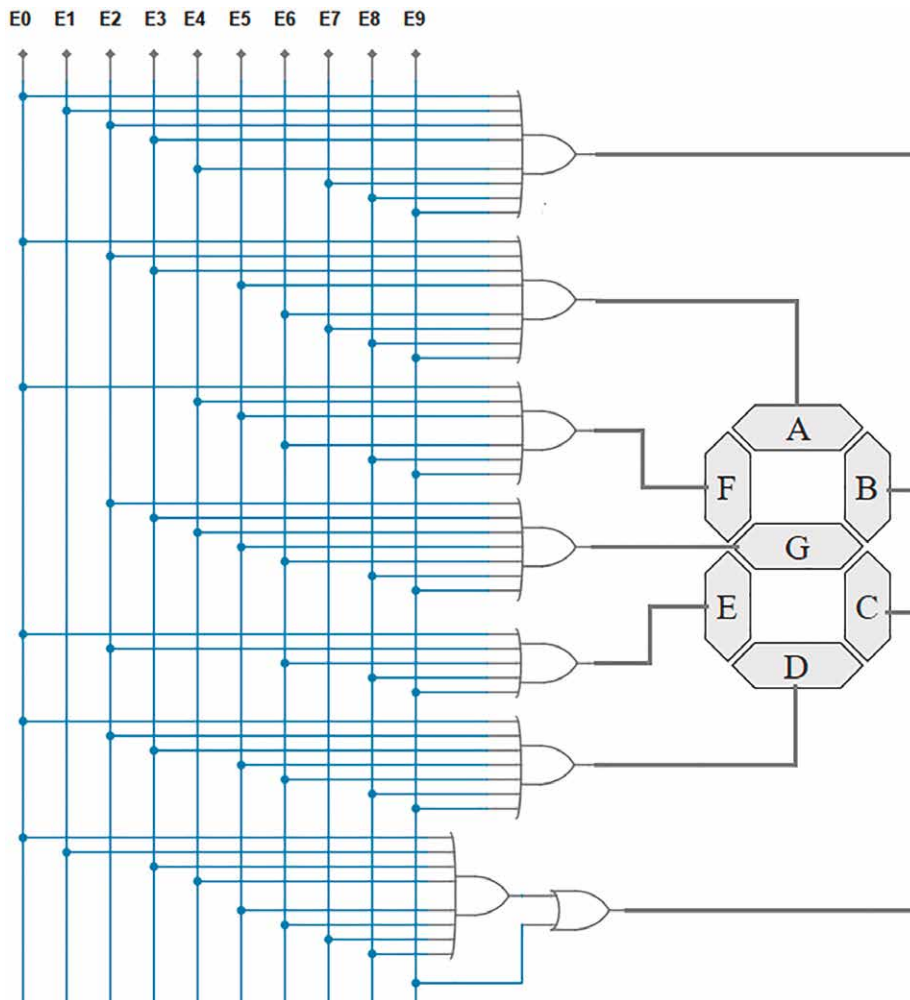


Figura 82 – Circuitos para um SSD

Caso as letras de A a F fossem consideradas, a tabela verdade do circuito teria continuidade:

Tabela 55 – Saídas dos circuitos de um SSD para as letras do sistema hexadecimal

Decimal (Entrada)	Exibição	Saídas						
		A	B	C	D	E	F	G
A	A	1	1	1	0	1	1	1
B	b	0	0	1	1	1	1	1
C	C	1	0	0	1	1	1	0
D	d	0	1	1	1	1	0	1
E	E	1	0	0	1	1	1	1
F	F	1	0	0	0	1	1	1

As expressões lógicas das saídas, neste caso, seriam apenas acrescentadas das ativações de cada uma delas com as novas entradas:

$$A = E0 + E2 + E3 + E5 + E6 + E7 + E8 + E9 + Ea + Ec + Ee + Ef$$

$$B = E0 + E1 + E2 + E3 + E4 + E7 + E8 + E9 + Ea + Ed$$

$$C = E0 + E1 + E3 + E4 + E5 + E6 + E7 + E8 + E9 + Ea + Eb + Ed$$

$$D = E0 + E2 + E3 + E5 + E6 + E8 + E9 + Eb + Ec + Ed + Ee$$

$$E = E0 + E2 + E6 + E8 + E9 + Ea + Eb + Ec + Ed + Ee + Ef + Eg$$

$$F = E0 + E4 + E5 + E6 + E8 + E9 + Eb + Ec + Ee + Ef + Eg$$

$$G = E2 + E3 + E4 + E5 + E6 + E8 + E9 + Ea + Eb + Ed + Ee + Ef + Eg$$



Observação

SSDs podem exibir um total de 27 combinações. Existem também *displays* de nove, 14 e 16 segmentos, capazes de exibir maior número de combinações, tendo mais possibilidades para formar caracteres distintos.



Resumo

Nesta unidade, foram explicados os mapas de Karnaugh de quatro entradas, e como arranjar as células para facilitar o seu manuseio. Também foram apresentadas algumas ferramentas para simulação computacional.

O conceito de circuitos lógicos combinacionais foi exibido, e estes são os circuitos nos quais as saídas são obtidas diretamente da combinação de suas entradas por meio de portas lógicas. Na sequência, tivemos os circuitos lógicos sequenciais, que, diferentemente dos combinacionais, utilizam-se de memórias ou realimentações (*feedback*) para alimentarem as entradas de pelo menos parte de suas portas lógicas.

Como introdução aos circuitos combinacionais, tivemos o *display* de sete segmentos (SSD), que consiste em sete segmentos luminosos (usualmente LEDs ou cristal líquido), que são acionados por meio das entradas. A combinação dos segmentos acionados por cada entrada gera a exibição de um algarismo de 0 a 9 correspondente.

Vimos que o diagrama de Veitch-Karnaugh, ou simplesmente mapas de Karnaugh, é uma ferramenta desenvolvida por E. W. Veitch e M. Karnaugh na década de 1950 para a obtenção da expressão lógica que se deseja para um circuito, ou para a simplificação de um circuito lógico digital.

Tal mapa consiste em um diagrama com um número de células igual ao número de saídas possíveis para o circuito, cada uma representando a respectiva saída do circuito desejado. A partir do agrupamento gráfico destas células, é possível obter uma expressão lógica para o circuito, sendo que ela muitas vezes já é a melhor expressão possível, sem a necessidade de etapas de simplificação.

De forma resumida, as células do mapa são agrupadas em grupos com uma quantidade de elementos igual a uma potência de 2 (1, 2, 4 etc.) elementos, e então identificam-se as entradas comuns a cada grupo. Quanto maiores forem os grupos formados, menos portas lógicas haverá na expressão do circuito. Isso vale para a quantidade de grupos, sendo o ideal formar a menor quantidade de grupos possíveis. Por fim, as expressões obtidas para cada grupo são conectadas por meio de uma porta lógica OR.

Em alguns casos, teremos saídas indiferentes, que podem assumir qualquer um dos dois valores lógicos, ou porque a combinação de

entradas não é possível de ocorrer ou porque a combinação de entradas em particular é irrelevante para o circuito. Nesses casos, tais saídas podem ser substituídas por 1 ou 0 no mapa, conforme for mais conveniente para obter o circuito mais simples.



Exercícios

Questão 1. (NC-UFPR/2019, adaptada) Um engenheiro precisa implementar um circuito lógico para a expressão $x = (\bar{A} + B)(A + B + D)\bar{D}$. O objetivo da equipe de projeto é criar um circuito otimizado e de baixo custo. Para o alcance dessa finalidade, uma das etapas do projeto envolve a simplificação da expressão algébrica apresentada. Levando em consideração esses dados, assinale a alternativa que mostra corretamente a expressão algébrica simplificada de x .

A) $x = (\bar{A} + B) + D$

B) $x = (\bar{A} + B)D$

C) $x = B\bar{D}$

D) $x = \bar{D}$

E) $x = \overline{A + D}$

Resposta correta: alternativa C.

Análise da questão

Para realizar a simplificação, podemos utilizar diferentes métodos. Vamos montar, primeiramente, um mapa de Karnaugh. Temos a expressão $x = (\bar{A} + B)(A + B + D)\bar{D}$, em que A , B e D são entradas e x é saída. Podemos começar montando a tabela verdade dessa expressão. Ela é apresentada a seguir, com destaque para as operações que estão sendo resolvidas em cada coluna. As entradas estão posicionadas nas três primeiras colunas, com suas combinações de estados. A partir da quarta coluna, começam a ser resolvidas as operações descritas pela expressão.

Tabela 56

A	B	D	\bar{A}	$\bar{A} + B$	$A + B + D$	$(\bar{A} + B) \cdot (A + B + D)$	\bar{D}	$x = (\bar{A} + B)(A + B + D) \cdot \bar{D}$	Linha
0	0	0	1	1	0	0	1	0	0
0	0	1	1	1	1	1	0	0	1
0	1	0	1	1	1	1	1	1	2
0	1	1	1	1	1	1	0	0	3
1	0	0	0	0	1	0	1	0	4

A	B	D	\bar{A}	$\bar{A} + B$	$A + B + D$	$(\bar{A} + B) \cdot (A + B + D)$	\bar{D}	$x = (\bar{A} + B)(A + B + D) \cdot \bar{D}$	Linha
1	0	1	0	0	1	0	0	0	5
1	1	0	0	1	1	1	1	1	6
1	1	1	0	1	1	1	0	0	7

A saída do circuito encontra-se na penúltima coluna da tabela. As colunas anteriores serviram apenas como intermediárias para que atingíssemos o resultado, mas lembre-se de que você pode "pular etapas", fazendo mais de uma operação por coluna, caso se sinta confortável. A última coluna exibe o número da linha, que deve concordar com o posicionamento do mapa de Karnaugh para três entradas. O posicionamento das linhas no mapa, que aparece no canto superior esquerdo de cada casa, deve seguir o padrão estudado, conforme mostrado a seguir.

		AB			
		00	01	11	10
D	0	0	2	6	4
	1	1	3	7	5

Figura 83

Lembre-se de que a disposição das entradas no mapa faz com que as células fiquem desordenadas. Devemos prestar atenção na hora de fazer o preenchimento. Já podemos preencher o mapa, observando as duas últimas colunas da tabela, conforme mostrado a seguir.

		AB			
		00	01	11	10
D	0	0	1	1	0
	1	0	0	0	0

Figura 84

Note que é possível agrupar os dois elementos centrais da primeira linha do mapa. Nesse posicionamento, temos $B = 1$ e $D = 0$, conforme mostrado a seguir.

D \ AB	00	01	11	10
	0	2	6	4
0	0	1	1	0
1	1	3	7	5
	0	0	0	0

Figura 85

Com isso, entendemos que a expressão original do circuito que deverá ser montada pelo engenheiro é:

$$x = B\bar{D}$$

Alternativamente, podemos utilizar as leis da lógica para realizar a simplificação algébrica da expressão. Uma possível sequência de passos que nos leva à resolução é apresentada a seguir.

- Partimos da expressão original.

$$x = (\bar{A} + B)(A + B + D)\bar{D}$$

- Aplicamos a lei distributiva $A(B + C) \equiv AB + AC$ entre $(A + B + D)\bar{D}$ (no papel de A) e $(\bar{A} + B)$ (no papel de $(B + C)$).

$$x = (A + B + D)\bar{D}\bar{A} + (A + B + D)\bar{D}B$$

- Aplicamos a lei distributiva $A(B + C) \equiv AB + AC$ entre $\bar{D}\bar{A}$ (no papel de A) e $(A + B + D)$ (no papel de $(B + C)$).

$$x = \bar{D}\bar{A}A + \bar{D}\bar{A}B + \bar{D}\bar{A}D + (A + B + D)\bar{D}B$$

- Aplicamos a lei complementar $A\bar{A} = 0$ no termo $\bar{D}\bar{A}A$. Dessa forma, tal termo pode, na prática, ser excluído da expressão.

$$x = \bar{D}\bar{A}B + \bar{D}\bar{A}D + (A + B + D)\bar{D}B$$

É importante informarmos que um termo de uma expressão booleana que resulta em 0 significa o mesmo que dizer que ele resulta em uma contradição. Da mesma forma, quando encontramos 1 em expressões booleanas, estamos nos referindo a uma tautologia.

- Aplicamos a lei complementar $A\bar{A} = 0$ no termo $\bar{D}\bar{A}D$. Dessa forma, ele pode ser excluído da expressão.

$$x = \bar{D}\bar{A}B + (A + B + D)\bar{D}B$$

- Aplicamos a lei distributiva $A(B + C) \equiv AB + AC$ entre $\bar{D}B$ e $(A + B + D)$.

$$x = \bar{D}\bar{A}B + \bar{D}BA + \bar{D}BB + \bar{D}BD$$

- Aplicamos a lei complementar $A\bar{A} = 0$ no termo $\bar{D}BD$.

$$x = \bar{D}\bar{A}B + \bar{D}BA + \bar{D}BB$$

- Aplicamos a lei idempotente $AA = A$ no termo $\bar{D}BB$.

$$x = \bar{D}\bar{A}B + \bar{D}BA + \bar{D}B$$

- Aplicamos a lei da absorção $AB + A = A$ entre os termos $\bar{D}BA$ e $\bar{D}B$.

$$x = \bar{D}\bar{A}B + \bar{D}B$$

- Aplicamos a lei da absorção $AB + A = A$ entre os termos $\bar{D}\bar{A}B$ e $\bar{D}B$ (note que $\bar{D}\bar{A}B \equiv \bar{D}B\bar{A}$, assim como $xy = yx$ na aritmética convencional).

$$x = \bar{D}B$$

- Por meio da propriedade comutativa, abordada no passo anterior, podemos reescrever a expressão de acordo com o que encontramos na alternativa C.

$$x = B\bar{D}$$

Nesse caso, a redução por mapa de Karnaugh mostrou-se mais prática devido à grande quantidade de passos algébricos que adotamos. No entanto, para algumas expressões, a redução algébrica será bem mais imediata. Além disso, saber manipular algebricamente expressões booleanas permite trocar o tipo de porta lógica que utilizamos, mesmo quando partimos de uma expressão que já havia sido reduzida por um mapa de Karnaugh. Por isso, é importante conhecermos os dois métodos.

Questão 2. (Enade 2019) Um sistema de tempo real satisfaz explicitamente restrições de tempo de resposta, podendo ter consequências como riscos ou falhas caso não cumpra essas restrições. O circuito lógico a seguir faz parte de um sistema de tempo real que realiza o acionamento de um alarme.

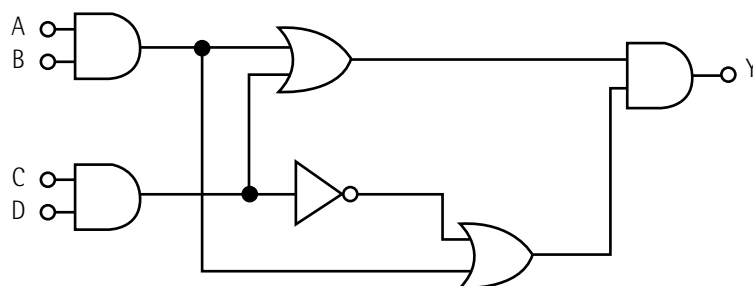


Figura 86

Nele existem vários atrasos de propagação do sinal, que por sua vez geram atrasos no acionamento do alarme. Na forma como a lógica está implementada, o circuito não atende o requisito de tempo real especificado pelo sistema. Para cada porta lógica utilizada, os atrasos típicos, em unidades de tempo (u.t.), são os indicados a seguir.

Tabela 57

Porta	Atraso (u.t.)
AND	3
OR	4
NOT	1

Após a simplificação do circuito, o menor tempo possível para o acionamento do alarme é:

- A) 9 u.t.
- B) 10 u.t.
- C) 3 u.t.
- D) 4 u.t.
- E) 6 u.t.

Resposta correta: alternativa C.

Análise da questão

Para realizar a simplificação, vamos determinar a expressão que descreve o circuito combinacional responsável pelo acionamento do alarme. Uma das estratégias para fazer isso é seguir escrevendo, a partir das entradas A, B, C e D, as expressões intermediárias das saídas de cada uma das portas lógicas. Quando chegarmos a Y teremos a expressão completa do circuito, pois ela representa a saída. Dessa forma, temos o que se mostra a seguir.

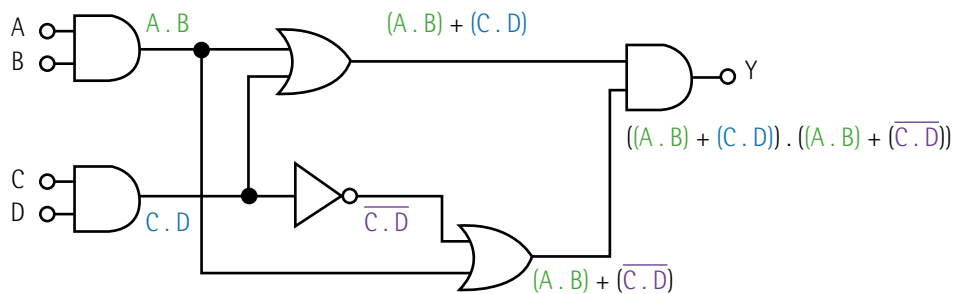


Figura 87

Note que as saídas das portas mais próximas às entradas se tornam as entradas das portas subsequentes. Ao chegar à saída do circuito, obtemos a seguinte expressão:

$$Y = ((A \cdot B) + (C \cdot D)) \cdot ((A \cdot B) + (\overline{C \cdot D}))$$

De acordo com a ordem de precedência dos operadores lógicos, nem todos os parênteses utilizados na expressão anterior são necessários. A função lógica de negação é prioritária em relação à função E, que é prioritária em relação à função OU. Podemos, então, reescrever a expressão da seguinte forma:

$$Y = (A \cdot B + C \cdot D) \cdot (A \cdot B + \overline{C \cdot D})$$

Existem diferentes formas de simplificar essa expressão. Vamos construir um mapa de Karnaugh para quatro entradas, de acordo com o que foi estudado nesta unidade. Para isso, precisamos, primeiro, construir a tabela verdade da expressão. Ela, que contém uma coluna para cada operação lógica da expressão, é apresentada a seguir. As entradas estão posicionadas nas quatro primeiras colunas, com suas combinações de estados. A partir da quinta coluna, começam a ser resolvidas as operações descritas pela expressão.

Tabela 58

A	B	C	D	A . B	C . D	$\overline{C} . \overline{D}$	A . B + C . D	A . B + $\overline{C} . \overline{D}$	$Y = (A . B + C . D) . (A . B + \overline{C} . \overline{D})$	Linha
0	0	0	0	0	0	1	0	1	0	0
0	0	0	1	0	0	1	0	1	0	1
0	0	1	0	0	0	1	0	1	0	2
0	0	1	1	0	1	0	1	0	0	3
0	1	0	0	0	0	1	0	1	0	4
0	1	0	1	0	0	1	0	1	0	5
0	1	1	0	0	0	1	0	1	0	6
0	1	1	1	0	1	0	1	0	0	7
1	0	0	0	0	0	1	0	1	0	8
1	0	0	1	0	0	1	0	1	0	9
1	0	1	0	0	0	1	0	1	0	10
1	0	1	1	0	1	0	1	0	0	11
1	1	0	0	1	0	1	1	1	1	12
1	1	0	1	1	0	1	1	1	1	13
1	1	1	0	1	0	1	1	1	1	14
1	1	1	1	1	1	0	1	1	1	15

A saída do circuito encontra-se na penúltima coluna da tabela (as colunas anteriores serviram apenas como intermediárias para que atingíssemos tal resultado). A última coluna exibe o número da linha, que deve concordar com o posicionamento do mapa de Karnaugh. O posicionamento das linhas no mapa deve seguir o padrão estudado, conforme mostrado a seguir.

		AB			
		00	01	11	10
CD	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10

Figura 88

Lembre-se de que a disposição das entradas no mapa faz com que as células fiquem desordenadas. Devemos prestar atenção na hora de fazer o preenchimento. Já podemos preencher o mapa, observando as duas últimas colunas da tabela, conforme mostrado a seguir.

AB \ CD		00	01	11	10
CD	00	⁰ 0	⁴ 0	¹² 1	⁸ 0
	01	¹ 0	⁵ 0	¹³ 1	⁹ 0
	11	³ 0	⁷ 0	¹⁵ 1	¹¹ 0
	10	² 0	⁶ 0	¹⁴ 1	¹⁰ 0

Figura 89

Observe que podemos agrupar os quatro elementos da terceira coluna do mapa. Nesse posicionamento, temos $A = 1$ e $B = 1$, conforme mostrado a seguir.

AB \ CD		00	01	11	10
CD	00	⁰ 0	⁴ 0	¹² 1	⁸ 0
	01	¹ 0	⁵ 0	¹³ 1	⁹ 0
	11	³ 0	⁷ 0	¹⁵ 1	¹¹ 0
	10	² 0	⁶ 0	¹⁴ 1	¹⁰ 0

Figura 90

Com isso, vemos que a expressão original do circuito de acionamento do alarme pode ser reduzida para:

$$Y = A \cdot B$$

