**DOCUMENTACIÓN**

**\*Módulo 1**

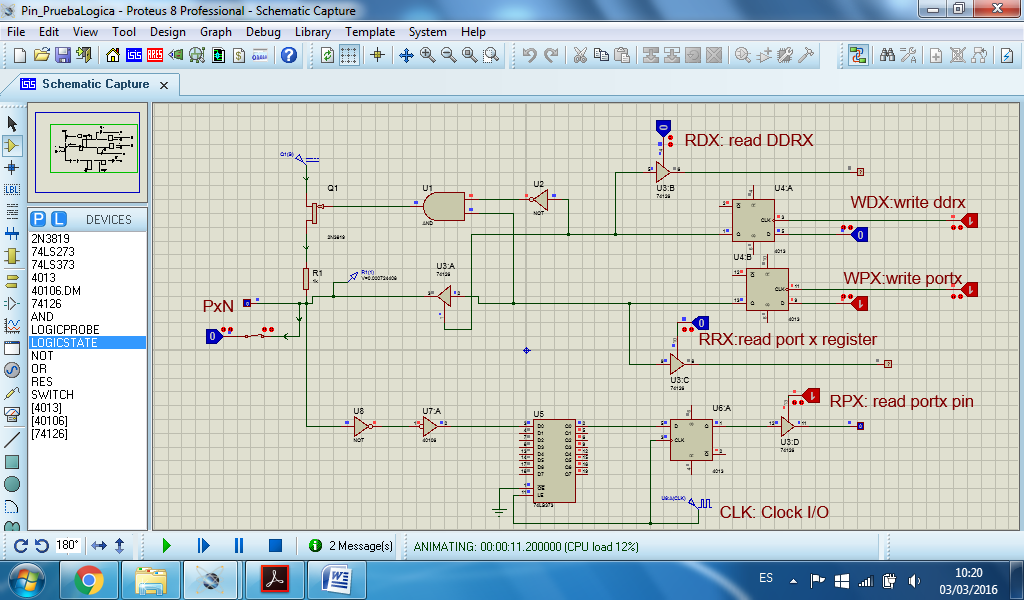


Figura 1. Pin entrada,con Pull-up activa

La figura 1 se puede observar el pin funcionando como entrada, donde el flip flop prioritario recibe un 0, el cual coloca el threestate el alta impedancia y no permite la salida de datos, el flip flop con señal de reloj WPX como se sabe controla la resistencia de Pull-up, en este caso esta activa, es decir esta se activa cuando el recibe un 1, en caso contrario estará desactivada.

El PxN es una entrada bidireccional (entrada ó salida), a la cual en este caso se le mandan los datos los cuales son sincronizados por el latch y recibidos por el threstate, como se puede observar en la figura anterior el dato de entrada es un 0 y este se almacena hasta que entre un nuevo dato.

Configuración de salida

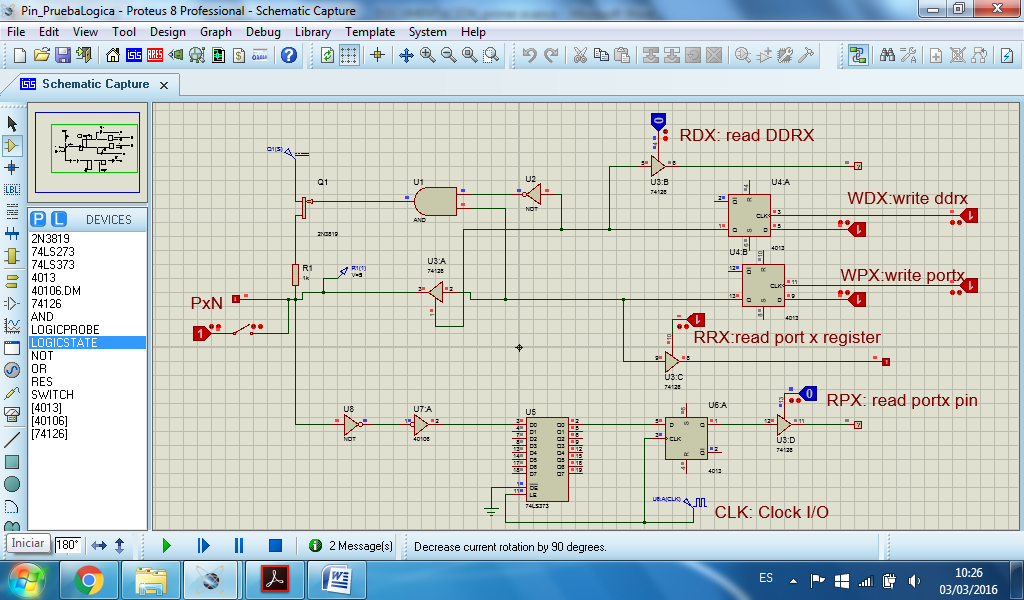


Figura 2. Pin salida

El pin es configurado como salida cuando el flip flop prioritario recibe un 1, este activa el threstate y los datos que reciba el otro flip flop serán lo que se vean en la salida del pin. En este caso como se observa en la figura 3, cuando las señales de reloj se activen el dato pasará y se verá en la salida 1.

*Conclusiones:* El flip flop prioritario al recibir un cero el pin será de entrada y al recibir un 1 será de salida.

Cuando su configuración sea de entrada el otro flip flop controla la activación de la resistencia de Pull-up, en caso contrario controla el valor de la salida

**\*Módulo 2**

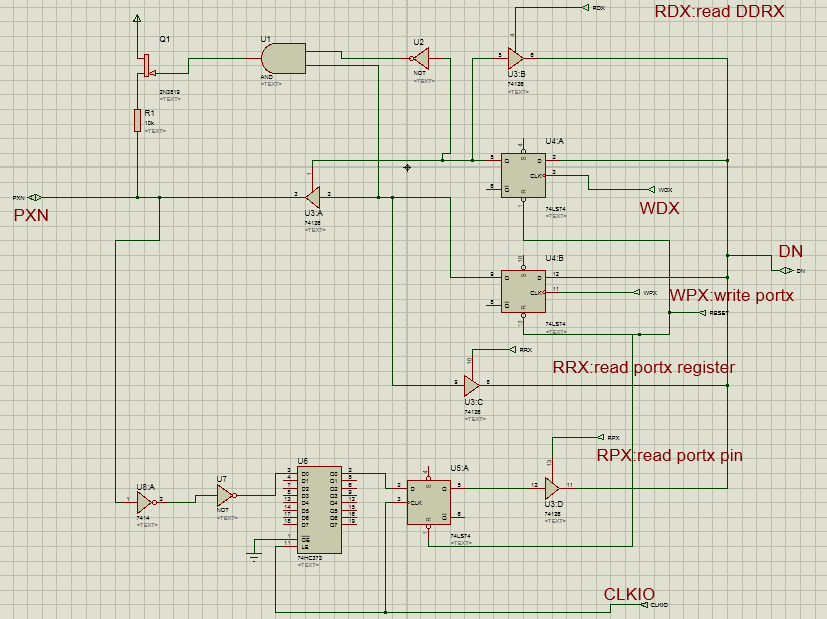
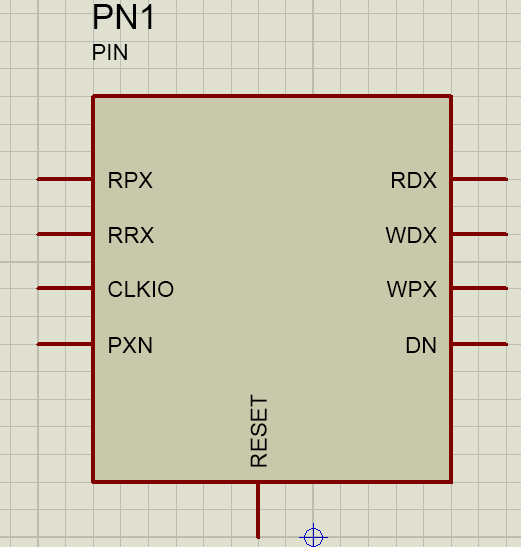


Figura 3. Modelo con pines In/Bir

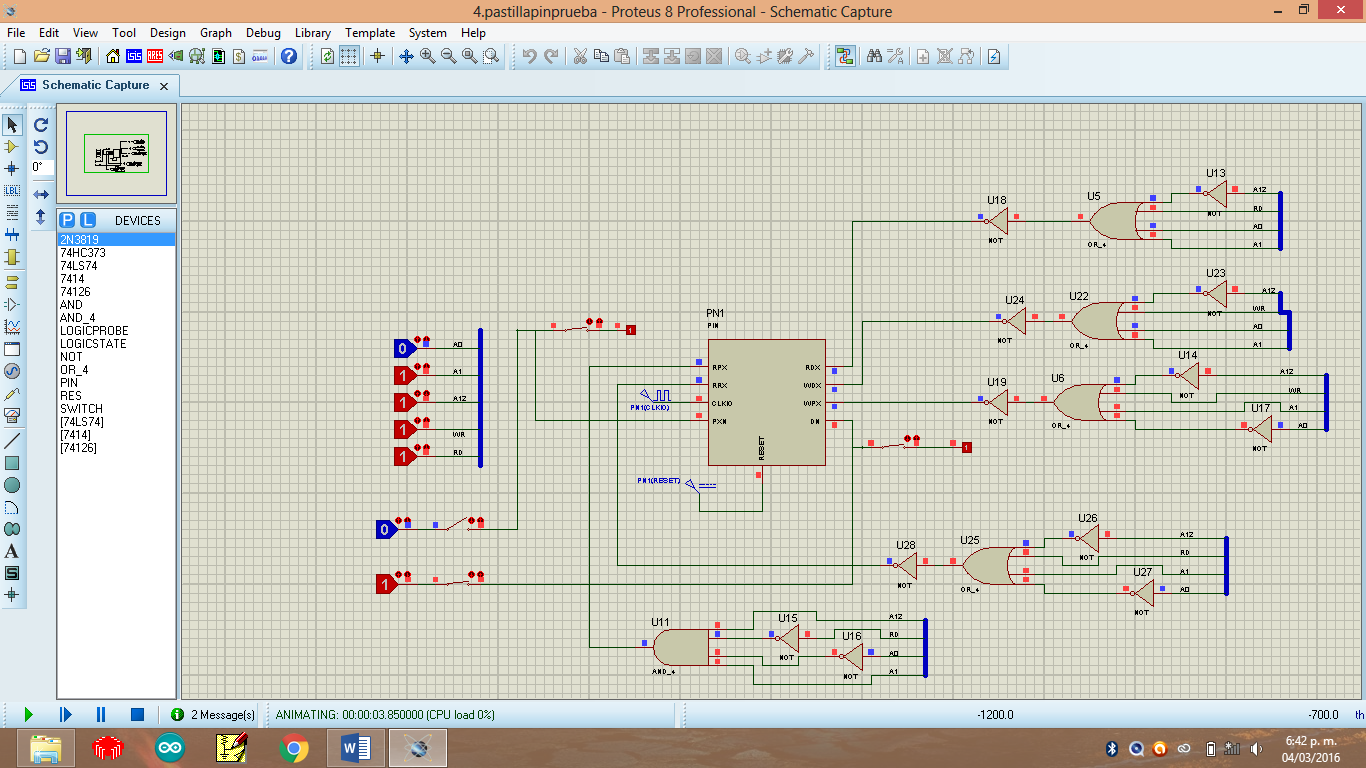
En la realización del fichero número dos se procedió primero ubicándonos en el modelado del pin después de realizar la prueba concerniente para verificar su funcionamiento y comprobar que dicho conocimiento sea adecuado a lo esperado teóricamente, después de habernos ubicado en este modelo se comenzó a reemplazar los estados lógicos de la prueba del pin por pines de entrada (in) y pines bidireccionales (bir) según correspondía en la prueba. Después de este reemplazo se bautizaron cada uno de los pines para que coincida con la señal que le llegara a cada uno de ellos en la prueba final.

**\*Módulo 3**



* Figura 4. Integrado de un pin
* Para el funcionamiento de la pastilla hay que tener en cuenta que el nombre del pin de la pastilla Para continuar se procedió a realizar la pastilla primero usando la herramienta componente para poner el esquemático de la pastilla luego a esa pastilla se le puso cada uno de los pines que se necesitaba y se procedió luego de nombrarlos se modificó el pin para que sea de entrada o bidireccional según le corresponda luego se le realizo el device de la pastilla usando como base la guía enviada por el profesor, para al final poder obtener la pastilla mostrada en la figura 2
* *Conclusiones*: debe corresponder al del pin que se reemplazó en el circuito
* La alimentación VCC y la tierra en el micro se les puede dejar internos ya que son valores fijos
* Para que la pastilla funcione se necesita que si el pin del circuito es de entrada, salida o bidireccional. Los pines de la pastilla se cuadren del tipo que sea necesario para que coincidan

**\*Módulo 4**



**Figura#5.prueba integrado un solo pin**

En el módulo#4 se verifica el funcionamiento del integrado para un solo pin, conectando las compuertas lógicas que proporcionan los datos a las diferentes entradas y con los probadores lógicos se lee los datos que salen del pin y el DN.

**\*Módulo 5**

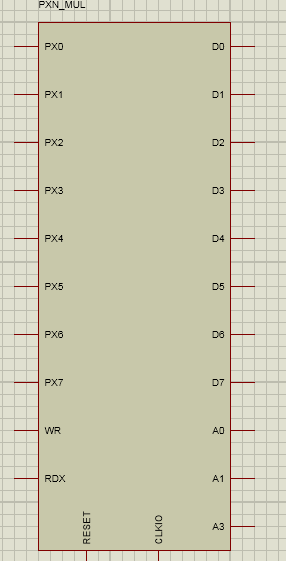


Figura #6.integrado 8 pines

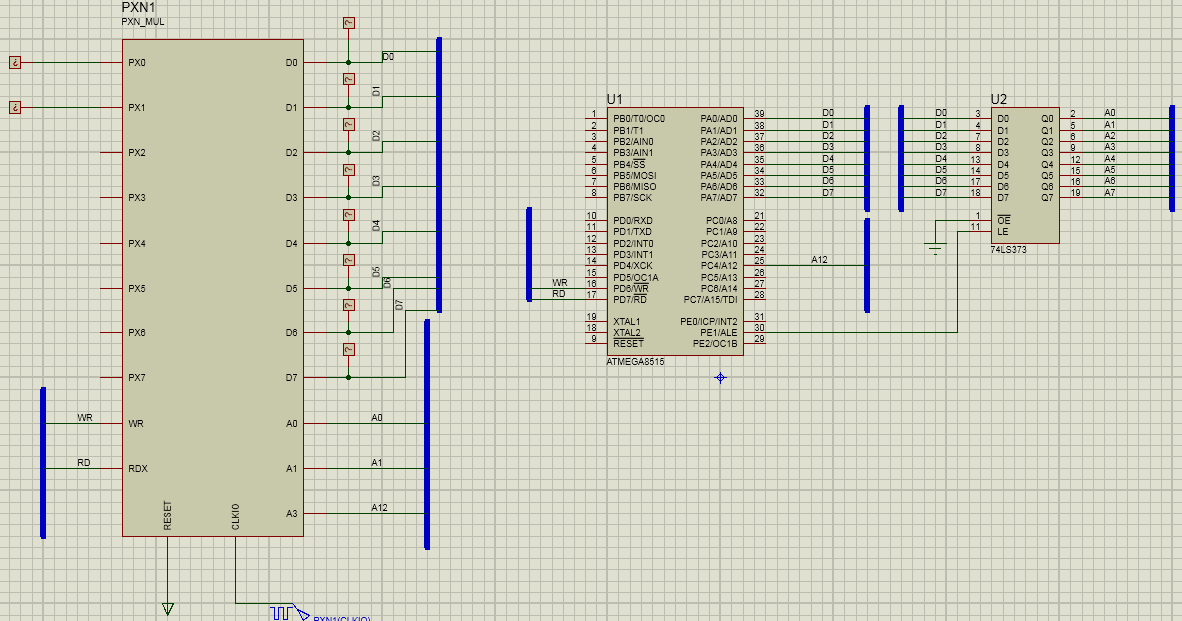
En este módulo se hizo la conexión total del procesador, haciendo un proceso similar al del módulo 3, pero repitiéndolo 7 veces más para los 8 pines. Este pin cuenta con varias entradas comunes las cuales son:

* CLKIO
* RESET
* WR
* RD

Los pines bidireccionales de salida PX0…PX7, D0…D7. Y las direcciones recibidas en los pines de entrada A0….A15.

La composición total de todos estos pines nos da como resultado el procesador. Que tiene 8 pines bidireccionales a los cuales se les puede configurar como entrada o salida.

**\*Módulo 6**

****

Figura#7.Prueba integrado 8 pines

En este último modulo se realizó la prueba de funcionamiento del puerto, mandando los datos DN, a cada una de las entradas respectivas del integrado, configurando también el Rd y Wr para lectura o escritura y los A para las direcciones.