

# Práctica 1: Microprocesador segmentado

**NOTA: Se recomienda encarecidamente leer detenidamente el enunciado entero de cada ejercicio antes de comenzar con la codificación.**

## Ejercicio 1 (3 puntos)

El objetivo de esta práctica es implementar la versión segmentada del microprocesador MIPS, cuyos detalles se pueden encontrar en el libro de referencia de la asignatura: "*Estructura y Diseño de Computadores: La interfaz Hardware/ Software*", por David A. Patterson y John L. Hennessy, disponible en la biblioteca de la EPS. Se recomienda seguir el libro para realizar esta práctica. En concreto, se sigue el modelo segmentado del MIPS, detallado en el capítulo 6 (secciones 6.2 y 6.3).

Se pide implementar el microprocesador MIPS en su versión uniciclo el cual servirá de base para su posterior segmentación. No es necesario que el procesador soporte el juego de instrucciones completo de MIPS, sino las siguientes instrucciones: **ADD, ADDI, SUB, SLT, AND, OR, XOR, LUI, J, BEQ y NOP**, cuyos códigos de operación y descripción se incluyen más abajo. En cualquier caso, la instrucción *beq*, que implica riesgos de control por ser un salto, funcionará "anómalamente" en esta versión básica del microprocesador.

Para facilitar la realización de este ejercicio, se facilitan dos sub-bloques del procesador: el banco de registros y la ALU. En el material de la práctica se entregan asimismo ficheros VHDL con las entidades de otros bloques: la unidad de control (óvalo "Control" en las figuras 2 y 3), el bloque que genera los códigos de control para la ALU (óvalo "ALU control") y el propio procesador. Los alumnos deberán completar estos ficheros escribiendo el código de las correspondientes arquitecturas VHDL.

Por otra parte, para verificar el funcionamiento del procesador se entrega un fichero VHDL completo con un testbench muy simple que instancia el micro y las memorias de instrucciones y datos, para las cuales se entrega también completo un fichero VHDL.

La relación jerárquica en el diseño es pues la siguiente (ver figura 1):

- El testbench (*processor\_tb*), instancia al procesador (*processor*) y a las 2 memorias (*memory*).
- El procesador (*processor*) instancia el banco de registros (*reg\_bank*), la ALU (*alu*), la unidad de control (*control\_unit*) y el bloque para el control de la ALU (*alu\_control*).

Todos los registros utilizados deben usar el flanco de subida de reloj y reset asíncrono activo a nivel alto. Por otra parte, para la codificación del procesador se recomienda:

- No crear componentes adicionales: hacer el contador de programa, los registros del pipeline, multiplexores, etc. como código dentro de la arquitectura de *processor*.
- Utilizar asignaciones concurrentes (simples y condicionales).

El material se entrega con la siguiente estructura, que deberá mantenerse:

- Directorio *rtl/*: contiene el código del procesador:

<i>processor.vhd</i>	procesador, a completar
<i>alu.vhd</i>	ALU, completa
<i>reg_bank.vhd</i>	Banco de registros, completo
<i>control_unit.vhd</i>	Unidad de control, a completar
<i>alu_control.vhd</i>	Control de la ALU, a completar

- Directorio *sim/* : contiene lo necesario para simular el procesador (todos los ficheros están completos salvo *wave.do*, donde los alumnos podrán grabar la configuración de ondas que deseen):

<i>processor_tb.vhd</i>	Testbench
<i>memory.vhd</i>	Modelo simple de memoria síncrona
<i>programa.s</i>	Código fuente de un programa ensamblador de prueba
<i>programa.lst</i>	Listado con la codificación del programa
<i>instrucciones</i>	Fichero de datos para la memoria de instrucciones
<i>datos</i>	Fichero de datos para la memoria de datos
<i>runsim.do</i>	Script de simulación para ModelSim
<i>wave.do</i>	Script de configuración de ondas para ModelSim

El testbench instancia las memorias, las cuales leen, en una fase de inicialización en tiempo = 0, sus datos desde los ficheros "*instrucciones*" y "*datos*" (nótese que estas memorias son modelos que simplifican lo que sería un escenario con memorias reales). Estos dos ficheros resultan del ensamblado de *programa.s*. Por otra parte, el fichero *programa.lst* nos permite saber en qué dirección está cada instrucción y cómo está codificada. Este programa ejecuta todas las instrucciones del micro y, como explican sus comentarios, incluye instrucciones que, por riesgos de datos y control, no pueden ser ejecutadas correctamente por esta versión del procesador. Como referencia adicional, en Moodle se puede encontrar un enlace con la equivalencia entre nombres de registro MIPS y su número 0-31 (*registers.html*).

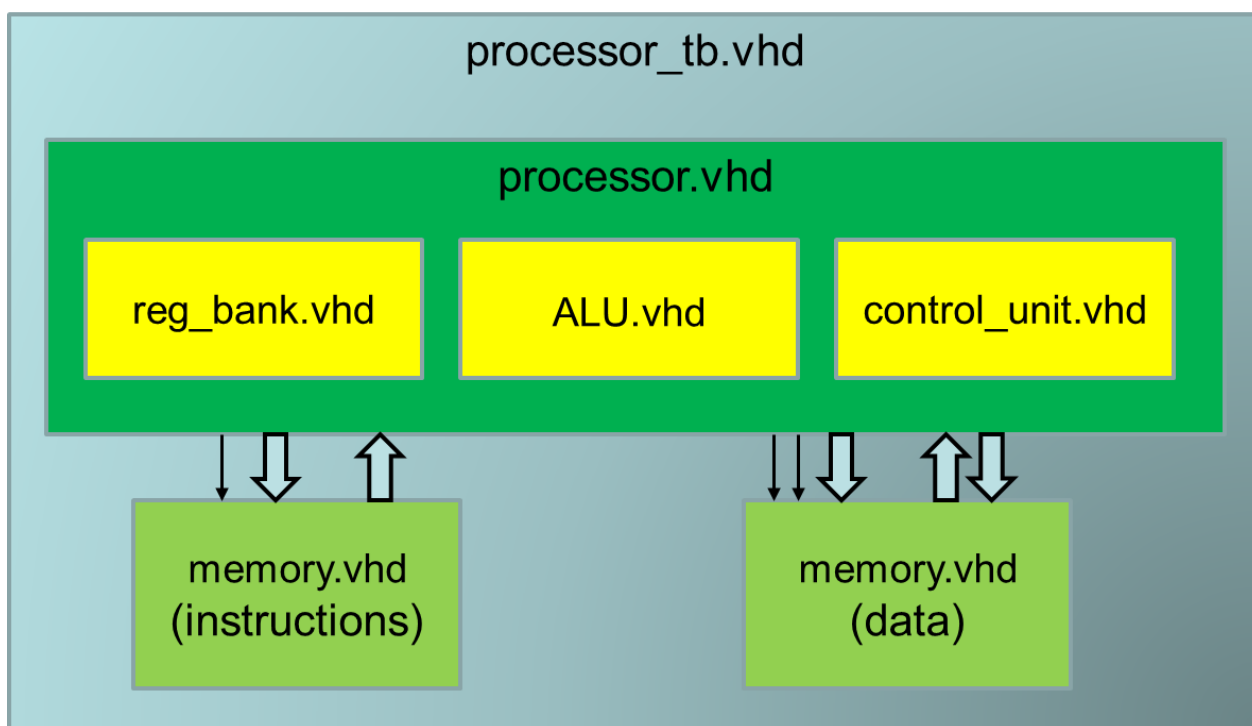


Figura 1. Jerarquía de ficheros VHDL en el diseño.

El esquema del procesador uniciclo a desarrollar es el indicado en la siguiente figura:

**NOTA:** Para la realización de este ejercicio se pueden revisar y reutilizar las prácticas realizadas a lo largo de la asignatura "Estructura de Computadores" (del segundo cuatrimestre del primer curso).

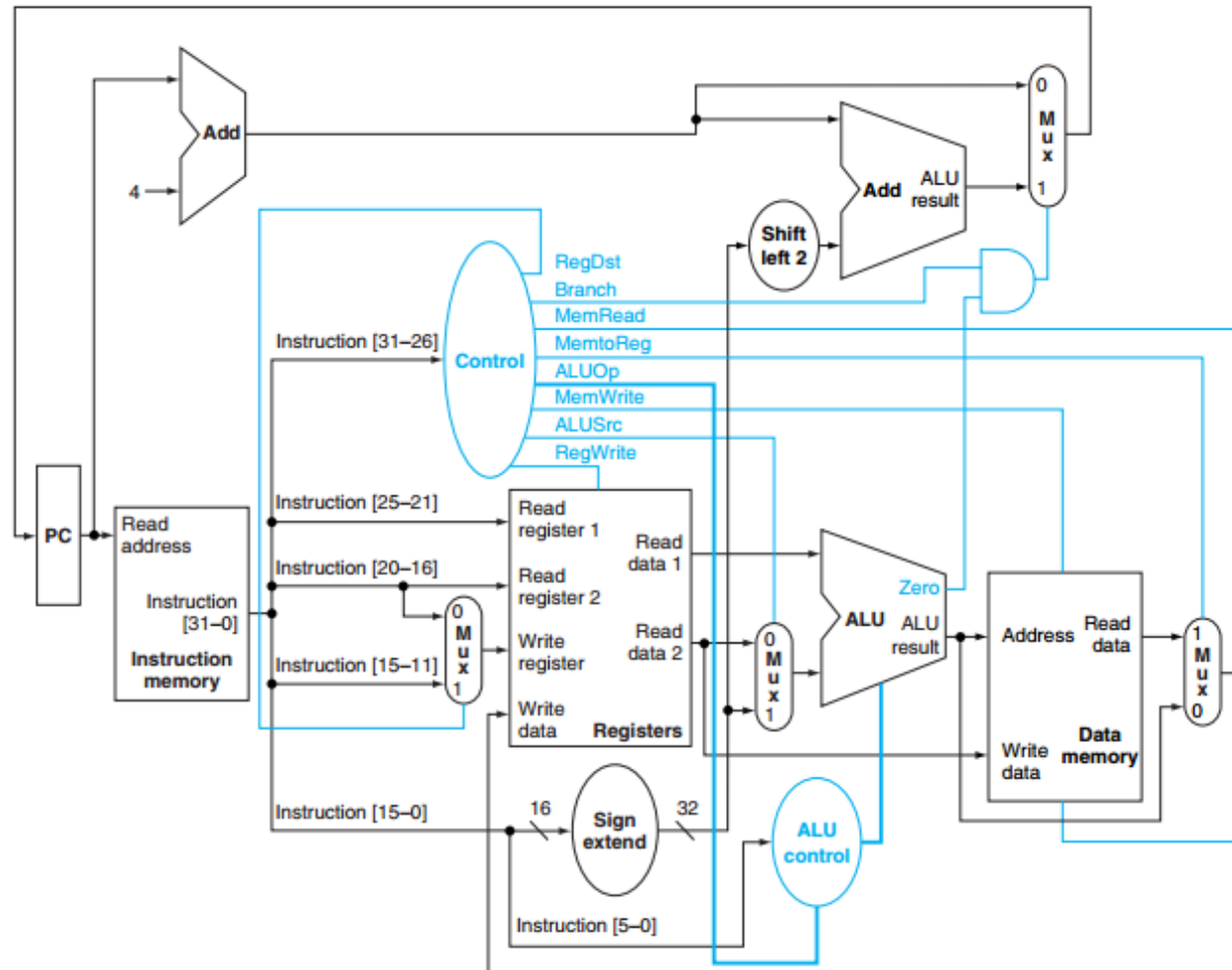


Figura 2. Modelo de microprocesador uniciclo.

Las instrucciones soportadas tienen la siguiente descripción:

## ADD

Add Word

31	26	25	21	20	16	15	11	10	6	5	0
SPECIAL 0 0 0 0 0 0						rs	rt	rd	0 0 0 0 0 0	ADD 1 0 0 0 0 0	
6						5	5	5	5	6	

Format: ADD rd, rs, rt

MIPS I

Purpose: To add 32-bit integers. If overflow occurs, then trap.

Description:  $rd \leftarrow rs + rt$

## Add Immediate Word

## ADDI

31	26	25	21	20	16	15	0
ADDI 0 0 1 0 0 0				rs	rt	immediate	
6				5	5	16	

Format: ADDI rt, rs, immediate

MIPS I

Purpose: To add a constant to a 32-bit integer. If overflow occurs, then trap.

Description:  $rt \leftarrow rs + \text{immediate}$

## AND

And

31	26	25	21	20	16	15	11	10	6	5	0
SPECIAL 0 0 0 0 0 0						rs	rt	rd	0 0 0 0 0 0	AND 1 0 0 1 0 0	
6						5	5	5	5	6	

Format: AND rd, rs, rt

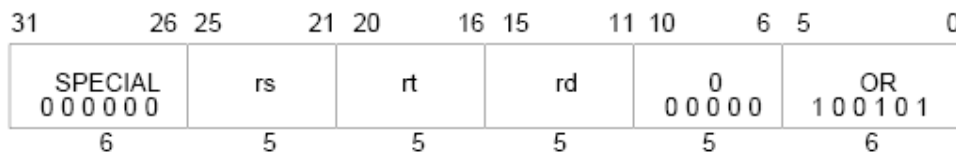
MIPS I

Purpose: To do a bitwise logical AND.

Description:  $rd \leftarrow rs \text{ AND } rt$

## OR

Or



**Format:** OR rd, rs, rt

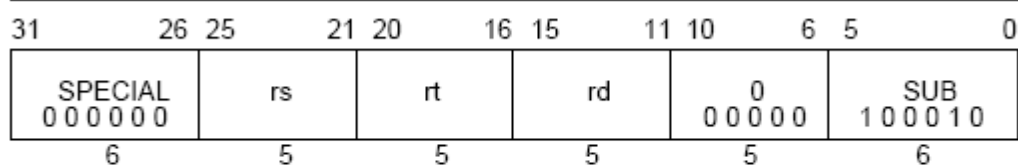
**MIPS I**

**Purpose:** To do a bitwise logical OR.

**Description:**  $rd \leftarrow rs \text{ OR } rt$

## SUB

Subtract Word



**Format:** SUB rd, rs, rt

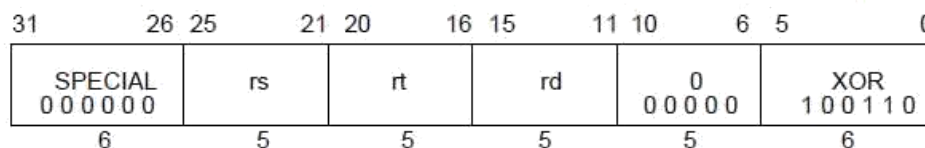
**MIPS I**

**Purpose:** To subtract 32-bit integers. If overflow occurs, then trap.

**Description:**  $rd \leftarrow rs - rt$

## XOR

Exclusive OR



**Format:** XOR rd, rs, rt

**MIPS I**

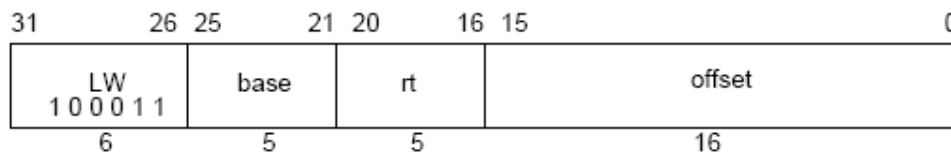
**Purpose:** To do a bitwise logical EXCLUSIVE OR.

**Description:**  $rd \leftarrow rs \text{ XOR } rt$

Combine the contents of GPR *rs* and GPR *rt* in a bitwise logical exclusive OR operation and place the result into GPR *rd*.

## LW

Load Word



Format: LW rt, offset(base)

MIPS I

Purpose: To load a word from memory as a signed value.

Description:  $rt \leftarrow \text{memory}[\text{base} + \text{offset}]$

## SW

Store Word



Format: SW rt, offset(base)

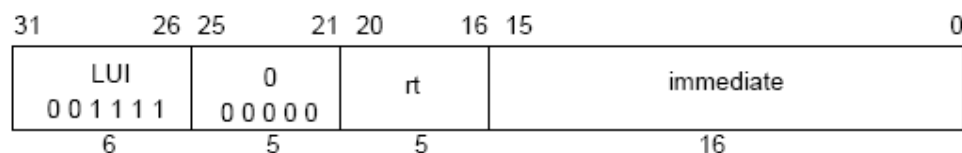
MIPS I

Purpose: To store a word to memory.

Description:  $\text{memory}[\text{base} + \text{offset}] \leftarrow rt$

## Load Upper Immediate

LUI



Format: LUI rt, immediate

MIPS I

Purpose: To load a constant into the upper half of a word.

Description:  $rt \leftarrow \text{immediate} \parallel 0^{16}$

### Set on Less Than Immediate

## SLTI

31	26	25	21	20	16	15	0
SLTI 0 0 1 0 1 0		rs	rt	immediate			
6		5	5	16			

**Format:** SLTI *rt*, *rs*, immediate

## MIPS I

**Purpose:** To record the result of a less-than comparison with a constant.

**Description:**  $rt \leftarrow (rs < \text{immediate})$

Compare the contents of GPR *rs* and the 16-bit signed *immediate* as signed integers and record the Boolean result of the comparison in GPR *rt*. If GPR *rs* is less than *immediate* the result is 1 (true), otherwise 0 (false).

## BEQ

### Branch on Equal

31	26	25	21	20	16	15	0
BEQ 0 0 0 1 0 0		rs	rt	offset			
6		5	5	16			

**Format:** BEQ *rs*, *rt*, offset

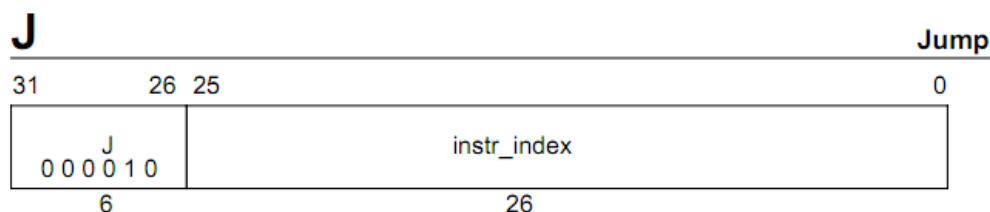
## MIPS I

**Purpose:** To compare GPRs then do a PC-relative conditional branch.

**Description:** if (*rs* = *rt*) then branch

An 18-bit signed offset (the 16-bit *offset* field shifted left 2 bits) is added to the address of the instruction following the branch (not the branch itself), in the branch delay slot, to form a PC-relative effective target address.

If the contents of GPR *rs* and GPR *rt* are equal, branch to the effective target address after the instruction in the delay slot is executed.



**Format:** J target

**MIPS I**

**Purpose:** To branch within the current 256 MB aligned region.

**Description:**

This is a PC-region branch (not PC-relative); the effective target address is in the "current" 256 MB aligned region. The low 28 bits of the target address is the *instr\_index* field shifted left 2 bits. The remaining upper bits are the corresponding bits of the address of the instruction in the delay slot (**not** the branch itself).

Jump to the effective target address. Execute the instruction following the jump, in the branch delay slot, before jumping.

### La instrucción NOP

La instrucción NOP no viene definida como una instrucción en sí en el juego de instrucciones del MIPS, sino como un caso particular de otra instrucción. En lo referente esta práctica, se considera como instrucción NOP aquella que tenga los 32 bits a '0'. El comportamiento del procesador ante esta instrucción debe ser el de no modificar ninguno de los recursos del mismo (banco de registros, memoria de datos).



## Ejercicio 2 (7 puntos)

Se pide implementar el microprocesador MIPS en su versión segmentada. **El resultado debe ser un micro capaz de realizar en el caso ideal (sin riesgos) una instrucción por ciclo de reloj.** Para el ejercicio básico, no es necesario que el modelo soporte riesgos (salvo el estructural de acceso a memorias separadas de instrucciones y datos).

Todos los registros utilizados para la segmentación han de cumplir las siguientes características:

1. Funcionar por flanco de subida del reloj (`rising_edge(clk)`).
2. *Resetearse asincrónicamente* utilizando la señal "Reset" de la entidad "processor\_core".

Se recomienda utilizar como guía el esquema reflejado en la siguiente figura (ligeramente diferente al del libro).

**NOTA: Nótese en la figura que la lógica relativa al cálculo de las direcciones de salto y su decisión se encuentra en la etapa ID del *pipeline*.**

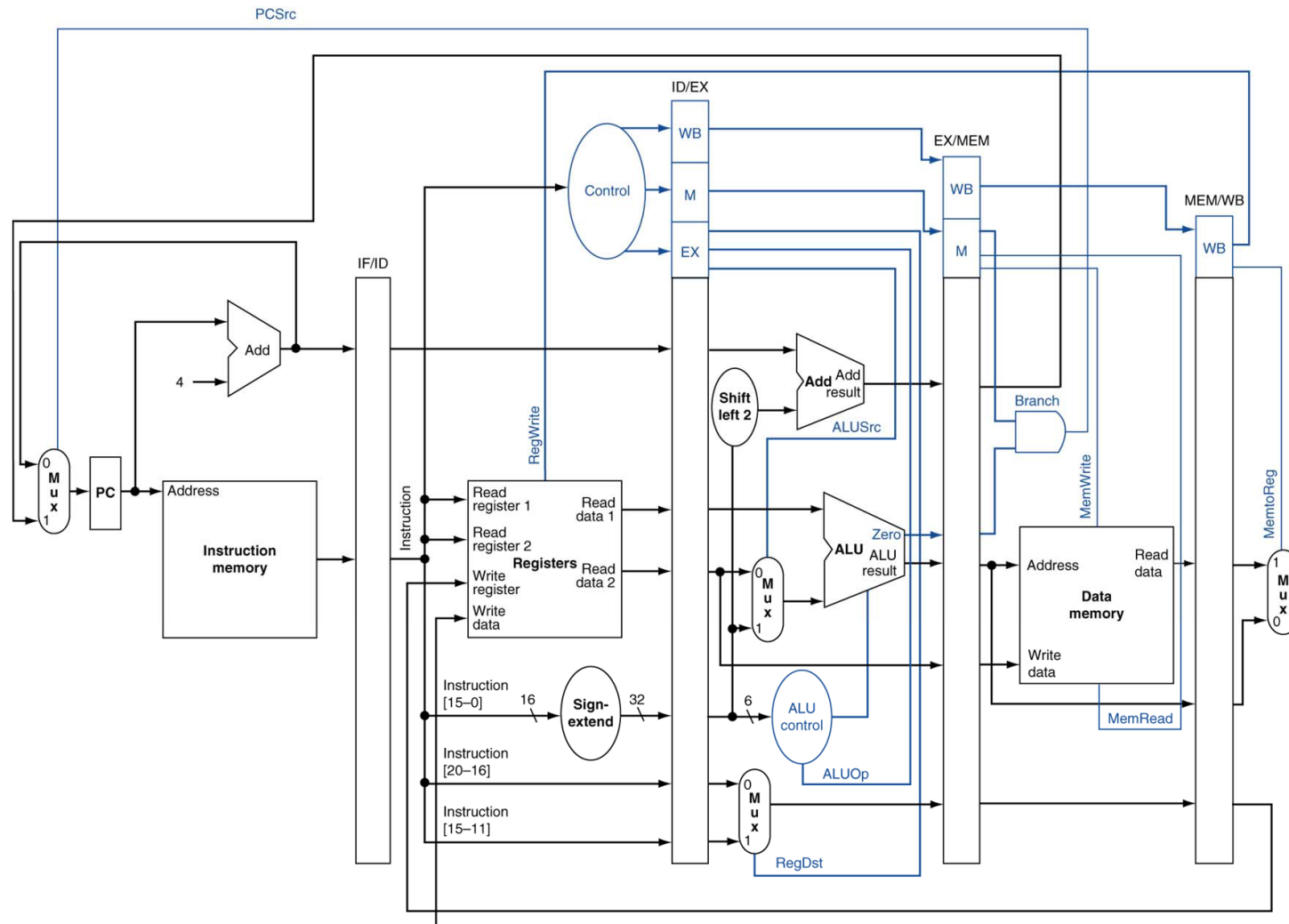


Figura 3. Modelo de microprocesador segmentado.

## MATERIAL A ENTREGAR

Sólo los ficheros VHDL de los ejercicios 1 y 2.

La entrega se realizará a través de Moodle, con fecha tope el día antes del comienzo de la siguiente práctica hasta las 23:59 de la noche. Esto es:

- **Grupo 1361 y 1362** – hasta el martes 10 de octubre de 2017 a las 23:59.
- **Grupos 1301, 1302, 1311 y 1312** – hasta el miércoles 11 de octubre de 2017 a las 23:59.

\*El profesor de cada grupo de prácticas podrá requerir una defensa, la cual es parte de la nota de la práctica

## AYUDAS Y AVISOS

Los ficheros “instrucciones” y “datos” que contienen las memorias de instrucciones y datos respectivamente deben localizarse en el mismo directorio desde donde se lance la simulación del proyecto. Si no fuera así, en el fichero “procesador\_TB.vhd” se puede dar la ruta completa de dichos ficheros cambiando las líneas de código:

```
C_ELF_FILENAME    => "instrucciones",  
...  
C_ELF_FILENAME    => "datos",
```

Por otras donde indique la ruta completa a ambos ficheros:

```
C_ELF_FILENAME    => "D:\nombredirectorio\instrucciones",  
...  
C_ELF_FILENAME    => "D:\nombredirectorio\datos",
```

En la carpeta “sw” que se provee en el material de la práctica se encuentra tanto un programa ensamblador de prueba como las herramientas para compilarlo al formato que utilizan nuestras memorias. El programa de prueba “programa.asm” proporcionado en la práctica **NO** incluye riesgos de datos y prueba todas las instrucciones del ejercicio básico. Para generar los ficheros con el contenido de las memorias a partir del programa en ensamblador es suficiente con hacer doble clic sobre el fichero “arqo\_comp.bat”.

La tabla contenida en el archivo “registers.html” proporcionada en la práctica muestra la traducción de los nombres de registros usados en ensamblador al número de registro en el micro, del 0 al 31.