



66.61 - TECNOLOGÍA DE CIRCUITOS INTEGRADOS
Trabajo Práctico Final
Sintetizador de Frecuencias para un Microcontrolador con un PLL Digital

Andrew Parlane

4 de julio de 2019

Índice

1. Objetivo	4
2. Introducción	4
2.1. Sintetizador de frecuencias	4
2.2. PLL Digital	4
3. TSMC 180	5
4. Compuertas básicos	6
5. VCO	7
6. Divisor de Frecuencias	11
7. PFD y el Filtro de Lazo	13
8. PLLD	17
9. Sintetizador de Frecuencias	19
10. Conclusión	21

Índice de figuras

1. Un diagrama de bloques de un sintetizador de frecuencias	4
2. Un diagrama de bloques de un PLLD	5
3. Esquemático de dos inversores en cascada	6
4. Simulación para encontrar el mejor ratio entre W_N Y W_P	6
5. Una selección de compuertas.	7
6. Un Oscilador en Anillo limitado por corriente.	7
7. Fuente de corriente controlado por tensión.	8
8. Simulación de la fuente de corriente controlado por tensión.	9
9. Esquemático del VCO.	9
10. Esquemático de la prueba para VCO.	10
11. Simulación de Frecuencia medida y estimada contra W_N	10
12. Simulación de Frecuencia medida y estimada contra V_{IN}	11
13. Implementación de un divisor de frecuencias de 2^N	11
14. Prueba para el divisor de frecuencias de 2^N	12
15. Divisor de frecuencias de $2N$	12
16. Divisor de frecuencias de $2N$ con otro comparrador.	13
17. Comparación entre los dos divisores de $2N$	13
18. Un PFD básico.	14
19. Simulación del PFD básico.	14
20. Otro diseño de un PFD.	15
21. Simulación del otro PFD.	15
22. Salida de tri-state.	16
23. Filtro de Lazo para usar con el PFD con salida tri-state.	16
24. Esquemático del PLLD entero.	17

25.	Simulación de un PLLD con reloj de entrada de 25 MHz, N=8 y salida 200 MHz.	18
26.	Simulación de un PLLD con reloj de entrada de 12 MHz, N=22 y salida 264 MHz.	19
27.	Simulación de un PLLD con reloj de entrada de 100 MHz, N=2 y salida 200 MHz.	19
28.	Simulación de un PLLD con reloj de entrada de 5 MHz, N=30 y salida 150 MHz.	19
29.	Esquemático de un sintetizador de frecuencias.	20
30.	Simulación de un sintetizador de frecuencias con reloj de entrada de 100 MHz y salida 44.44 MHz.	20

1. Objetivo

El objetivo de este trabajo es diseñar un sintetizador de frecuencias para uso en un micro-controlador con un PLL digital. Debería tomar un reloj de entrada con frecuencia f_{ref} y unas señales de control y producir un reloj de salida con frecuencia $f_o = Nf_{ref}/M$, donde N y M depende en las señales de control.

2. Introducción

2.1. Sintetizador de frecuencias

Un PLLD produce un reloj de salida con frecuencia f_o desde un reloj de entrada con frecuencia f_i con las restricciones:

$$\begin{aligned} f_{i_{min}} &\leq f_i \leq f_{i_{max}} \\ f_{o_{min}} &\leq f_o \leq f_{o_{max}} \\ f_o &= Nf_i \\ N_{min} &\leq N \leq N_{max} \end{aligned} \quad N \in \mathbb{Z}$$

Para obtener un mejor rango de f_o se puede dividir la salida del PLL con un divisor de frecuencias. Frecuentemente se usa otro divisor de frecuencias antes del PLL para permitir un rango de f_i más grande. Los valores de multiplicación y división pueden ser constantes o programables. Figura 1 muestra un sintetizador de frecuencias típico.

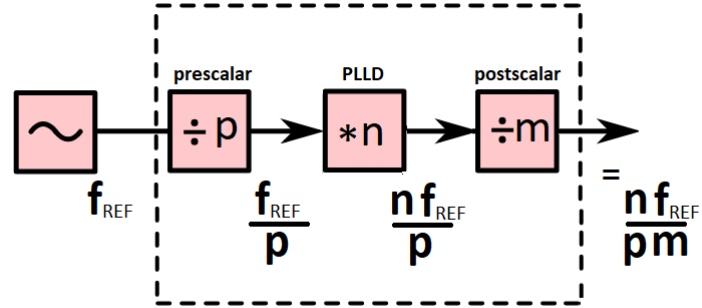


Figura 1: Un diagrama de bloques de un sintetizador de frecuencias

2.2. PLL Digital

Un PLLD consiste en cuatro partes:

- Un detector de fase que compara dos señales de entrada y genera una señal que representa la diferencia entre las fases.

- Un filtro de laso que ayuda el PLL estar estable.
- Un VCO (por Voltage Controlled Oscillator) que usa una tensión de entrada para cambiar la frecuencia de salida.
- Un divisor de frecuencias. La señal de salida vuelva al detector de fase como una de las entradas.

En esta forma el PLL ajuste la salida hasta un múltiple de la entrada. Figura 2 muestra un PLLD en bloques.

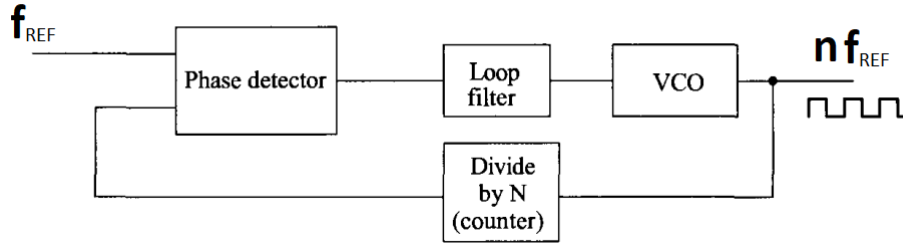


Figura 2: Un diagrama de bloques de un PLLD

3. TSMC 180

Para comenzar tuve que aprender un poco sobre la tecnología de TSMC 180. Leyendo los documentos dados encontré:

Parámetro	Valor
L_{MIN}	$0.18 \mu\text{m}$
W_{MIN}	$0.42 \mu\text{m}$
LD_{MIN}	$0.48 \mu\text{m}$
$V_{DD_{MAX}}$	1.8V

No pude encontrar una lista de capacitancias entre cada capa, pero en el spice.lib encontré $t_{OX} = 4.1 \text{ nm}$, con esto pude calcular $C'_{OX} = 8418 \text{ aF}/\mu\text{m}^2$.

Realicé una simulación para encontrar el mejor ratio entre W_N y W_P . Figura 3 muestra el esquemático y Figura 4 muestra el resultado. El mejor tiempo de propagación es dado cuando $W_P = 1.5W_N$. Así en este proyecto uso $WPF_{ACT} = 1.5$.

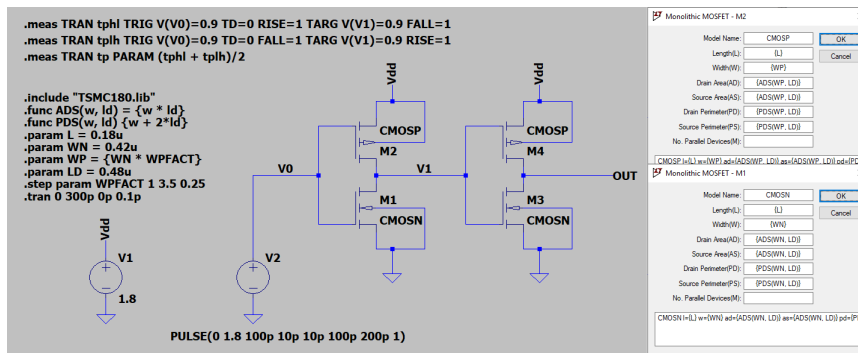


Figura 3: Esquemático de dos inversores en cascada

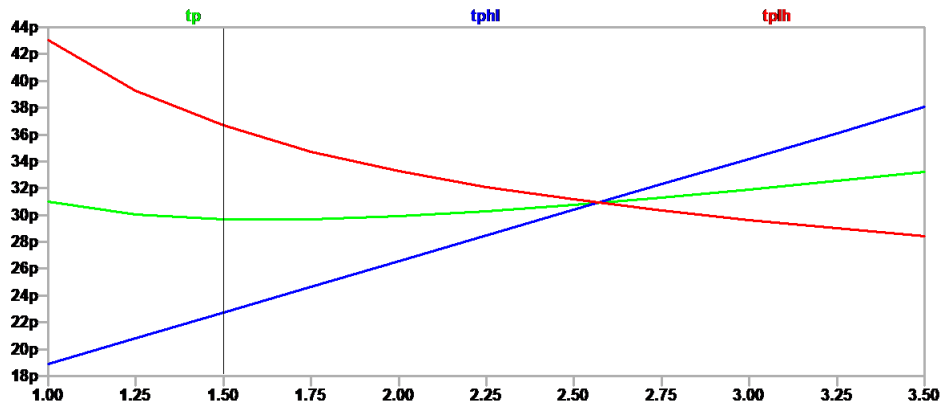


Figura 4: Simulación para encontrar el mejor ratio entre W_N Y W_P

4. Compuertas básicas

Implementé varias compuertas básicas y realicé simulaciones para verificar su comportamiento. Los componentes que diseñe son:

- Inversor con el drain conectado a V_{DD} y el source conectado a tierra.
- Inversor con el drain y el source exportado en el netlist.
- AND con 2 y 4 entradas.
- NAND con 2, 3 y 4 entradas.
- NOR con 2 entradas.
- OR con 2 entradas.
- XNOR con 2 entradas.
- Transmission Gate.
- MUX con 2 vías.
- MUX con 4 vías y salida invertido.
- FFD con reset asincrónico.

Cada compuerta consiste de un .asc y un .asy, y es parametrizado, así que cada instancia puede usar tamaños diferentes. Figura 5 muestra una selección de las compuertas.

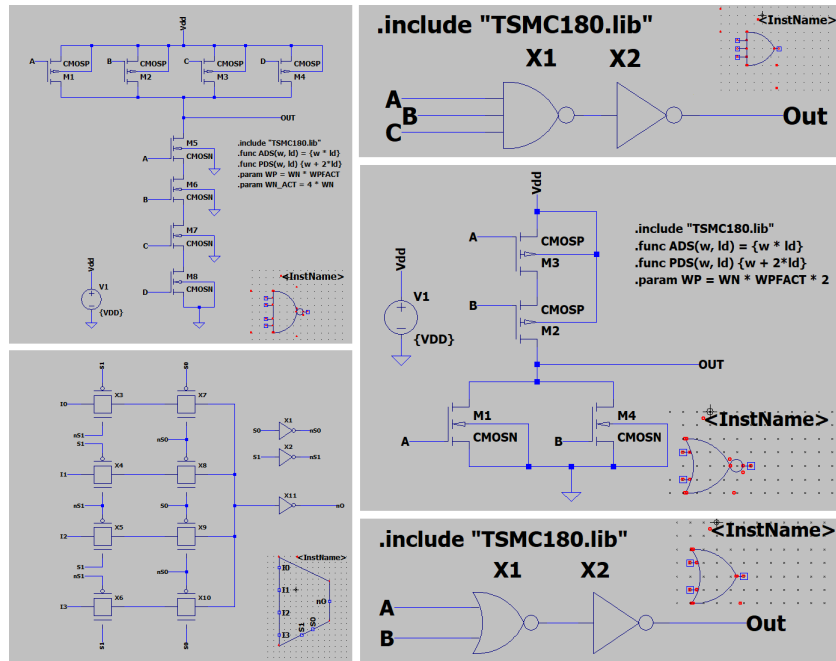


Figura 5: Una selección de compuertas.

5. VCO

Hay varias formas construir un VCO (por Voltage Controlled Oscillator), elegí usar un oscilador en anillo limitado por corriente. Figura 6 muestra la idea. Funciona cómo un oscilador en anillo normal pero los fuentes de corrientes controlan el tiempo de propagación del inversor, cambiando la frecuencia de operación.

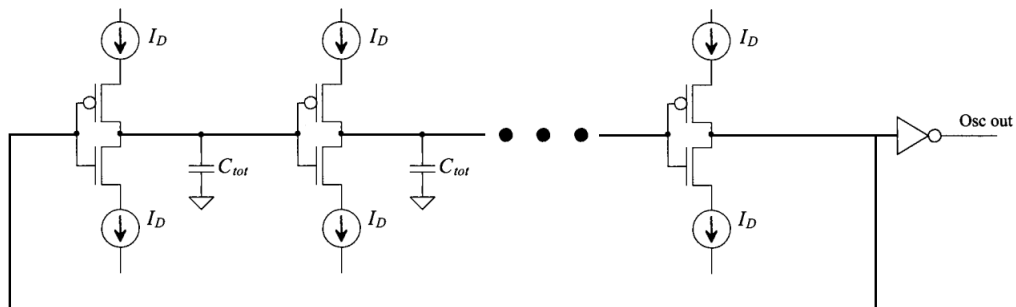


Figura 6: Un Oscilador en Anillo limitado por corriente.

$$C_{tot} = \frac{5}{2} C_{OX} (W_N L_N + W_P L_P)$$

$$f = \frac{I_D}{N C_{tot} V_{DD}}$$

Donde N es el número de inversores en el anillo, y W_N, L_N, W_P, L_P son los anchos y largos de los transistores en los inversores. Elegí una corriente central de $10 \mu\text{A}$ que me da por inversores mínimos, y $N = 7$:

$$C_{tot} = 4.0 \text{ fF}$$

$$f = 198.4 \text{ MHz}$$

El primer parte consistió en diseñar una fuente de corriente controlado por tensión. La figura 7 muestra el diseño utilizado.

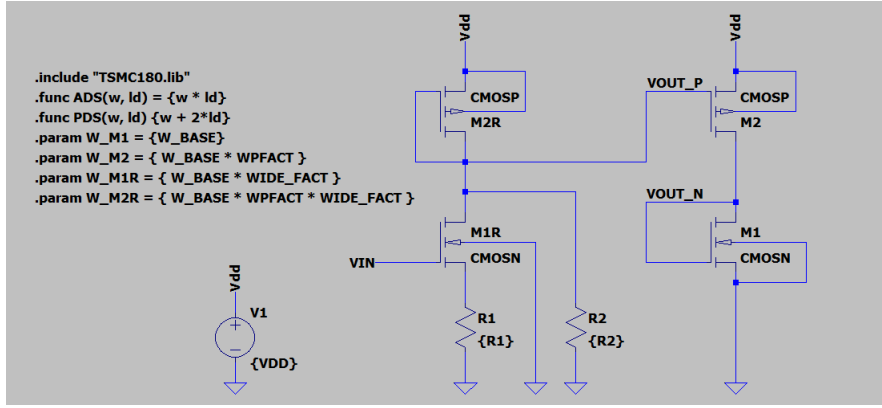


Figura 7: Fuente de corriente controlado por tensión.

El resistor R_1 controla la pendiente de corriente contra tensión de V_{IN} y permite mejorar la linealidad de esta transferencia. El resistor R_2 controla el corriente mínimo cuándo $V_{IN} < V_T$.

Luego, simulando y aplicando un método iterativo se hallaron los siguientes valores:

$$\begin{array}{llll} W_{M1} = 4.0 \mu\text{m} & W_{M2} = 6.0 \mu\text{m} & W_{M1R} = 12.0 \mu\text{m} & W_{M2R} = 18.0 \mu\text{m} \\ L = 0.9 \mu\text{m} & R_1 = 20.0 \text{ k}\Omega & R_2 = 86.0 \text{ k}\Omega & \end{array}$$

Que me da la salida verde mostrada en figura 8. Una corriente mínima de $5.0 \mu\text{A}$, una corriente central de $9.9 \mu\text{A}$, y una corriente máxima de $20.4 \mu\text{A}$. La pendiente es aproximadamente lineal para $V_{IN} > 0.7 \text{ V}$, cómo muestra la línea verde oscura, con una ecuación de $I_D = V_{IN} \cdot 11.8 \mu\text{A/V} - 0.8 \mu\text{A}$. La salida roja es por el fuente de corriente con $R_2 = \infty \Omega$, tiene aproximadamente la misma pendiente de la salida con $R_2 = 86 \text{ k}\Omega$, pero tiene $I_D \approx 0 \mu\text{A}$ para $V_{IN} < 0.4 \text{ V}$.

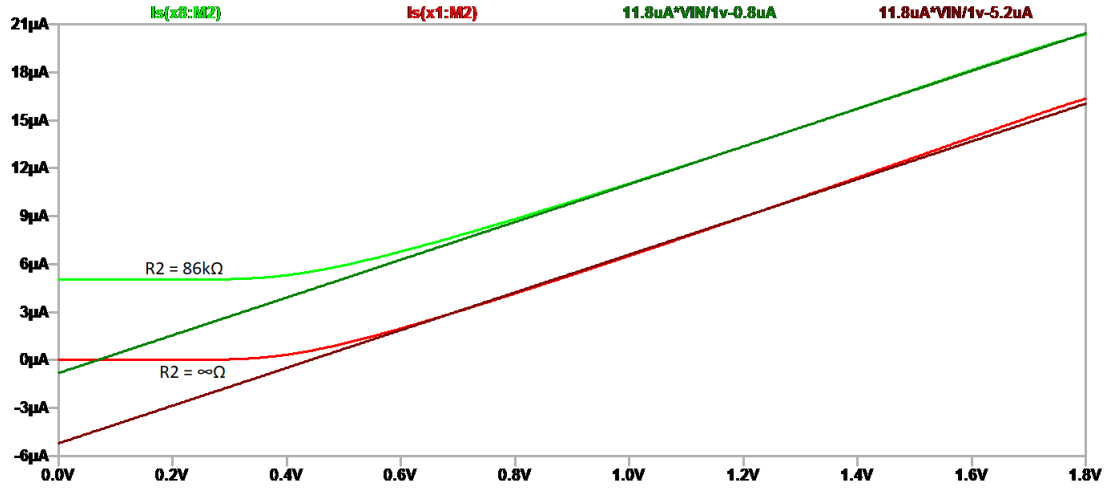


Figura 8: Simulación de la fuente de corriente controlado por tensión.

Figura 9 muestra el esquemático del VCO, y Figura 10 muestra el esquemático de prueba con todos los parámetros. Usa directivos de SPICE para medir y calcular la frecuencia promedio y el duty cycle sobre 100 ciclos. También calcula la frecuencia de salida esperada usando las ecuaciones anteriores. Encontré que la práctica y la teoría son diferentes para inversores mínimos, así realicé otras simulaciones para ver cómo cambiando W_N afecta estos valores. Figura 11 muestra el resultado. La frecuencia calculada y medida están iguales por $W_N = 0.52\mu m$ y $V_{IN} = 0.9V$. Luego, simulando frecuencia contra V_{IN} usando valores de W_N cerca de $0.52\mu m$ encontré que la pendiente es el más lineal para $W_N = 0.57\mu m$, así usé ese valor en mi diseño final.

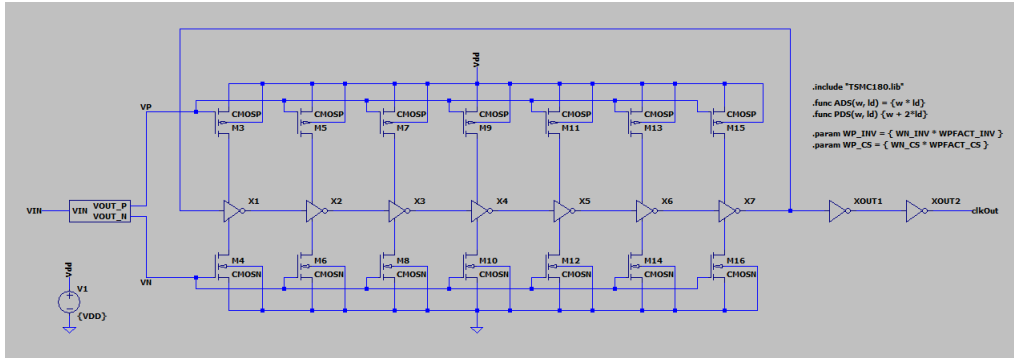


Figura 9: Esquemático del VCO.

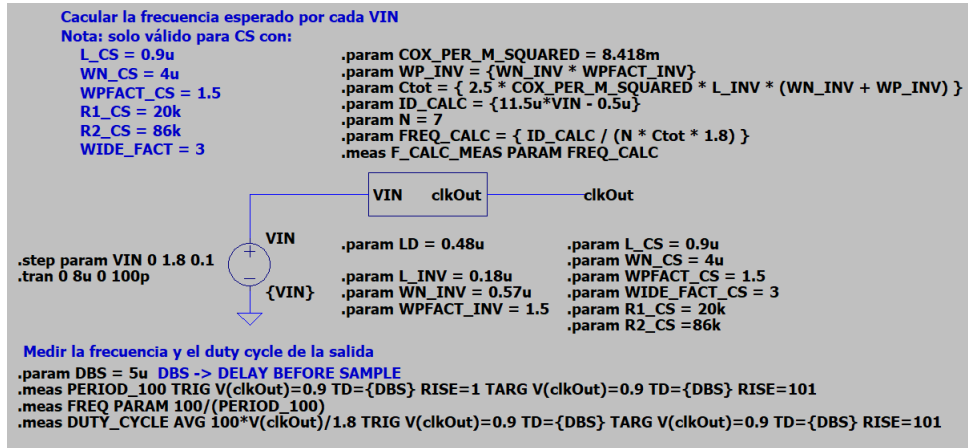


Figura 10: Esquemático de la prueba para VCO.

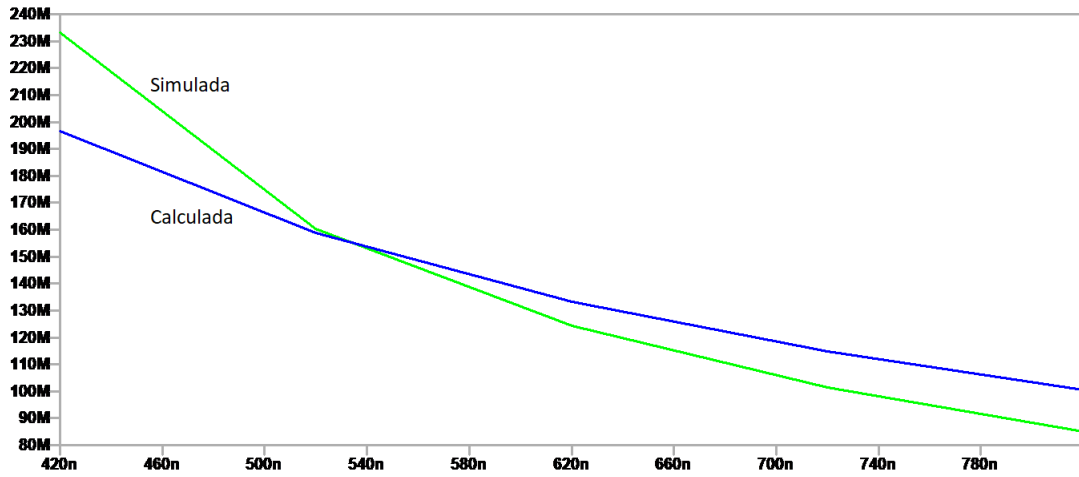


Figura 11: Simulación de Frecuencia medida y estimada contra W_N .

Figura 12 muestra cómo cambia la frecuencia simulada y calculada con V_{IN} . La pendiente del parte lineal es aproximadamente 200 MHz/V dando un $K_{VCO} = 2\pi \cdot 200 \text{ MHz/V} = 1.26 \times 10^9 \text{ rad/(V s)}$. Se observa que ambas son similares para V_{IN} entre 0.4 V y 1.2 V

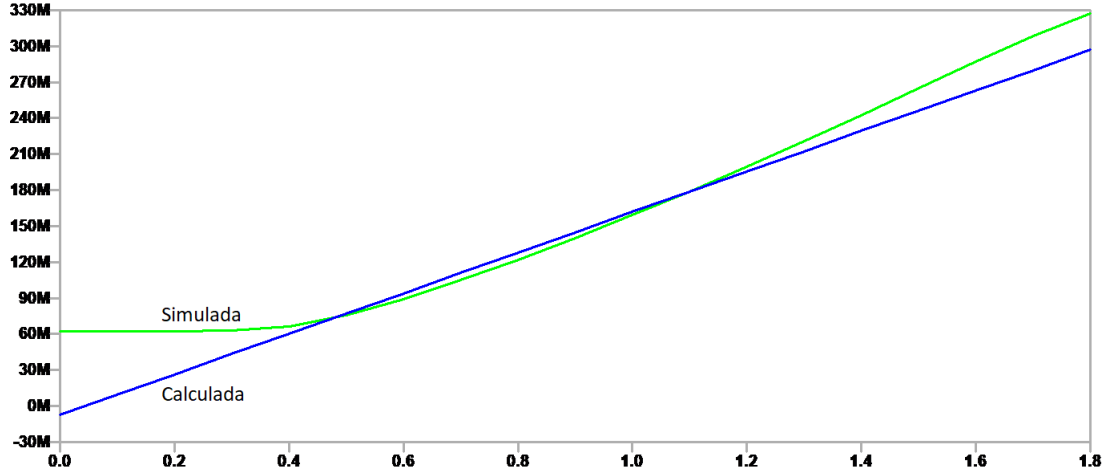


Figura 12: Simulación de Frecuencia medida y estimada contra V_{IN} .

6. Divisor de Frecuencias

Hay varias arquitecturas para implementar divisores de frecuencias, cual es mejor depende en la especificación del proyecto. Para este trabajo quise dividir por un valor programable.

Al principio implemente un divisor de frecuencias que puede dividir por 2^N . La implementación es N FFDs en cascada como muestra Figura 13. Cada ciclo del clkIn hace que div2 invierte su valor, así div2 completa un ciclo cada dos ciclos del clkIn. Después div4 completa un ciclo cada dos ciclos del div2, o cuatro ciclos del clkIn, etc... Mi implementación solo permite dividir hasta $2^4 = 16$, para dividir por factores más altos puede conectar dos de los componentes en cascada. Un MUX puede ser usado para elegir la salida querido, como muestra Figura 14.

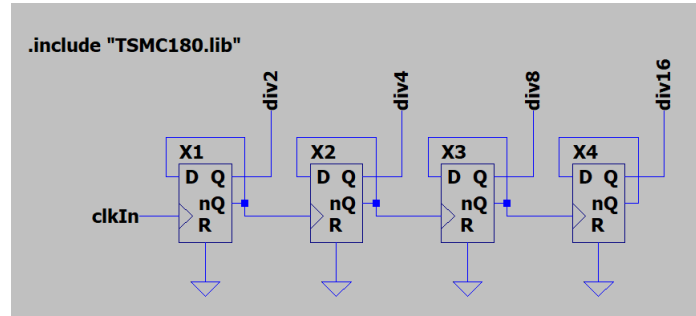
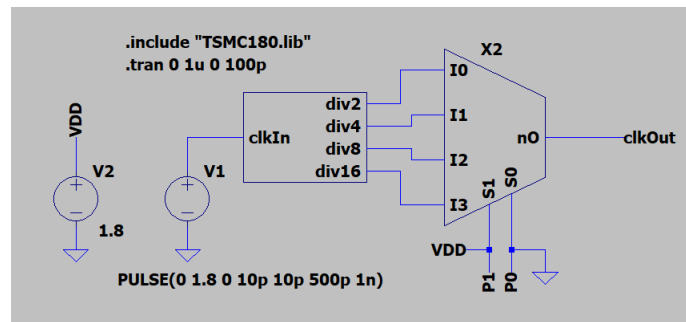


Figura 13: Implementación de un divisor de frecuencias de 2^N

La desventaja de esta arquitectura es que cuando se usa en un PLLD, solo se permite obtener una o dos frecuencias válidas. Por ejemplo con el VCO descrito en la sección anterior, la salida del VCO tiene que ser entre 60 MHz y 330 MHz. Por un reloj de entrada de 12 MHz solo se puede sintetizar una salida de 96 MHz usando un divisor de 8, o de 192 MHz usando un divisor de 16. Un divisor de 4 da una salida de 48 MHz y un divisor de 32 da una salida de 384 MHz, ambos de los dos están fuera del rango de la operación del VCO.



En este proyecto estoy intentando diseñar un PLLD por un micro, que puede ser utilizado en un rango de entornos grandes, así un divisor que puede producir un rango lineal de salidas será mejor. Así implementé un componente que divide por $2N$. Figura 15 muestra una implementación. De nuevo usa una cadena de FFDs, pero esta vez se usa como un contador digital. Unas compuertas XNOR hacen una comparación entre el valor del contador Q y el factor de división querido P. Cuando todos los bits están iguales invierte el clkOut. También implementé un otro divisor, mostrado en Figura 16, que es muy parecido. La única diferencia es el diseño del comparador. Figura 17 muestra una simulación comparando los dos. El primer diseño (con las compuertas XNOR) es aproximadamente 270 ps más rápido que el segundo, así elegí usar eso. Los dos diseños no funcionan cuando $P = 0$ y dan una salida con frecuencia $f_{out} = f_{in}/2P$ por los demás valores de P.

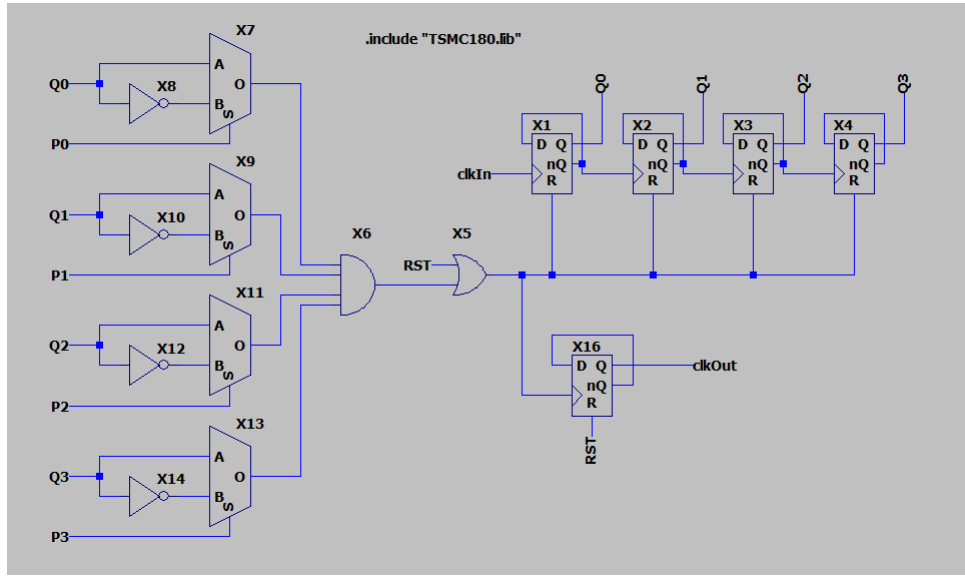


Figura 16: Divisor de frecuencias de $2N$ con otro comparrador.

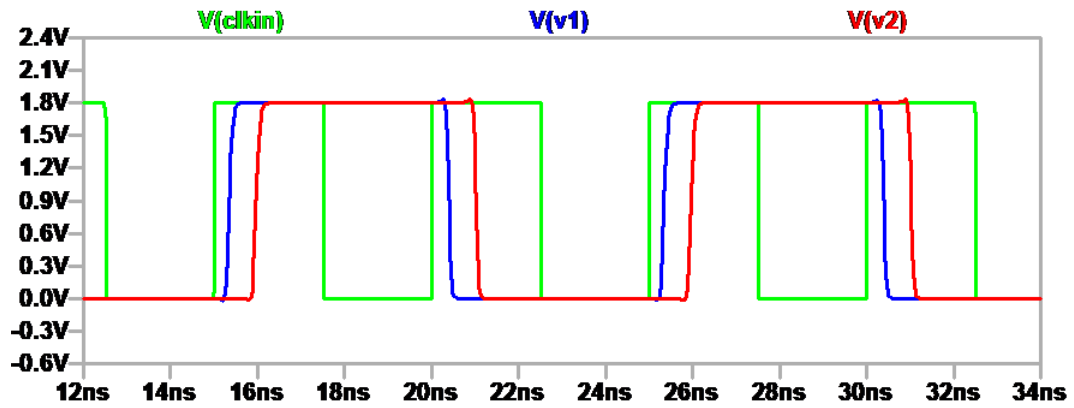


Figura 17: Comparación entre los dos divisores de $2N$.

Con este divisor de frecuencias, el VCO de la sección anterior y un reloj de entrada de 12 MHz, podríamos producir 11 salidas con frecuencias entre 72 MHz y 312 MHz, lo que es mucho mejor que las dos frecuencias posibles con el divisor de 2^N .

7. PFD y el Filtro de Lazo

El PFD (por Phase Frequency Detector) es un componente que toma dos señales y indique la diferencia entre sus fases. Figura 18 muestra una implementación de un PFD. En el primer flanco ascendente de dClock o clkIn la salida de su FFD cambia a un uno. Cuando llega el flanco de la otra señal, la salida de su FFD cambia a un uno también, así la salida de la compuerta AND cambia a un uno y pone a cero los dos FFDs. Así la salida UP o DOWN es alto por el tiempo entre los flancos ascendentes de los relojes. Estas dos señales pueden ser juntadas para

indicar la diferencia en fase. Usando directivas de SPICE simulé el tiempo que las señales UP y DOWN estuvieron alto por cada offset entre los relojes entre -800 ps y 800 ps en intervalos de 10 ps, figura 19 muestra los resultados.

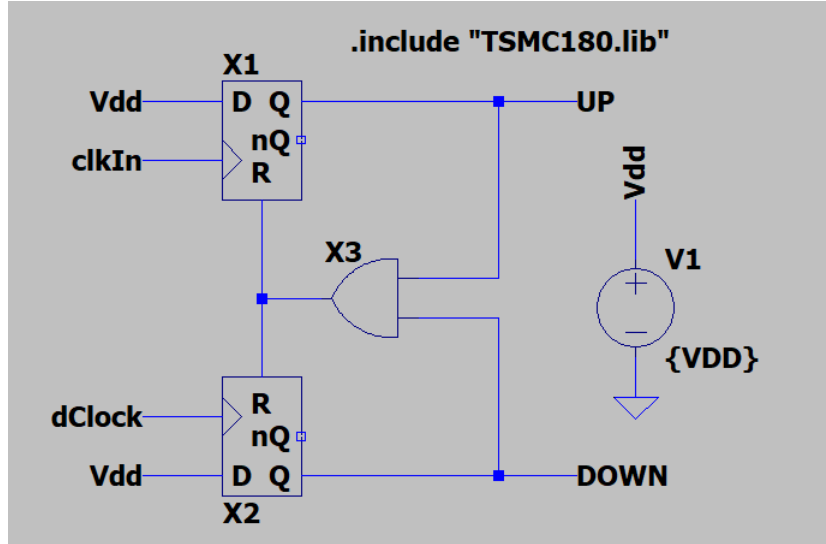


Figura 18: Un PFD básico.

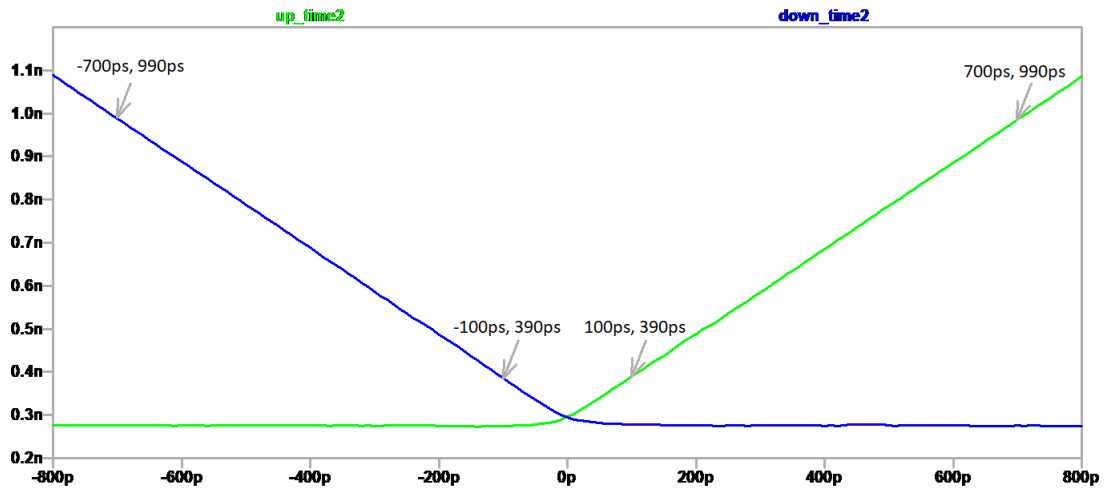


Figura 19: Simulación del PFD básico.

Figura 20 muestra otro diseño de un PFD, y Figura 21 muestra el ancho de los señales UP y DOWN. En este diseño hay un pequeño “dead zone” cuándo ninguno de los señales UP y DOWN están altos, pero en el diseño básico hay una superposición de aproximadamente 280 ps cuándo los dos señales están altos al mismo tiempo.

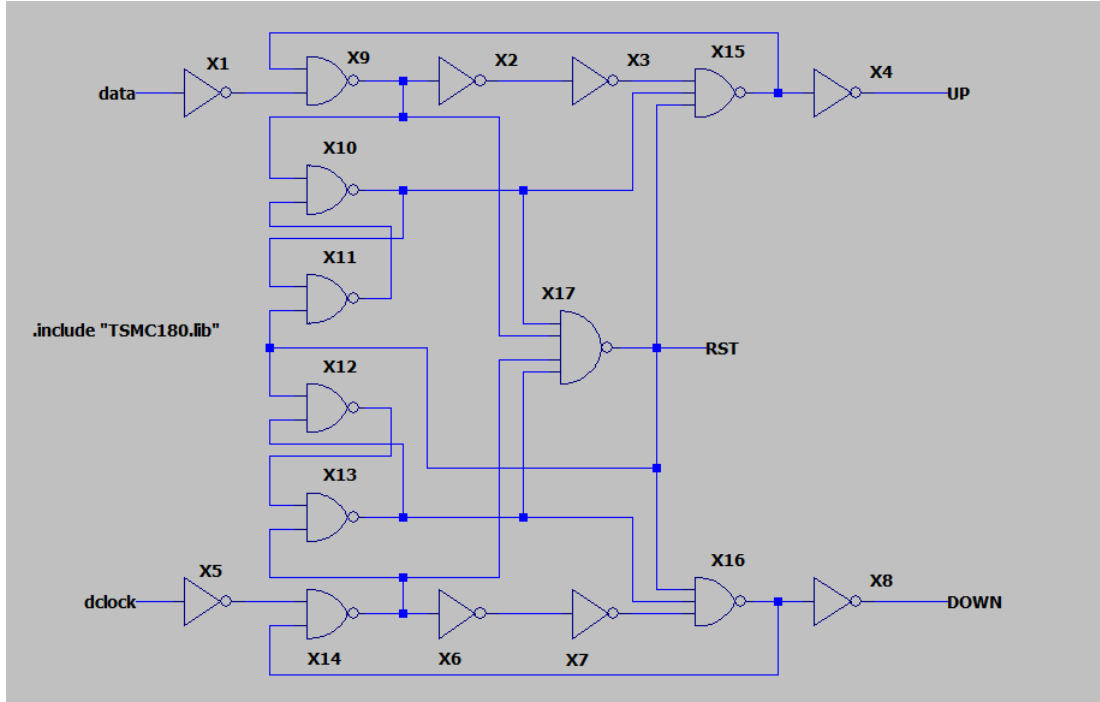


Figura 20: Otro diseño de un PFD.

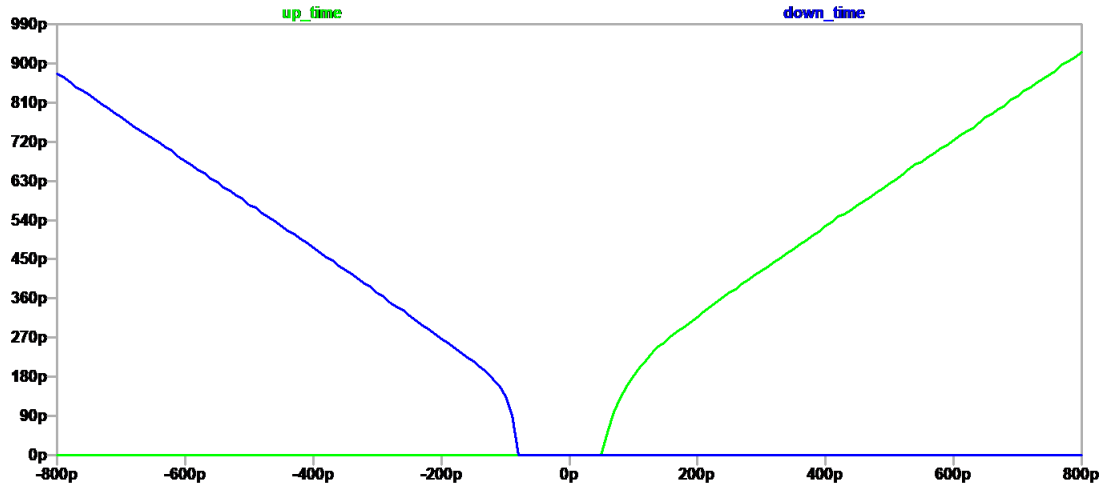


Figura 21: Simulación del otro PFD.

Para juntar UP y DOWN uso una salida de tri-state, Figura 22 muestra el esquemático. Cuando UP o DOWN están altos, la carga sobre los drains puede cargar o descargar, pero cuando ninguno de los señales están altos, la salida tiene alta impedancia. El gain del PFD con la salida tri-state es $K_{PD_{tri}} = V_{DD}/4\pi$.

Finalmente es necesario pasar la salida del PFD por un filtro. El filtro usado es mostrado en Figura 23. La función de transferencia del filtro de lazo es: $K_F = \frac{1+sR_2C}{s(R_1+R_2)C}$.

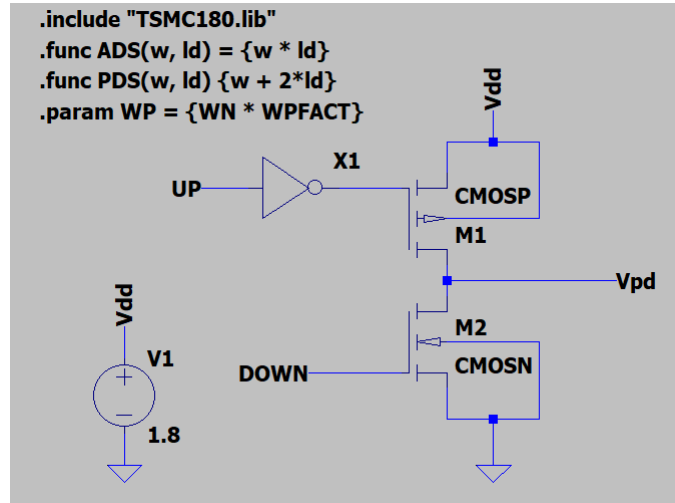


Figura 22: Salida de tri-state.

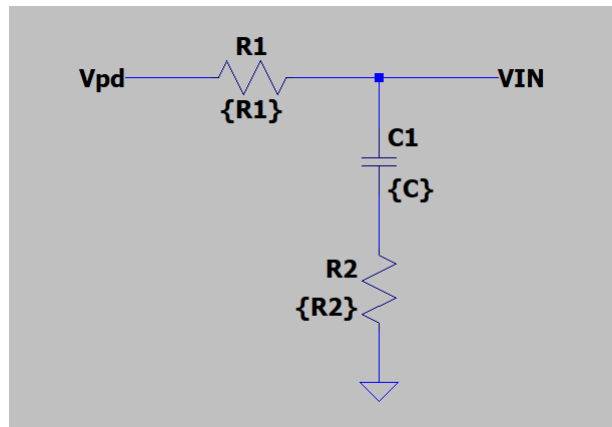


Figura 23: Filtro de Lazo para usar con el PFD con salida tri-state.

8. PLLD

Figura 24 muestra el esquemático final del PLLD con todos los componentes conectados.

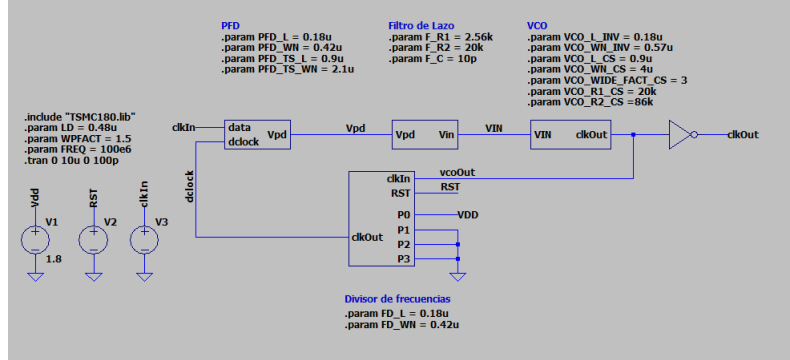


Figura 24: Esquemático del PLLD entero.

Las ecuaciones para este PLL son:

$$H(s) = \frac{K_{PD_{tri}} K_F K_{VCO}}{s + \frac{1}{N} K_{PD_{tri}} K_F K_{VCO}}$$

$$\omega_n = \sqrt{\frac{K_{PD_{tri}} K_{VCO}}{N(R_1 + R_2)C}}$$

$$\zeta = \frac{\omega_n}{2} R_2 C$$

$$\Delta\omega_L = 4\pi\zeta\omega_n$$

$$\Delta\omega_P = \frac{\pi}{2} \sqrt{2\zeta\omega_n K_{VCO} K_{PD_{tri}} - \omega_n^2}$$

Donde:

- $H(s)$ = La función de transferencia de fase.
- ω_n = La frecuencia natural.
- ζ = El factor de amortiguamiento.
- $\Delta\omega_L$ = El rango de lock.
- N = El factor de división.
- $\Delta\omega_P$ = El rango de pull-in.

Comenzando con $\zeta = 1$, $\Delta\omega_L = 20 \text{ MHz} \cdot 2\pi$ y $N = 8$. Encontramos $\omega_n = 10 \times 10^6 \text{ rad/s}$ y $R_2 C = 200 \text{ ns}$. Elijiendo $C = 10 \text{ pF}$ y $R_2 = 20 \text{ k}\Omega$, podríamos encontrar $R_1 = 2.56 \text{ k}\Omega$. Porque queremos tener N programable podríamos volver calcular ω_n , ζ , $\Delta\omega_L$, y ω_P por cada N entre 2 y 30.

N	ω_n (rad/s)	F_N (MHz)	ζ	ω_L (rad/s)	F_L (MHz)	ω_P (rad/s)	F_P (MHz)
2	20.00×10^6	3.18	2.0	503×10^6	80	521×10^6	83
4	14.14×10^6	2.25	1.4	251×10^6	40	401×10^6	64
6	11.55×10^6	1.84	1.2	168×10^6	27	321×10^6	51
8	10.00×10^6	1.59	1.0	126×10^6	20	270×10^6	43
10	8.94×10^6	1.42	0.9	101×10^6	16	235×10^6	37
12	8.16×10^6	1.30	0.8	84×10^6	13	209×10^6	33
14	7.56×10^6	1.20	0.8	72×10^6	11	189×10^6	30
16	7.07×10^6	1.13	0.7	63×10^6	10	173×10^6	27
18	6.67×10^6	1.06	0.7	56×10^6	9	160×10^6	25
20	6.32×10^6	1.01	0.6	50×10^6	8	149×10^6	24
22	6.03×10^6	0.96	0.6	46×10^6	7	139×10^6	22
24	5.77×10^6	0.92	0.6	42×10^6	7	131×10^6	21
26	5.55×10^6	0.88	0.6	39×10^6	6	124×10^6	20
28	5.35×10^6	0.85	0.5	36×10^6	6	118×10^6	19
30	5.16×10^6	0.82	0.5	34×10^6	5	112×10^6	18

Tabla 1. Dinámica del sistema para diferentes valores de N

Las Figuras 25, 26, 27 y 28 muestran varias simulaciones del PLLD entero con diferentes frecuencias de entrada entre 5 MHz y 100 MHz y diferentes valores de N entre 2 y 30. V_{IN} es la entrada del VCO, y en todos los casos el sistema se enciende a $t = 0 \mu s$.

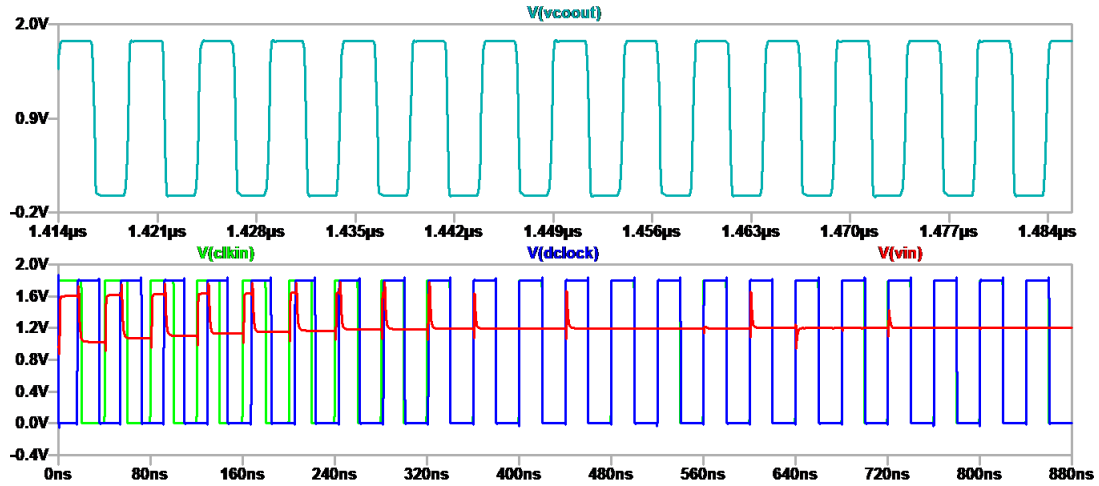


Figura 25: Simulación de un PLLD con reloj de entrada de 25 MHz, N=8 y salida 200 MHz.

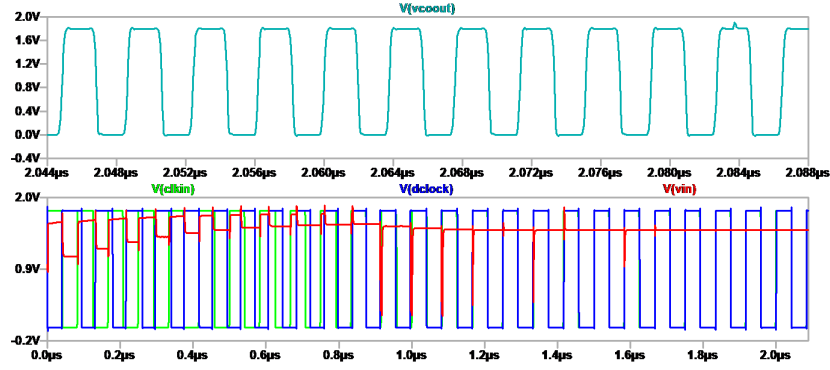


Figura 26: Simulación de un PLLD con reloj de entrada de 12 MHz, $N=22$ y salida 264 MHz.

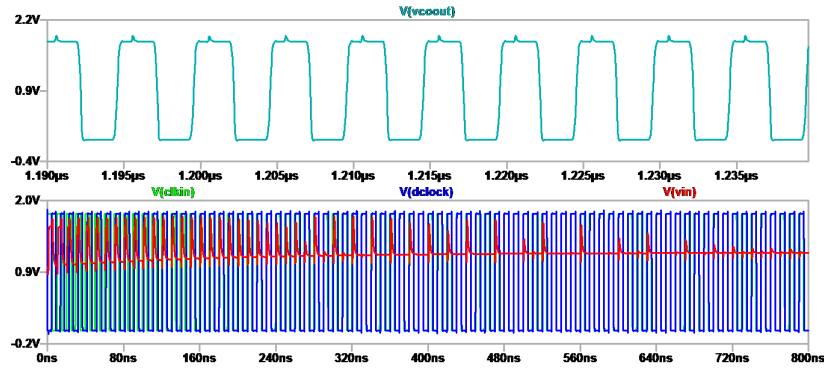


Figura 27: Simulación de un PLLD con reloj de entrada de 100 MHz, $N=2$ y salida 200 MHz.

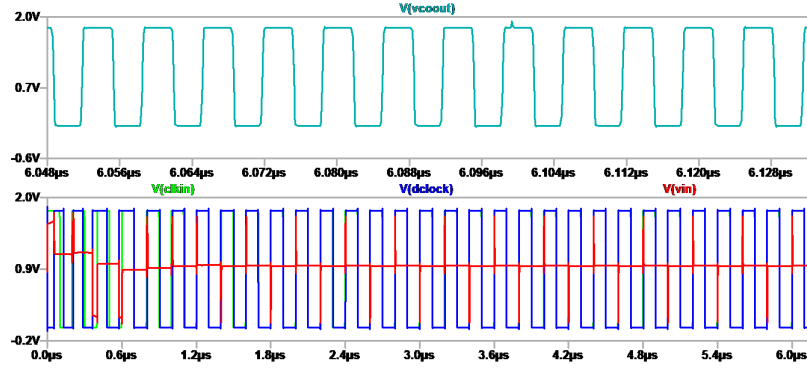


Figura 28: Simulación de un PLLD con reloj de entrada de 5 MHz, $N=30$ y salida 150 MHz.

9. Sintetizador de Frecuencias

El PLLD mostrado en la última sección tiene unas restricciones. La salida está limitada por el rango de operación del VCO lo que es 60 MHz a 330 MHz, y también la salida tiene que ser $2N \cdot f_{ref}$. Por ejemplo la única salida posible para un reloj de entrada de 100 MHz es 200 MHz.

Un sintetizador de frecuencias típicamente tiene un divisor antes y después del PLLD. Ese

se permite obtener más frecuencias desde la misma reloj de referencia. Figura 1 muestra un diagrama en bloques de un sintetizador de frecuencias. La salida ahora puede ser $\frac{n f_{ref}}{2pm}$ para $n, m, p \in \mathbb{Z}$, siempre y cuando $\frac{n f_{ref}}{p}$ es en el rango de operación del VCO. En el caso de una entrada de 100 MHz se puede sintetizar muchas más frecuencias que antes. Por ejemplo:

p	n	f_{pll}	m	f_{fs}
2	6	300 MHz	1	300 MHz
6	16	266.67 MHz	6	44.44 MHz
10	8	80 MHz	10	8 MHz

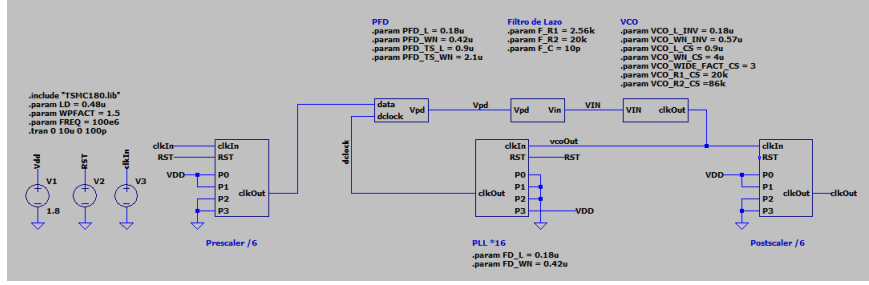


Figura 29: Esquemático de un sintetizador de frecuencias.

Figura 29 muestra el esquemático de un sintetizador de frecuencias, y la figura 30 muestra una simulación del sintetizador de frecuencias para obtener un reloj de 44.44 MHz desde un reloj de entrada de 100 MHz, con una frecuencia intermedio de 266.67 MHz, usando un prescaler de /6, un PLL de *16, y un postscaler de /6.

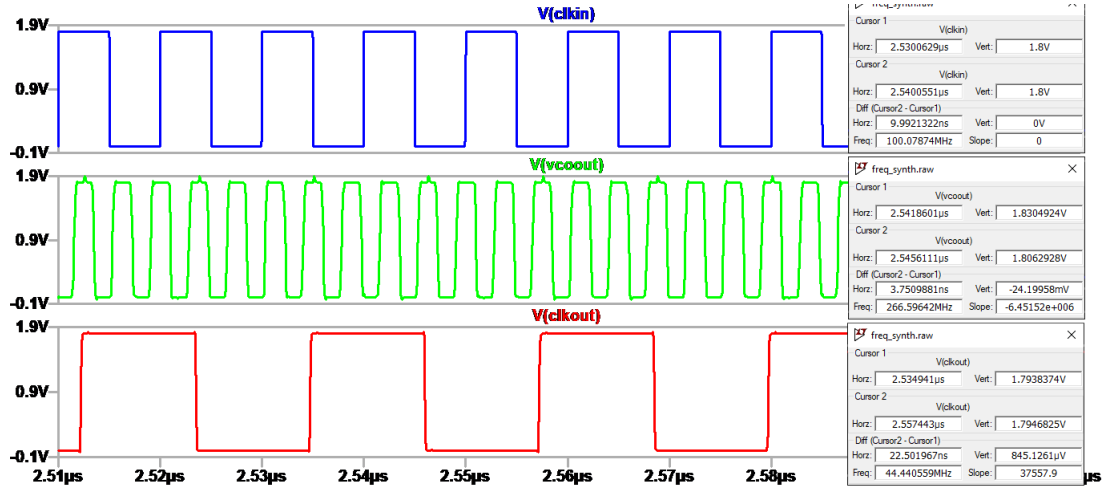


Figura 30: Simulación de un sintetizador de frecuencias con reloj de entrada de 100 MHz y salida 44.44 MHz.

10. Conclusión

En este proyecto, implementé y simulé un sintetizador de frecuencias que puede generar un reloj con un rango de frecuencias amplio, configurable por tres parámetros digitales: El prescalar “p”, el factor de multiplicación del PLLD “n” y el postscalar “m”. La frecuencia de la salida es especificado por:

$$\begin{aligned}f_{pll} &= \frac{nf_{ref}}{p} \\f_o &= \frac{f_{pll}}{m} = \frac{nf_{ref}}{pm} \\60 \text{ MHz} &< f_{pll} < 330 \text{ MHz} \\n, m, p &\in \mathbb{Z} \text{ y m\u00faltiples de } 2 \\2 \leq n, m, p &\leq 30\end{aligned}$$

La salida m\u00e1xima del sintetizador de frecuencias es 165 MHz, pero con un peque\u00f1o cambio para permitir bypass el postscalar, la frecuencia de salida m\u00e1xima ser\u00e1 330 MHz. En la propuesta especifica una frecuencia m\u00e1xima de 1 GHz, no pude lograr esto por las limitaciones de mi implementaci\u00f3n del VCO. Un proyecto para el futuro puede ser mejorar el VCO para permitir obtener frecuencias m\u00e1s altas.

Otra proyecto para el futuro ser\u00e1 la implementaci\u00f3n de un banco de capacitores y resistores en el filtro de lazo, configurable por el par\u00e1metro n. Esto se permite mejorar la din\u00e1mica del sistema.

Referencias

- [1] R. Jacob Baker (2010) *CMOS: Circuit design, layout and simulation*, Wiley-IEEE Press, 3rd edition.
- [2] Suman, Shruti & G Sharma, K & Ghosh, Pradip. (2016). *Analysis and Design of Current Starved Ring VCO*. 10.1109/ICEEOT.2016.7755299.
- [3] Rushabh Mehta (2016) *Design and Implementation of a phase locked loop for high-speed serial links*. University of Illinois. http://emlab.uiuc.edu/jose/Theses/mehta_ms.pdf.
- [4] *Passive Filters*. <http://aries.ucsd.edu/najmabadi/CLASS/ECE60L/02-S/NOTES/filter.pdf>.