



66.61 - TECNOLOGÍA DE CIRCUITOS INTEGRADOS
Trabajo Práctico Final
Sintetizador de Frecuencias para un Microcontrolador con un PLL Digital

Andrew Parlane

30 de marzo de 2019

Índice

1. Objetivo	3
2. TSMC 180	3
3. Compuertas básicos	3
4. VCO	4
5. Divisor de Frecuencias	7
6. PFD y el Filtro de Lazo	10
7. PLLD y Sintetizador de Frecuencias	11

Índice de figuras

1. Esquemático de dos inversores cascadas.	3
2. Simulación para encontrar el mejor ratio entre W_N Y W_P	4
3. Una selección de compuertas.	5
4. Un Oscilador en Anillo limitado por corriente.	5
5. Fuente de corriente controlado por tensión.	6
6. Simulación de la fuente de corriente controlado por tensión.	6
7. Esquemático del VCO.	7
8. Esquemático de la prueba para VCO.	7
9. Simulación de Frecuencia medida y estimada contra W_N .	8
10. Simulación de Frecuencia medida y estimada contra V_{IN} .	8
11. Implementación de un divisor de frecuencias de 2^N	9
12. Prueba para el divisor de frecuencias de 2^N	9
13. Divisor de frecuencias de $2N$.	9
14. Divisor de frecuencias de $2N$ con otro comparrador.	10
15. Comparación entre los dos divisores de $2N$.	10
16. Un PFD básico.	11
17. Simulación del PFD básico.	11
18. Otro diseño de un PFD.	12
19. Simulación del otro PFD.	12
20. Salida de tri-state.	13
21. Filtro de Lazo para usar con el PFD con salida tri-state.	13
22. Esquemático del PLLD entero.	14
23. Simulación de un PLLD con reloj de entrada de 25 MHz y salida 200 MHz.	15
24. Simulación de un PLLD con reloj de entrada de 12 MHz y salida 264 MHz.	15
25. Simulación de un PLLD con reloj de entrada de 100 MHz y salida 200 MHz.	16
26. Simulación de un PLLD con reloj de entrada de 5 MHz y salida 150 MHz.	16
27. Esquemático de un sintetizador de frecuencias.	16
28. Simulación de un sintetizador de frecuencias con reloj de entrada de 100 MHz y salida 150 MHz.	17

1. Objetivo

El objetivo de este trabajo es diseñar un sintetizador de frecuencias para uso en un micro-controlador con un PLL digital. Debería tomar un reloj de entrada con frecuencia f_{ref} y unas señales de control y producir un reloj de salida con frecuencia $f_o = Nf_{ref}/M$, donde N y M depende en las señales de control.

2. TSMC 180

Para comenzar tuve que aprender un poco sobre la tecnología de TSMC 180. Leyendo los documentos dados encontré:

Parámetro	Valor
L_{MIN}	0.18 μm
W_{MIN}	0.42 μm
LD_{MIN}	0.48 μm
V_{DDMAX}	1.8 V

No pude encontrar una lista de capacitancias entre cada capa, pero en el spice.lib encontré $t_{OX} = 4.1 \text{ nm}$, con esto pude calcular $C'_{OX} = 8418 \text{ aF}/\mu\text{m}^2$.

Realicé una simulación para encontrar el mejor ratio entre W_N y W_P . Figura 1 muestra el esquemático y Figura 2 muestra el resultado. El mejor tiempo de propagación es dado cuando $W_P = 1.5W_N$. Así en este proyecto uso $WPFAC = 1.5$.

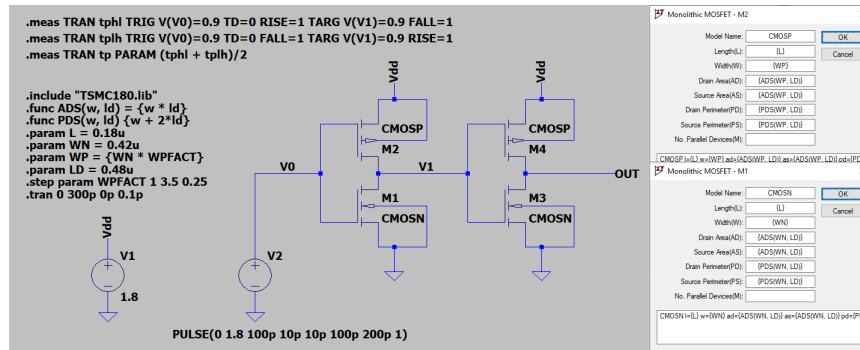


Figura 1: Esquemático de dos inversores cascadas.

3. Compuertas básicas

Implementé varias compuertas básicos y realicé simulaciones para verificar su comportamiento. Los componentes que diseñe son:

- AND con 2, 3 y 4 entradas.
- FFD con reset asincrónico.
- Inversor con el drain conectado a V_{DD} y el source conectado a tierra.
- Inversor con el drain y el source exportado en el netlist.
- MUX con 2 vías.
- MUX con 4 vías y salida invertido.
- NAND con 2, 3 y 4 entradas.

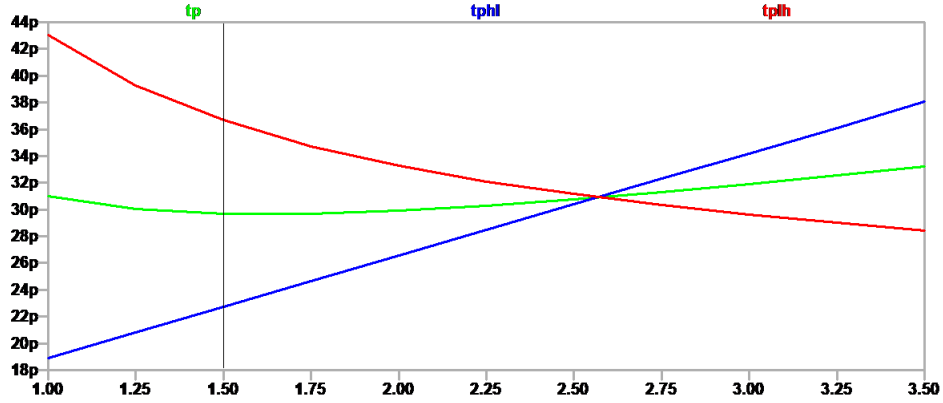


Figura 2: Simulación para encontrar el mejor ratio entre W_N Y W_P

- NOR con 2 entradas.
- OR con 2 entradas.
- Transmission Gate.
- XNOR con 2 entradas.
- XOR con 2 entradas.

No he usado todos en mi diseño final. Cada compuerta consiste de un .asc y un .asy, y es parametrizado así que cada instancia puede usar tamaños diferentes. Figura 3 muestra una selección de las compuertas.

4. VCO

Hay varias formas construir un VCO (por Voltage Controlled Oscillator), elegí usar un oscilador en anillo limitado por corriente. Figura 4 muestra la idea. Funciona como un oscilador en anillo normal pero los fuentes de corrientes controlan el tiempo de propagación del inversor, cambiando la frecuencia de operación:

$$C_{tot} = \frac{5}{2} C_{OX} (W_N L_N + W_P L_P)$$

$$f = \frac{I_D}{N C_{tot} V_{DD}}$$

Donde N es el número de inversores en el anillo, y W_N, L_N, W_P, L_P son los anchos y largos de los transistores en los inversores. Elegí una corriente central de 10 μ A que me da por inversores mínimos, y $N = 7$:

$$C_{tot} = 4.0 \text{ fF}$$

$$f = 198.4 \text{ MHz}$$

El primer parte estuvo diseñar una fuente de corriente controlado por tensión. Figura 5 muestra el diseño que usé.

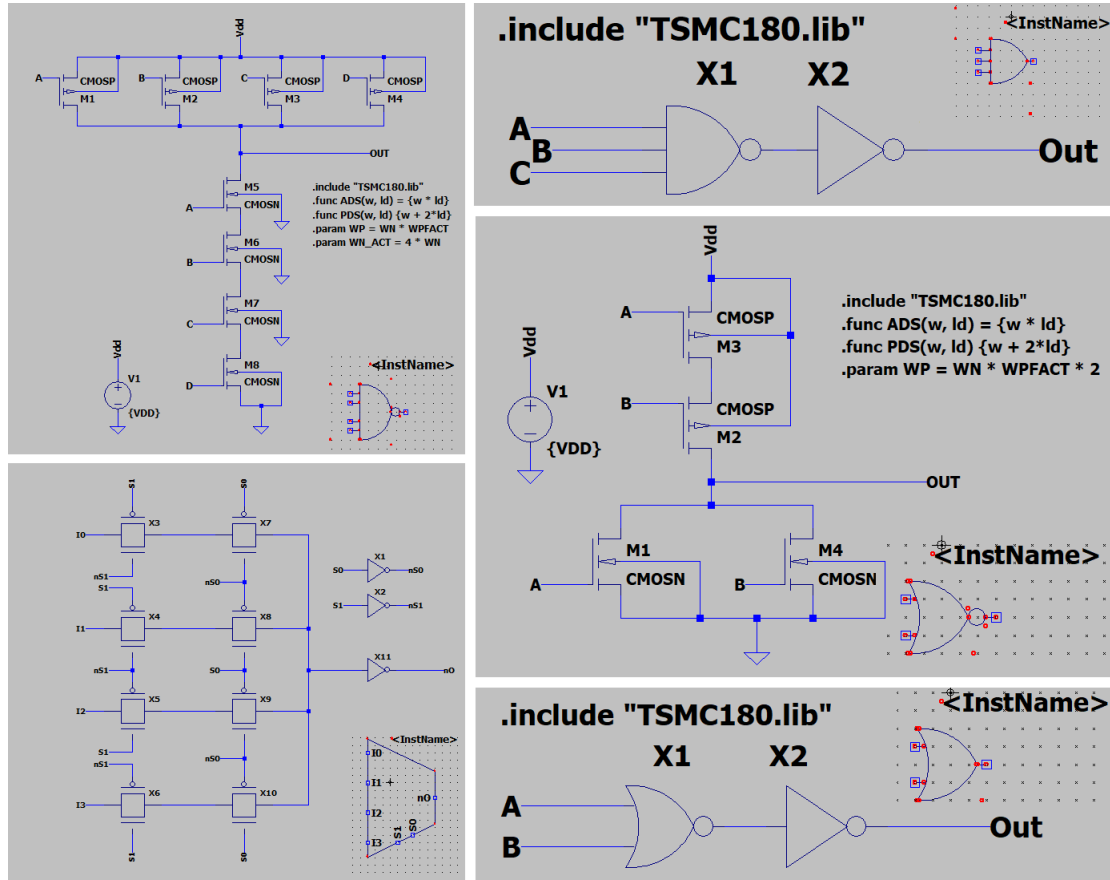


Figura 3: Una selección de compuertas.

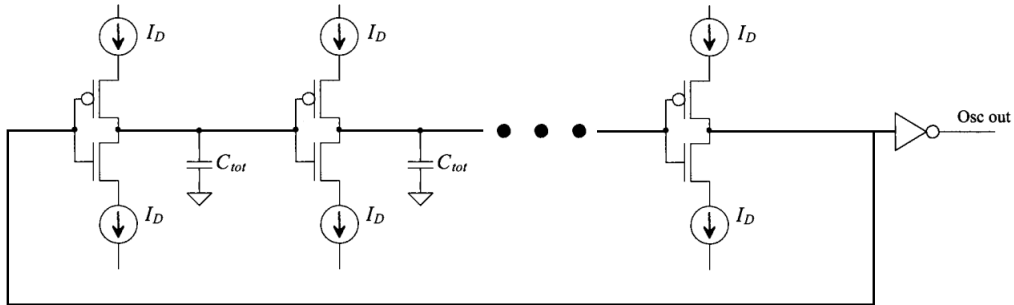


Figura 4: Un Oscilador en Anillo limitado por corriente.

El resistor R1 controla el pendiente de corriente contra tensión de V_{IN} . El resistor R2 controla el corriente mínimo cuándo $V_{IN} < V_T$, y los ratios de anchos de los cuatro transistores linearizan la salida.

Después de jugando con las simulaciones encontré los siguiente valores:

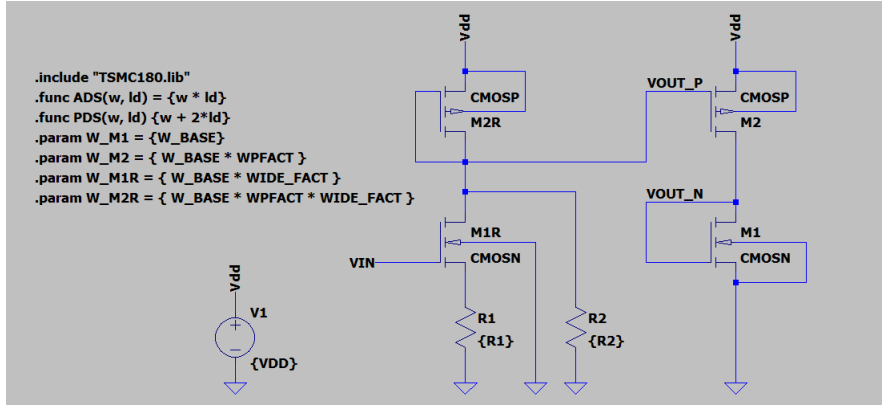


Figura 5: Fuente de corriente controlado por tensión.

$$\begin{aligned}
 L &= 0.9 \mu\text{m} \\
 W_N &= 4.0 \mu\text{m} \\
 WPFACT &= 1.5 \\
 WIDEFACT &= 3 \\
 R1 &= 20.0 \text{ k}\Omega \\
 R2 &= 86.0 \text{ k}\Omega
 \end{aligned}$$

Que me da la salida mostrado en figura 6. Un corriente mínimo de $5.0 \mu\text{A}$, un corriente central de $9.9 \mu\text{A}$, y un corriente máximo de $20.4 \mu\text{A}$. El pendiente es bastante lineal por $V_{IN} > 0.7 \text{ V}$, cómo mostrado con la línea azul, con una ecuación de $I_D = 11.5 \mu\text{A}/\text{V}V_{IN} - 0.5 \mu\text{A}$.

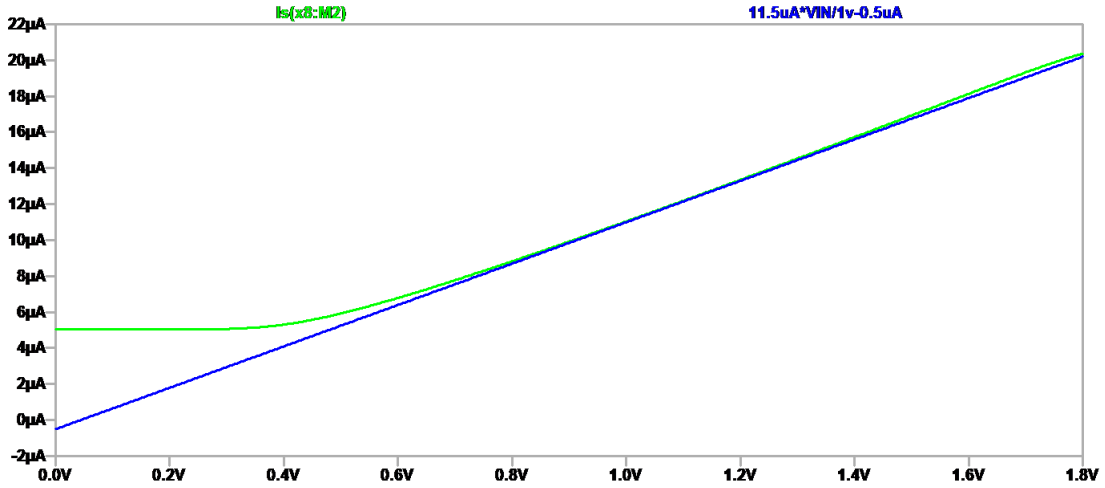


Figura 6: Simulación de la fuente de corriente controlado por tensión.

Figura 7 muestra el esquemático del VCO, y Figura 8 muestra el esquemático de prueba con todos los parámetros. Uso directivos de SPICE para medir y calcular la frecuencia promedio y el

duty cycle sobre 100 ciclos. También calculo la frecuencia de salida esperado usando las ecuaciones anteriores. Encontré que la práctica y la teoría están bastante diferentes para inversores mínimos, así realicé otras simulaciones para ver cómo cambiando W_N afecta estos valores. Figura 9 muestra el resultado. La frecuencia calculada y medida están iguales por $W_N = 0.52 \mu\text{m}$ y $V_{IN} = 0.9 \text{ V}$. Intenté usar este valor pero la simulación estuvo dando me resultados raros por $V_{IN} < 0.5 \text{ V}$, así estoy usando $W_N = 0.57 \mu\text{m}$.

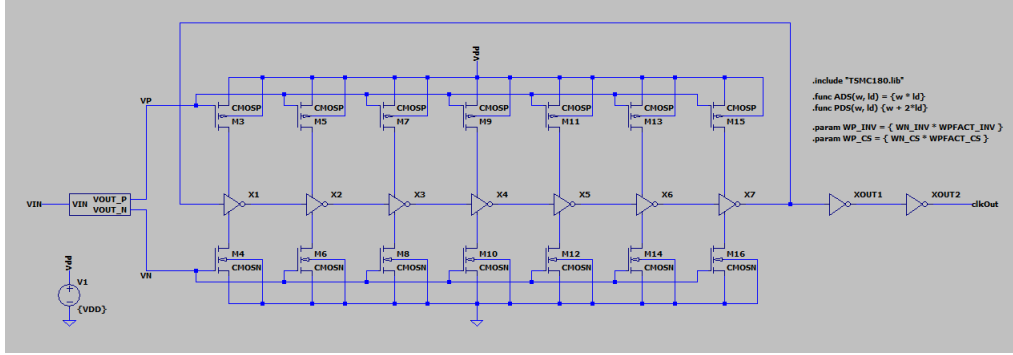


Figura 7: Esquemático del VCO.

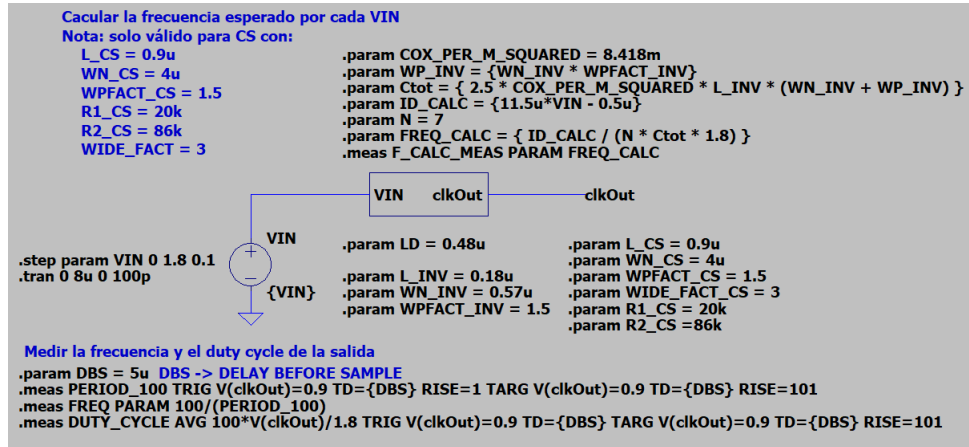


Figura 8: Esquemático de la prueba para VCO.

Figura 10 muestra cómo cambia la frecuencia medido y estimado con V_{IN} . No están iguales pero están bastante cerca. El pendiente del parte lineal es aproximadamente 200 MHz/V dando un $K_{VCO} = 2\pi \cdot 200 \text{ MHz/V} = 1.26 \times 10^9 \text{ rad/(V s)}$.

5. Divisor de Frecuencias

Hay varias arquitecturas para implementar divisores de frecuencias, cual es mejor depende en la especificación del proyecto. Para este trabajo quise dividir por un valor programable.

Al principio implemente un divisor de frecuencias que puede dividir por 2^N . La implementación es N FFDs en cascada cómo muestra Figura 11. Cada ciclo del clkIn hace que div2 invierte

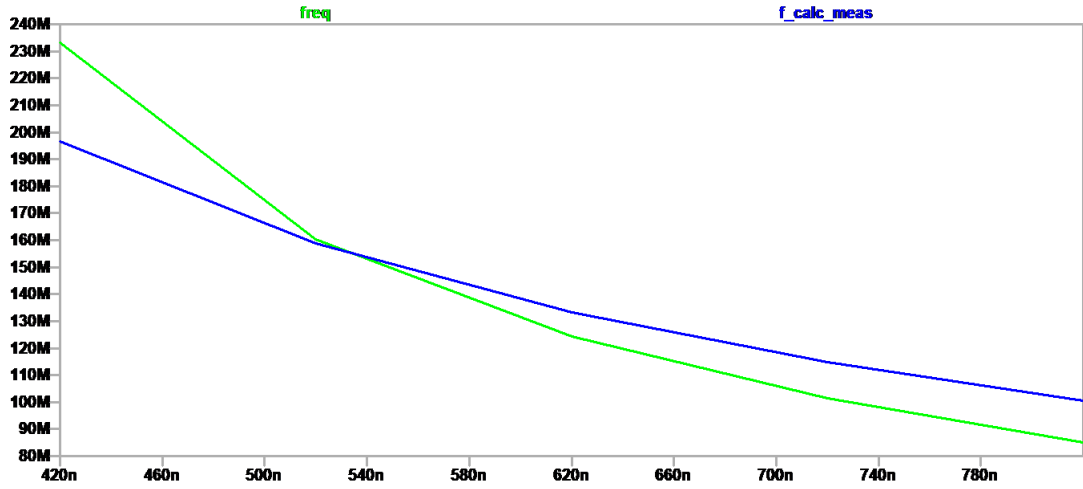


Figura 9: Simulación de Frecuencia medida y estimada contra W_N .

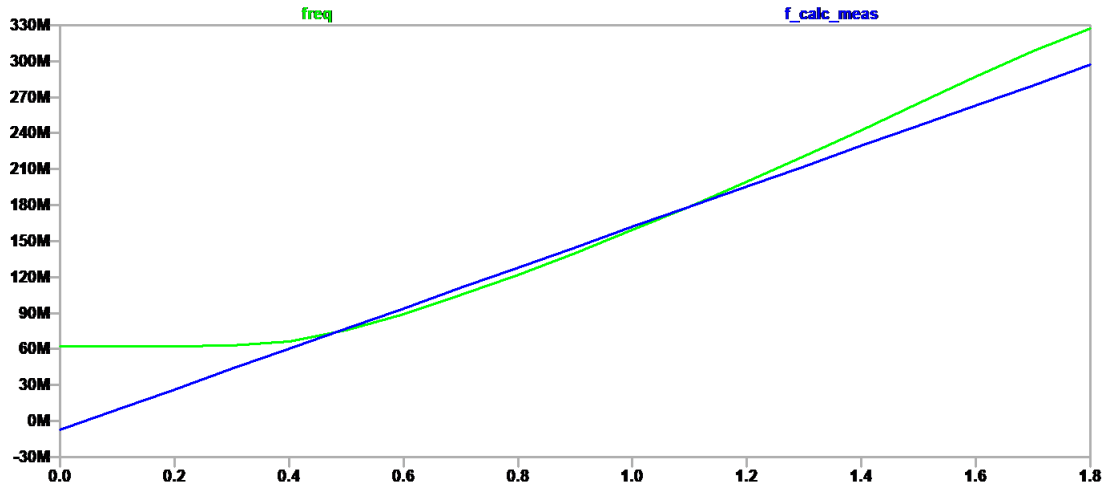


Figura 10: Simulación de Frecuencia medida y estimada contra V_{IN} .

su valor, así $div2$ completa un ciclo cada dos ciclos de $clkIn$. Después $div4$ completa un ciclo cada dos ciclos de $div2$, o cuatro ciclos del $clkIn$, etc... Mi implementación solo permite dividir hasta 16, para dividir por factores más altos puede conectar dos de los componentes en cascada. Un MUX puede ser usado para elegir la salida querido, como muestra Figura 12.

El problema con esta arquitectura es que cuando está usado en el PLLD, solo se permite obtener uno o dos frecuencias válidos. Por ejemplo con el VCO descrito en la sección anterior, la salida del VCO tiene que ser entre 60 MHz y 330 MHz. Por un reloj de entrada de 12 MHz solo podríamos usar un divisor de 8 para obtener 96 MHz o de 16 para obtener 192 MHz. Un divisor de 4 da una salida de 48 MHz y un divisor de 32 da una salida de 384 MHz, ambos de los dos están afuera del rango de la operación del VCO.

Un divisor que puede producir un rango lineal de salidas nos da más opciones. Así implementé un componente que divide por $2N$. Figura 13 muestra una implementación. De nuevo usa una cadena de FFDs, pero este vez se usa como un contador digital. Unas compuertas XNOR hacen

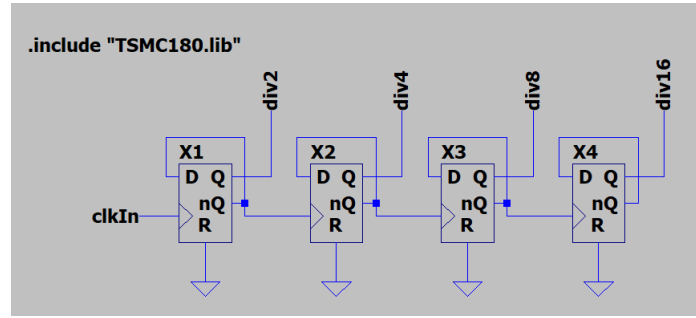


Figura 11: Implementación de un divisor de frecuencias de 2^N

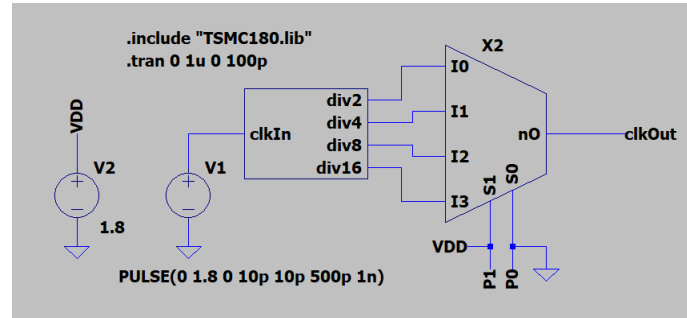


Figura 12: Prueba para el divisor de frecuencias de 2^N

una comparación entre el valor del contador Q y el factor de división querido P. Cuando todos los bits están iguales invierte el clkOut. También implementé un otro divisor, mostrado en Figura 14, que es muy parecido. La única diferencia es el comparador. Figura 15 muestra una simulación comparando los dos. El primer diseño (con las compuertas XNOR) es aproximadamente 270 ps más rápido que el segundo, así elegí usar eso. Los dos diseños no funcionan cuando $P = 0$ y dan una salida con frecuencia $f_{out} = f_{in}/2P$ por los demás valores de P.

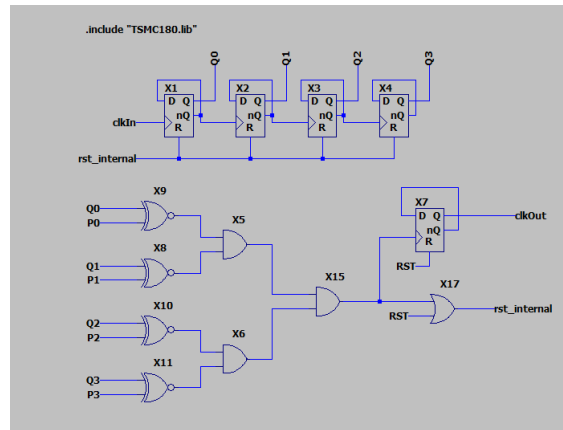


Figura 13: Divisor de frecuencias de 2^N .

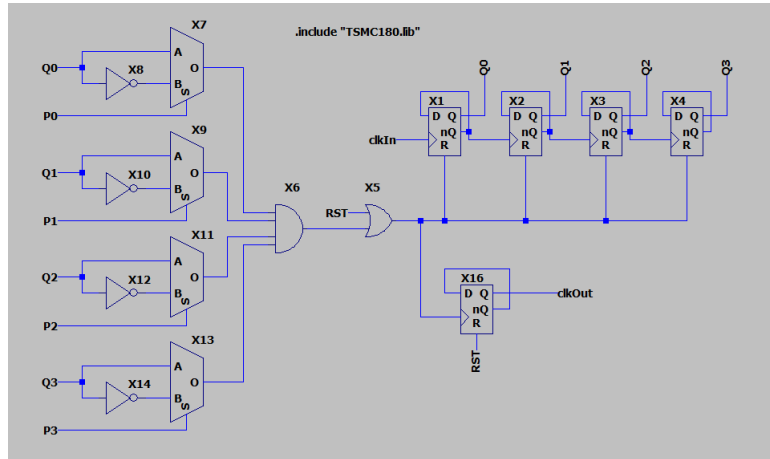


Figura 14: Divisor de frecuencias de $2N$ con otro comparrador.

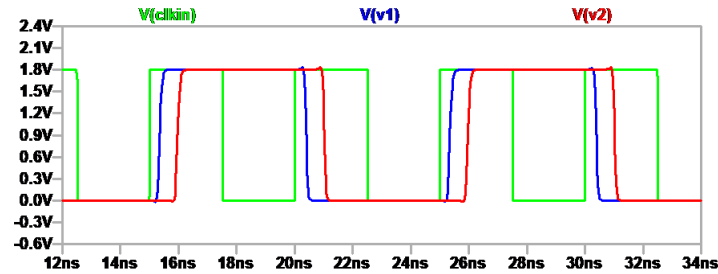


Figura 15: Comparación entre los dos divisores de $2N$.

Con este divisor de frecuencias, el VCO de la sección anterior y un reloj de entrada de 12 MHz, podríamos producir 11 salidas con frecuencias entre 72 MHz y 312 MHz.

6. PFD y el Filtro de Lazo

El PFD (por Phase Frequency Detector) es un componente que toma dos señales y indique la diferencia entre sus fases. Figura 16 muestra una implementación de un PFD. En el primer flanco ascendente de dClock o clkIn la salida de su FFD cambia a un uno. Cuando llega el flanco del otro señal, la salida de su FFD cambia a un uno también, así la salida de la compuerta AND cambia a un uno y pone a cero los dos FFDs. Así la salida UP o DOWN es alto por el tiempo entre los flancos ascendentes de los relojes. Estos dos señales pueden ser combinados en uno para indicar la diferencia en fase. Usando directivos de SPICE medí el tiempo que las señales UP y DOWN estuvieron alto por cada offset entre los relojes entre -800 ps y 800 ps en intervalos de 10 ps, figura 17 muestra estas mediciones.

Figura 18 muestra un otro diseño de un PFD, y Figura 19 muestra el ancho de los señales UP y DOWN. En este diseño hay un pequeño “dead zone” cuándo ninguno de los señales UP y DOWN están altos, pero en el diseño básico hay una superposición de aproximadamente 280 ps cuándo los dos señales están altos.

Para juntar UP y DOWN uso una salida de tri-state, Figura 20 muestra el esquemático. Cuando UP o DOWN están altos, la carga sobre los drains puede cargar o descargar, pero

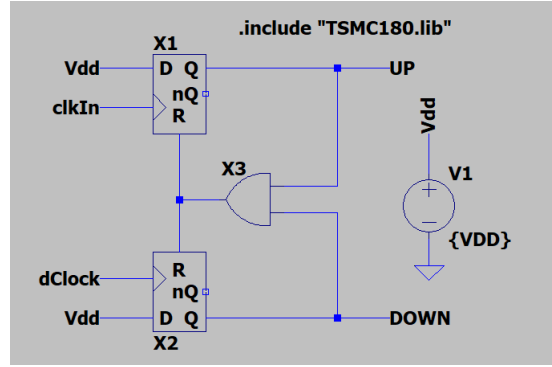


Figura 16: Un PFD básico.

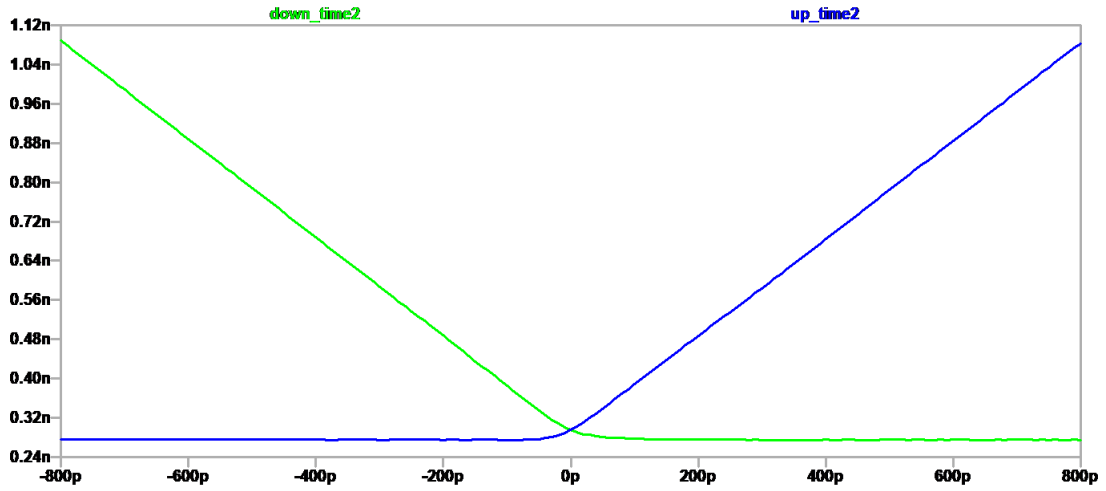


Figura 17: Simulación del PFD básico.

cuando ninguno de los señales están altos, la salida tiene alta impedancia. El gain del PFD con la salida tri-state es $K_{PD_{tri}} = V_{DD}/4\pi$.

Finalmente es necesario pasar la salida del PFD por un filtro. El filtro usado es mostrado en Figura 21. La función de transferencia del filtro de lazo es: $K_F = \frac{1+sR_2C}{s(R_1+R_2)C}$.

7. PLLD y Sintetizador de Frecuencias

Figura 22 muestra el esquemático final con todos los componentes conectados. Las ecuaciones para este PLL son:

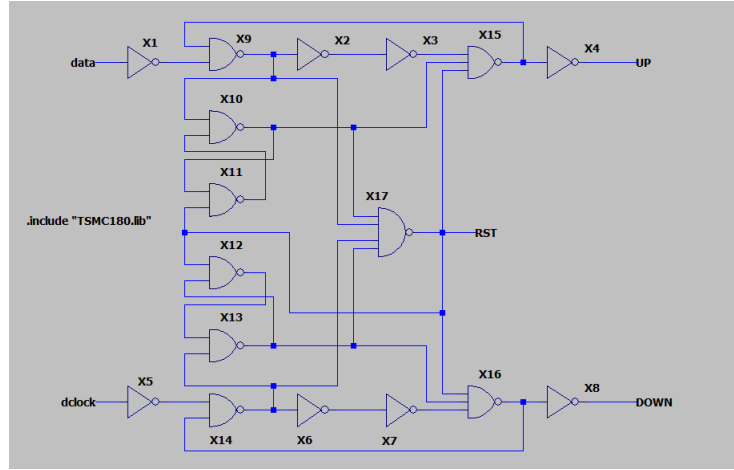


Figura 18: Otro diseño de un PFD.

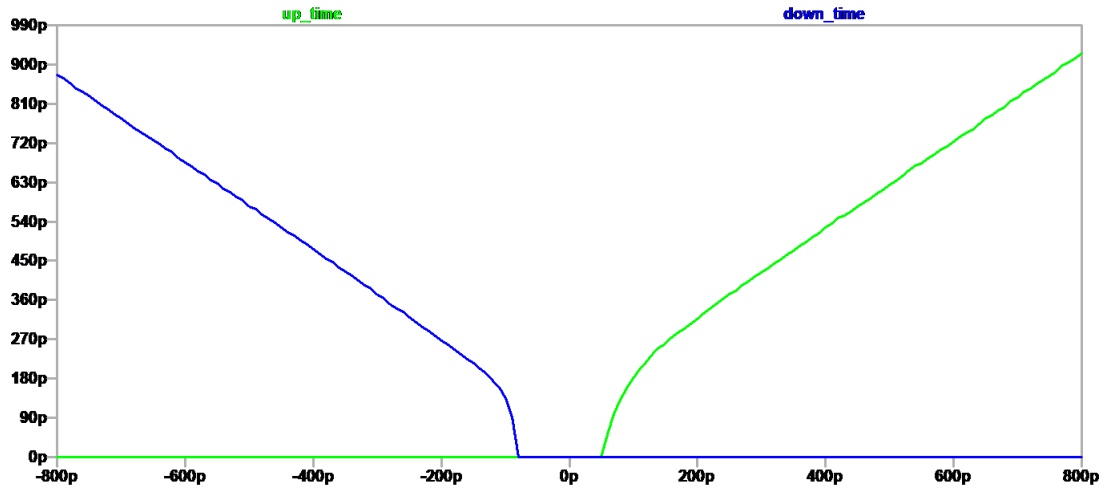


Figura 19: Simulación del otro PFD.

$$H(s) = \frac{K_{PD_{tri}} K_F K_{VCO}}{s + \frac{1}{N} K_{PD_{tri}} K_F K_{VCO}}$$

$$\omega_n = \sqrt{\frac{K_{PD_{tri}} K_{VCO}}{N(R_1 + R_2)C}}$$

$$\zeta = \frac{\omega_n}{2} R_2 C$$

$$\Delta\omega_L = 4\pi\zeta\omega_n$$

$$\Delta\omega_P = \frac{\pi}{2} \sqrt{2\zeta\omega_n K_{VCO} K_{PD_{tri}} - \omega_n^2}$$

Donde:

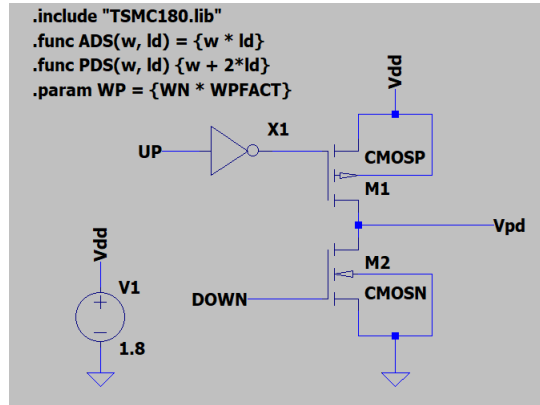


Figura 20: Salida de tri-state.

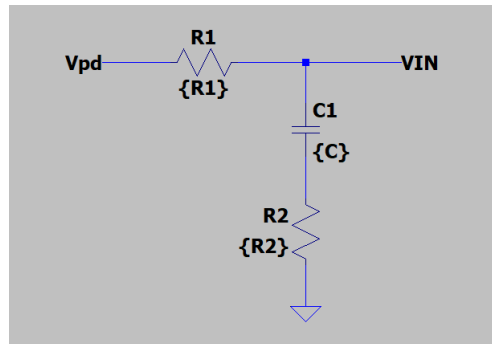


Figura 21: Filtro de Lazo para usar con el PFD con salida tri-state.

- $H(s)$ = La función de transferencia de fase.
- ω_n = La frecuencia natural.
- ζ = El factor de amortiguamiento.
- $\Delta\omega_L$ = El rango de lock.
- N = El factor de división.
- $\Delta\omega_P$ = El rango de pull-in.

Comenzando con $\zeta = 1$, $\Delta\omega_L = 20 \text{ MHz} \cdot 2\pi$ y $N = 8$. Encontramos $\omega_n = 10 \times 10^6 \text{ rad/s}$ y $R_2 C = 200 \text{ ns}$. Elijiendo $C = 10 \text{ pF}$ y $R_2 = 20 \text{ k}\Omega$, podríamos encontrar $R_1 = 2.56 \text{ k}\Omega$. Porque queremos tener N programable podríamos volver calcular ω_n , ζ , $\Delta\omega_L$, y ω_P por cada N entre 2 y 30.

N	ω_n (rad/s)	ζ	ω_L (rad/s)	FL (MHz)	Wp (rad/s)	Fp (MHz)
2	20.00×10^6	2.0	503×10^6	80	521×10^6	83
4	14.14×10^6	1.4	251×10^6	40	401×10^6	64
6	11.55×10^6	1.2	168×10^6	27	321×10^6	51
8	10.00×10^6	1.0	126×10^6	20	270×10^6	43
10	8.94×10^6	0.9	101×10^6	16	235×10^6	37
12	8.16×10^6	0.8	84×10^6	13	209×10^6	33
14	7.56×10^6	0.8	72×10^6	11	189×10^6	30
16	7.07×10^6	0.7	63×10^6	10	173×10^6	27
18	6.67×10^6	0.7	56×10^6	9	160×10^6	25
20	6.32×10^6	0.6	50×10^6	8	149×10^6	24
22	6.03×10^6	0.6	46×10^6	7	139×10^6	22
24	5.77×10^6	0.6	42×10^6	7	131×10^6	21
26	5.55×10^6	0.6	39×10^6	6	124×10^6	20
28	5.35×10^6	0.5	36×10^6	6	118×10^6	19
30	5.16×10^6	0.5	34×10^6	5	112×10^6	18

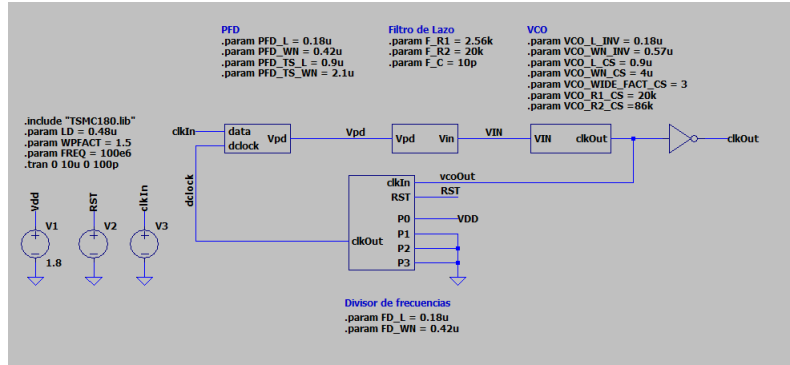


Figura 22: Esquemático del PLLD entero.

Figuras 23, 24, 25 y 26 muestran varias simulaciones del PLLD entero con diferentes frecuencias de entrada entre 5 MHz y 100 MHz y diferentes factores de multiplicación entre 2 y 30. Figura 27 muestra el esquemático de un sintetizador de frecuencias que consiste en un PLLD, un prescaler y un postscaler. Figurar 28 muestra una simulación del sintetizador de frecuencias para obtener un reloj de 150 MHz desde un reloj de entrada de 100 MHz.

Referencias

- [1] R. Jacob Baker (2010) *CMOS: Circuit design, layout and simulation*, Wiley-IEEE Press, 3rd edition.
- [2] Suman, Shruti & G Sharma, K & Ghosh, Pradip. (2016). *Analysis and Design of Current Starved Ring VCO*. 10.1109/ICEEOT.2016.7755299.
- [3] Rushabh Mehta (2016) *Ddesign and Implementation of a phase locked loop for high-speed serial links*. University of Illinois. http://emlab.uiuc.edu/jose/Theses/mehta_ms.pdf.
- [4] *Passive Filters*. <http://aries.ucsd.edu/najmabadi/CLASS/ECE60L/02-S/NOTES/filter.pdf>.

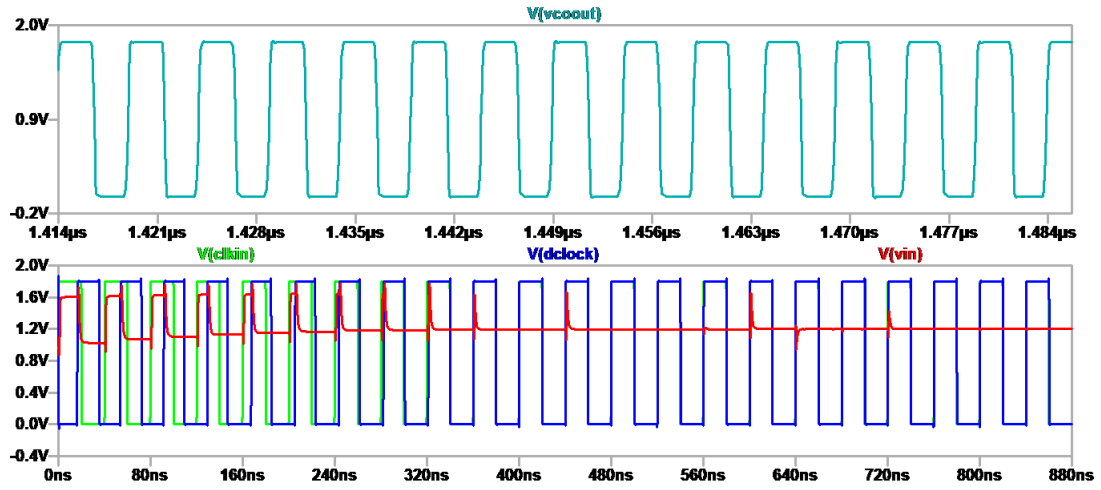


Figura 23: Simulación de un PLLD con reloj de entrada de 25 MHz y salida 200 MHz.

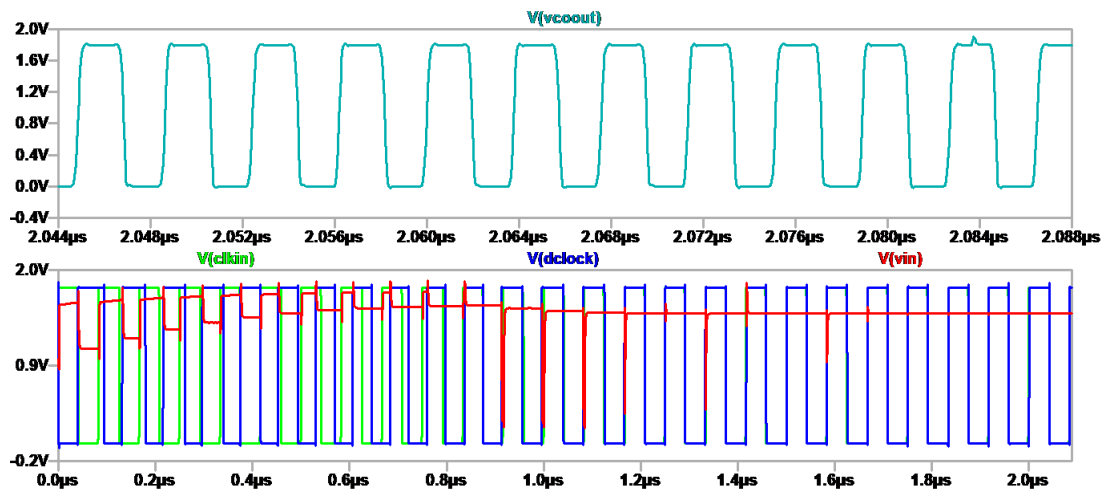


Figura 24: Simulación de un PLLD con reloj de entrada de 12 MHz y salida 264 MHz.

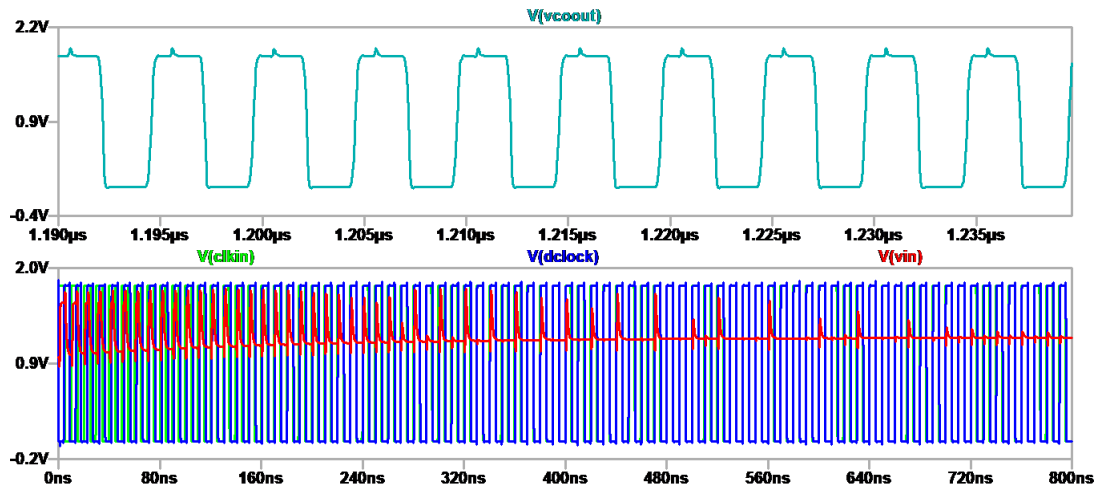


Figura 25: Simulación de un PLLD con reloj de entrada de 100 MHz y salida 200 MHz.

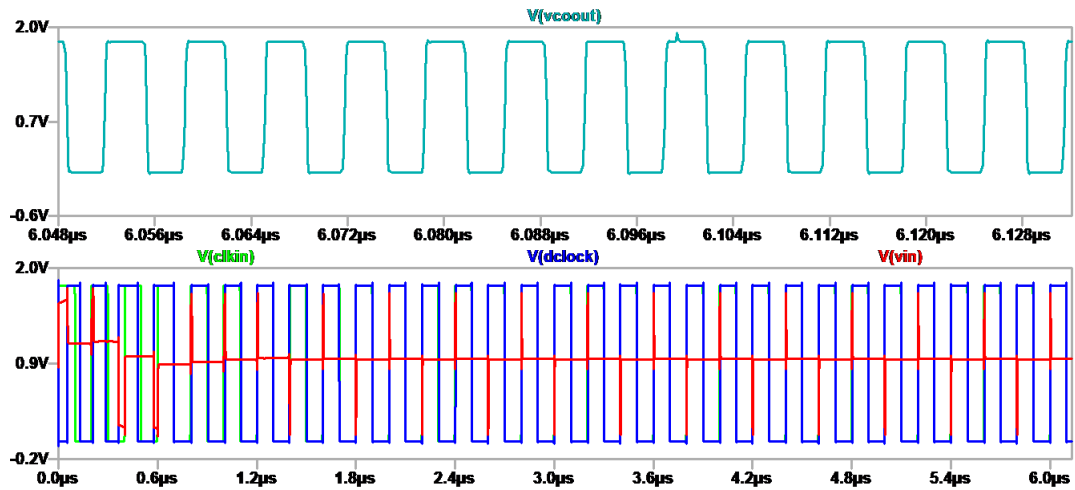


Figura 26: Simulación de un PLLD con reloj de entrada de 5 MHz y salida 150 MHz.

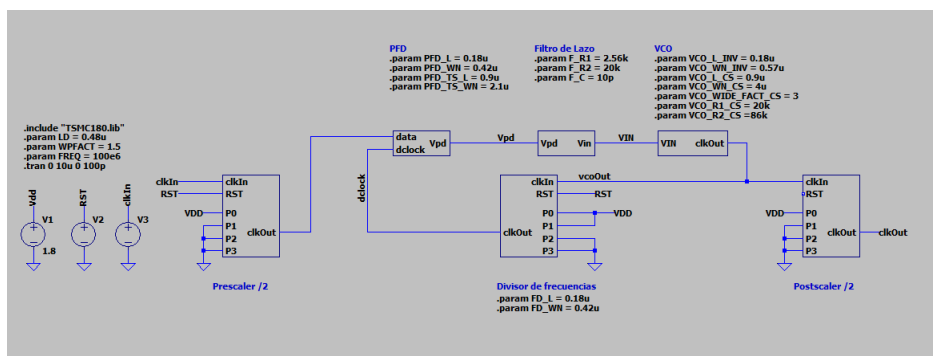


Figura 27: Esquemático de un sintetizador de frecuencias.

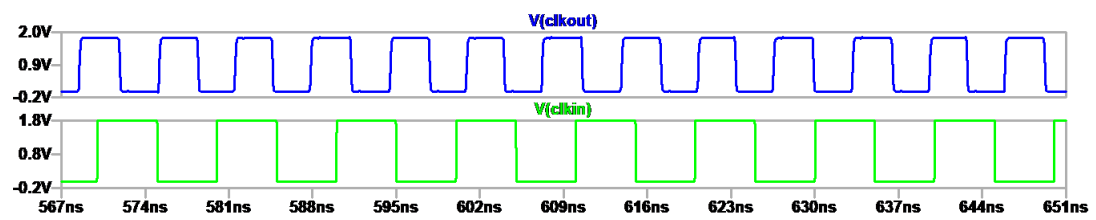


Figura 28: Simulación de un sintetizador de frecuencias con reloj de entrada de 100 MHz y salida 150 MHz.