



66.61 - TECNOLOGÍA DE CIRCUITOS INTEGRADOS
Propuesta De Trabajo Práctico Final
Sintetizador de Frecuencias para un Microcontrolador con un PLL Digital

Andrew Parlane

20 de diciembre de 2018

1. Objetivo

El objetivo de este trabajo es diseñar un sintetizador de frecuencias para uso en un micro-controlador con un PLL digital. Debería tomar un reloj de entrada con frecuencia f_{ref} y unas señales de control y producir un reloj de salida con frecuencia $f_o = Nf_{ref}/M$, donde N y M depende en las señales de control.

2. Sintetizador de frecuencias

Un PLLD produce un reloj de salida con frecuencia f_o desde un reloj de entrada con frecuencia f_i con las restricciones:

$$\begin{aligned} f_{i_{min}} &\leq f_i \leq f_{i_{max}} \\ f_{o_{min}} &\leq f_o \leq f_{o_{max}} \\ f_o &= Nf_i \\ N_{min} &\leq N \leq N_{max} \end{aligned} \quad N \in \mathbb{Z}$$

Para obtener un mejor rango de f_o se puede dividir la salida del PLL con un divisor de frecuencias. Frecuentemente se usa otro divisor de frecuencias antes del PLL para permitir un rango de f_i más grande. Los valores de multiplicación y división pueden ser constantes o programables. Figura 1 muestra un sintetizador de frecuencias típico.

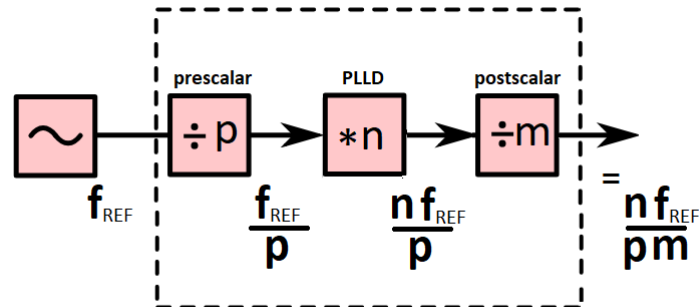


Figura 1: Un diagrama de bloques de un sintetizador de frecuencias

3. PLL Digital

Un PLLD consta en cuatro partes:

- Un detector de fase que compara dos señales de entrada y genera un señal que representa la diferencia entre las fases.
- Un filtro de laso que ayuda el PLL estar estable.

- Un VCO (por Voltage Controlled Oscillator) que usa una tensión de entrada para cambiar la frecuencia de salida.
- Un divisor de frecuencias. La señal de salida vuelva al detector de fase como una de las entradas.

En esta forma el PLL afina la salida hasta un múltiple de la entrada. Figura 2 muestra un PLLD típico.

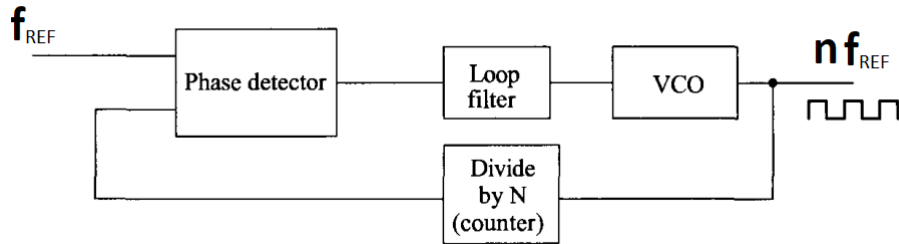


Figura 2: Un diagrama de bloques de un PLLD

4. Especificación

Para este trabajo se propongo generar un reloj de salida con frecuencia $100 \text{ MHz} \leq f_o \leq 1 \text{ GHz}$ desde un reloj de entrada con frecuencia $1 \text{ MHz} \leq f_i \leq 100 \text{ MHz}$. Las señales de control: P, N, M serán digitales con suficiente bits para obtener un buen rango de frecuencias entre las restricciones anteriores.

El diseño debería estar un circuito de SPICE usando el proceso de fabricación CMOS TSMC 180nm.

5. Informe

El informe debería incluir:

- Simulaciones de cada bloque.
- Una estimación del K_{VCO} por el VCO.
- Una estimación del pull-in range y lock-in range.
- Simulaciones del sistema entero.

Referencias

- [1] R. Jacob Baker (2010) *CMOS: Circuit design, layout and simulation*, Wiley-IEEE Press, 3rd edition.
- [2] Suman, Shruti & G Sharma, K & Ghosh, Pradip. (2016). *Analysis and Design of Current Starved Ring VCO*. 10.1109/ICEEOT.2016.7755299.