

Desarrollo de Circuitos Integrados CMOS para Aplicaciones de RFID

Maestría en Ciencias de la Ingeniería

Andrew Parlane
Agosto 2022

Director:

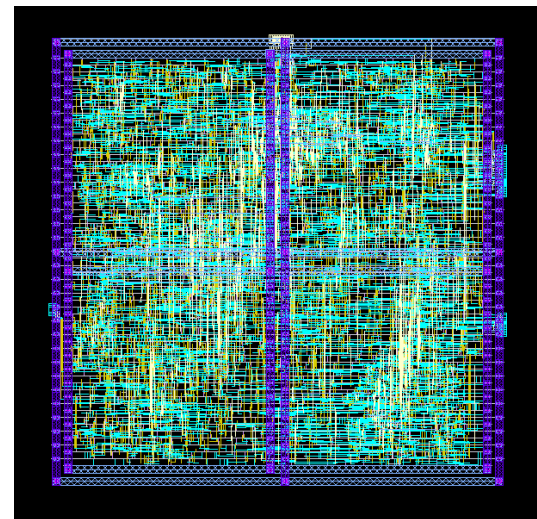
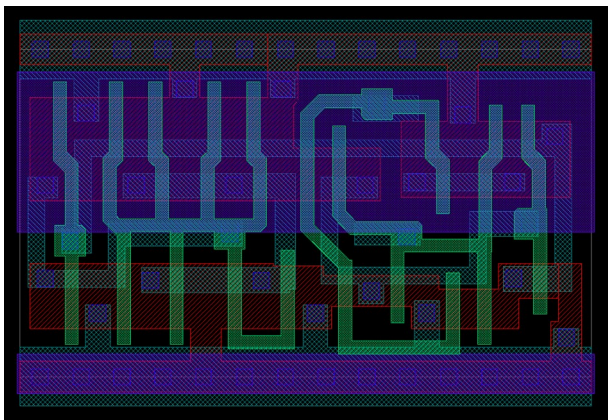
Codirectores:

Dr. Ing. Mariano Garcia-Inza

Ing. Federico G. Zacchigna

Ing. Octavio Alpago

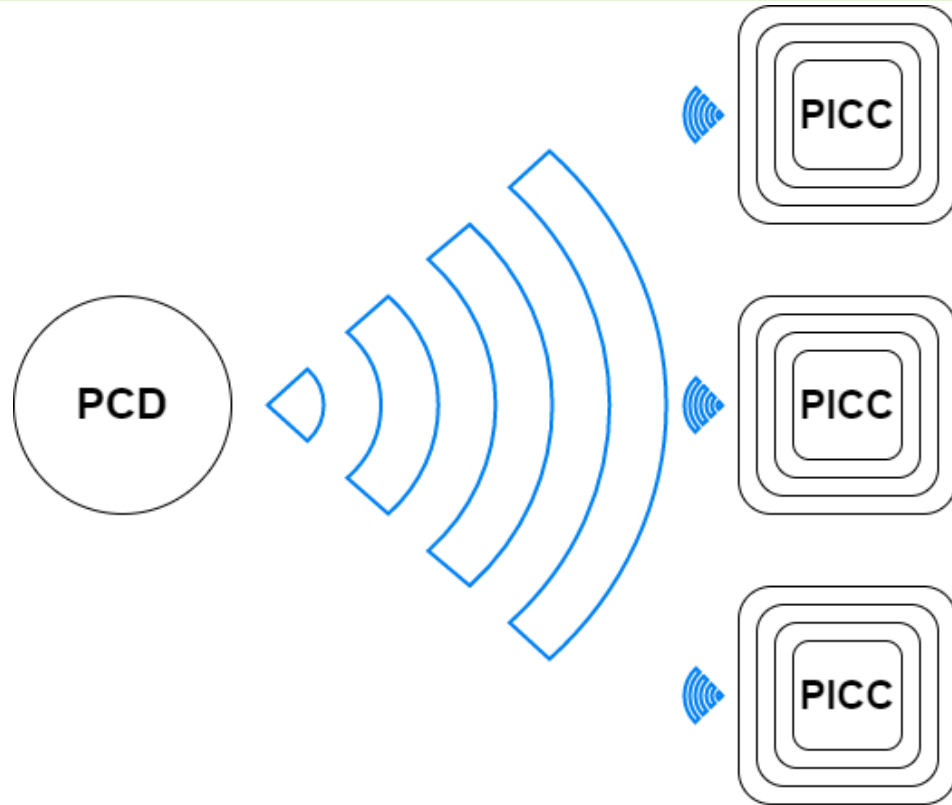
https://github.com/andrewparlane/fiuba_thesis





- Radioterapia
- QA (Quality Assurance)
- IVD (Dosimetría in-vivo)
- Sensores de radiación MOSFET.

- Proyecto Marco: Dosimetría MOS de Bajas Dosis. Aplicaciones Médicas (PDTS-0359)
 - Objetivo: Diseñar y fabricar un chip CMOS que contiene un sensor de radiación MOSFET y los circuitos necesarios para su muestreo y el posterior transmisión inalámbricamente del resultado.
 - Debe tener un número mínimo de conexiones externos.
 - Debe funcionar bajo norma.
- Objetivo de esta tesis: Diseñar un circuito integrado digital que consiste en una implementación de la norma ISO/IEC 14443A y un protocolo propietario que permite la lectura de un sensor.
 - La implementación de la norma ISO/IEC 14443A debe ser genérico.



- Un sistema consiste en un PCD y hasta 15 PICCs.
- PCD – El Lector.
- PICC – Un tag.
- Cada PICC consiste en un chip CMOS y una antena.
- $f_c = 13,56 \text{ MHz} \pm 7 \text{ Khz}$.

La norma es dividida en 4 partes:

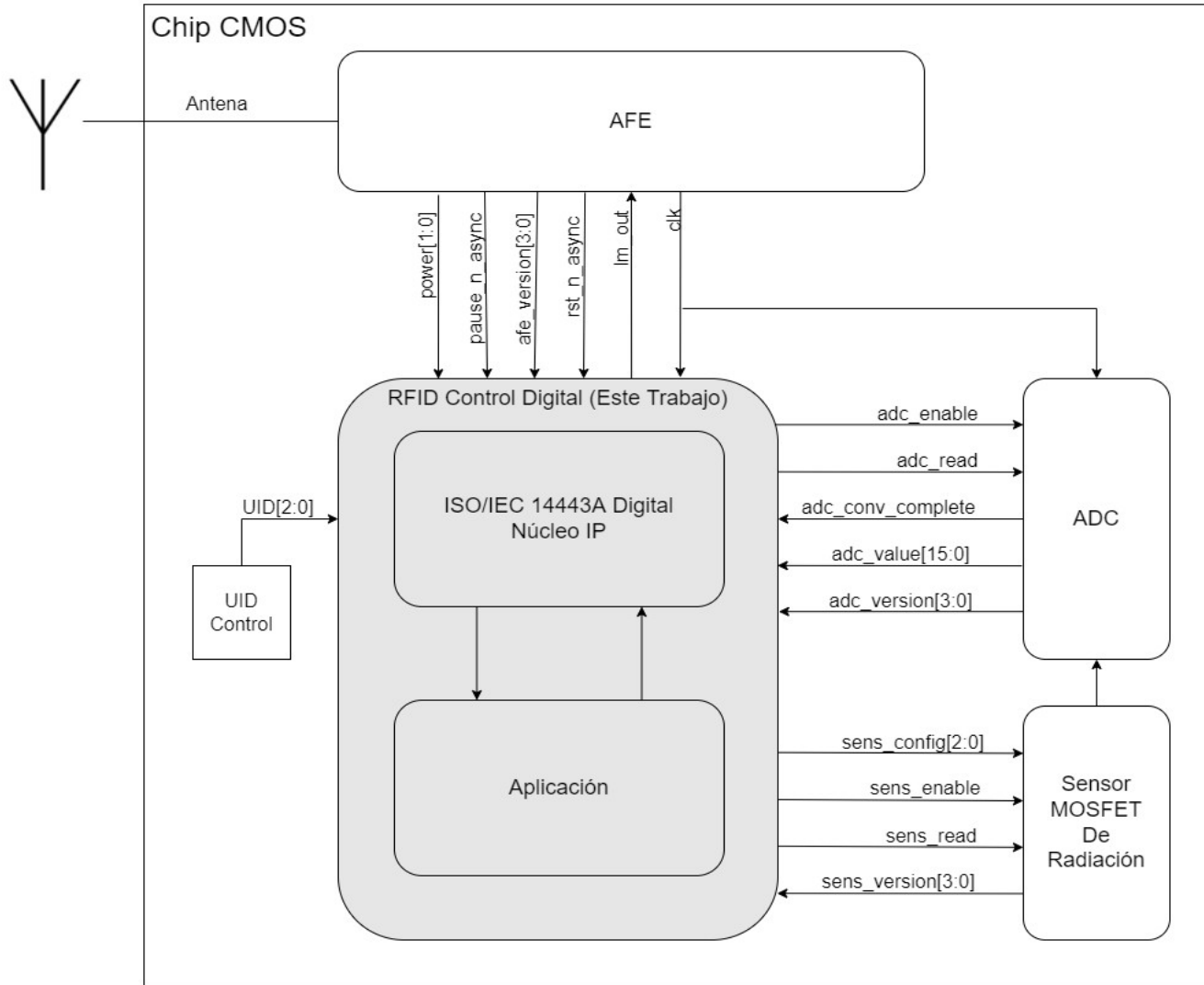
- Parte 1 - Características Físicas.
- Parte 2 - Radiofrecuencia Potencia y Señal Interfaz.
- Parte 3 - Inicialización y Anticolisión.
- Parte 4 - Protocolo de Transmisión.



14443 - 4
Transmission Protocols

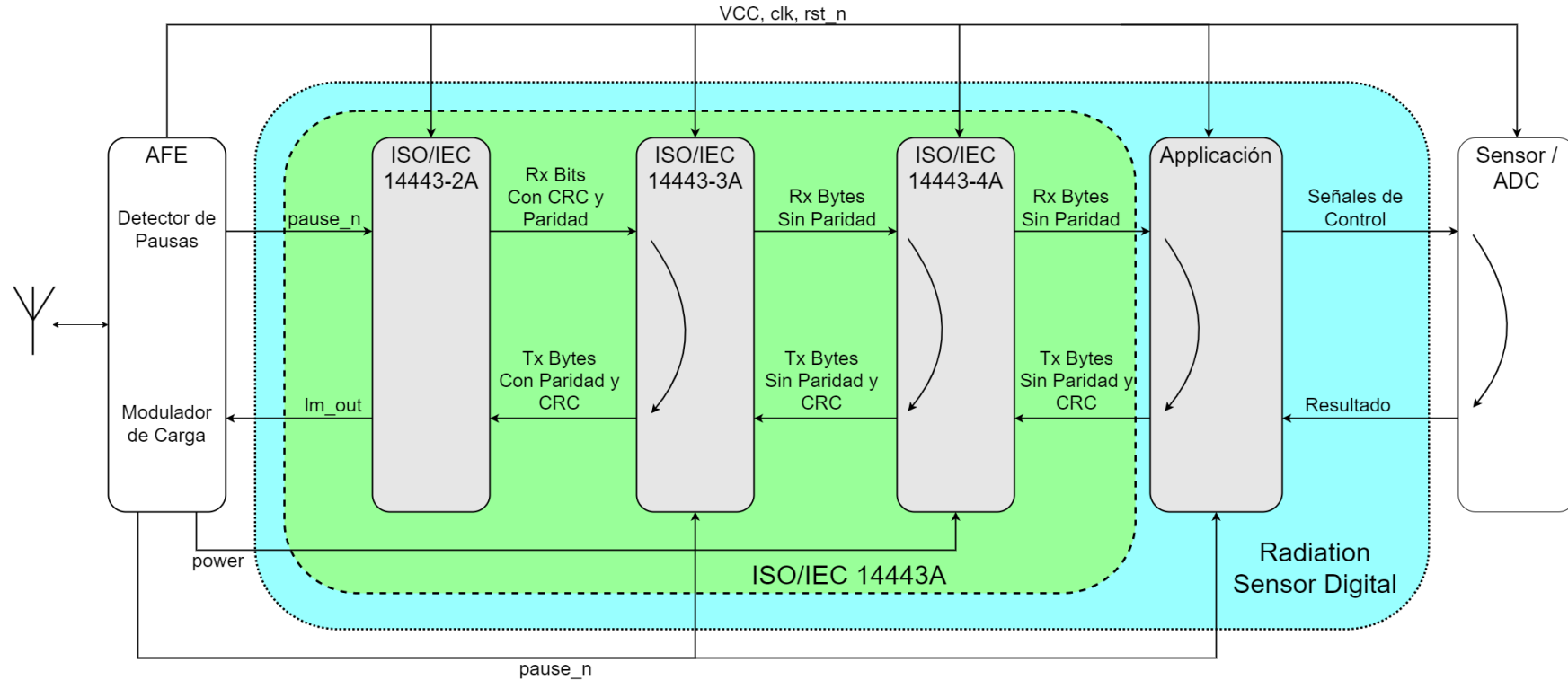
14443 - 3
Initialisation and Anti-collision

14443 - 2
Radio Frequency Power and Signal



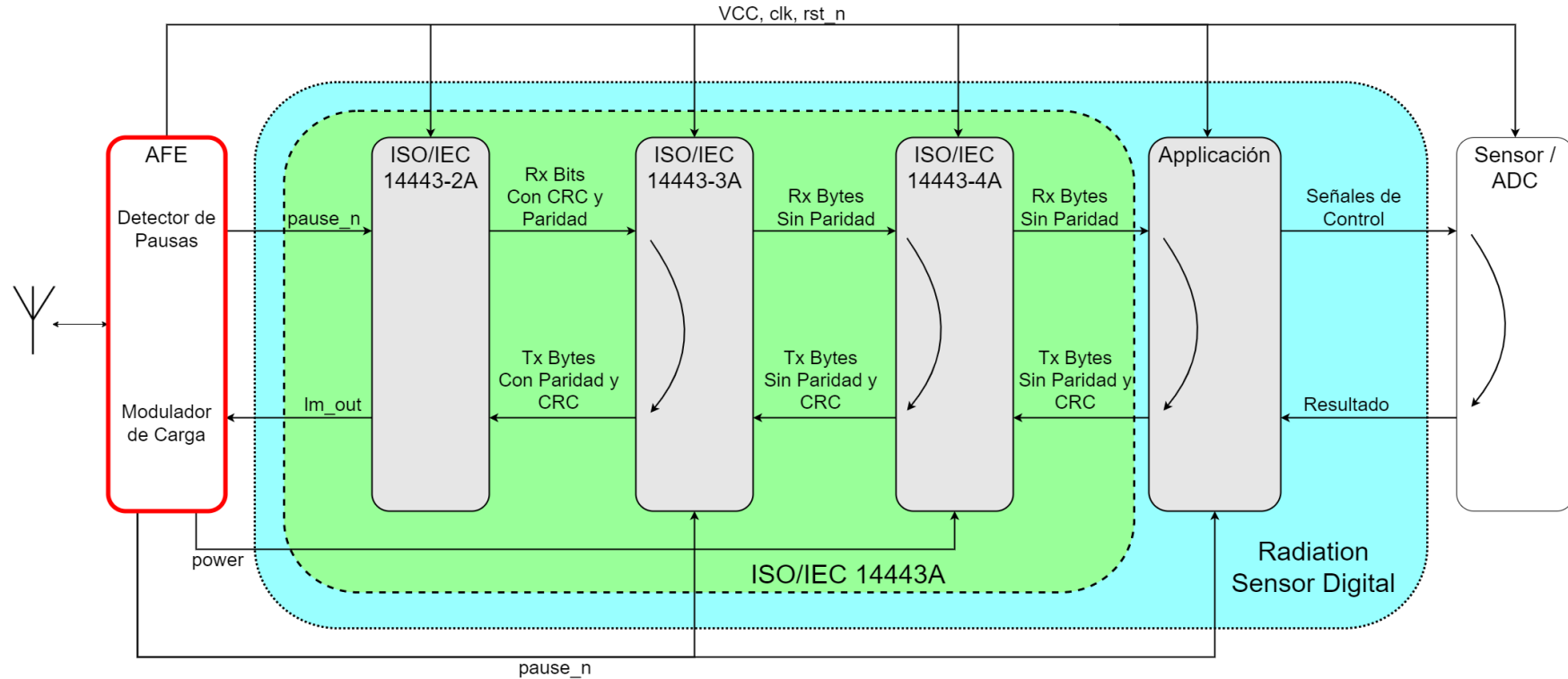
Flujo de Datos

7



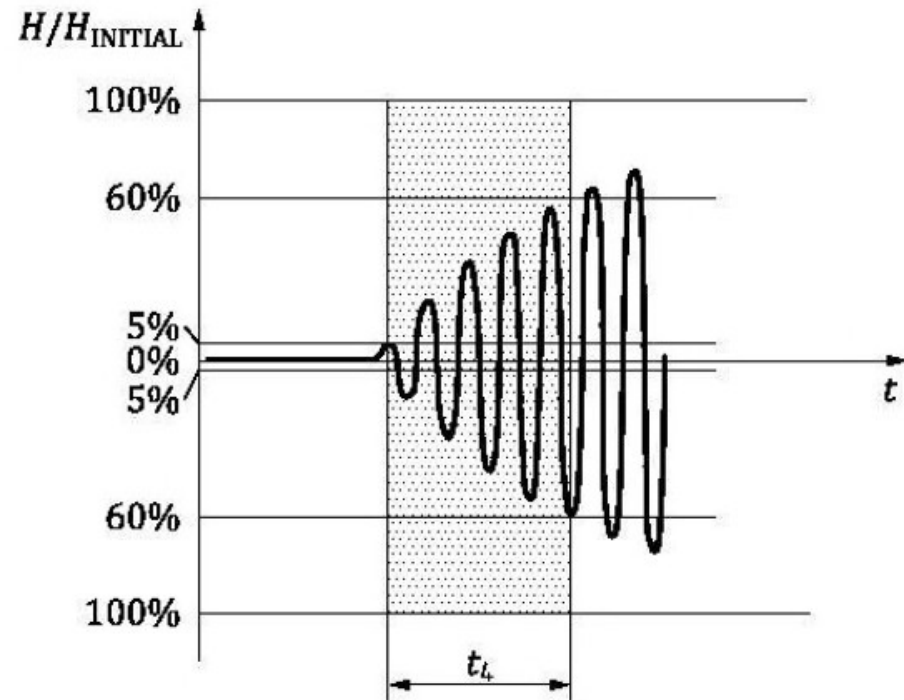
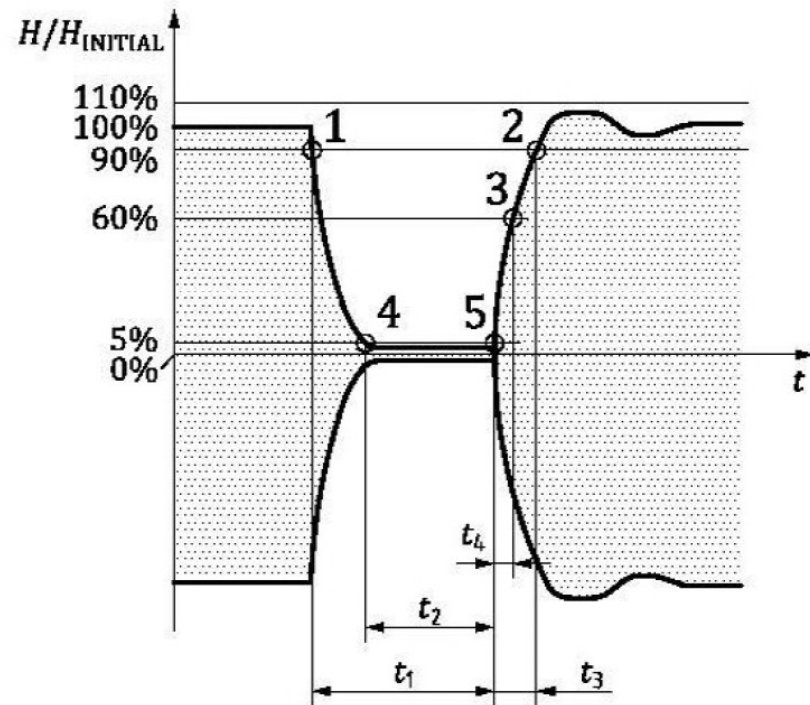
Flujo de Datos

8



Recepción de Datos

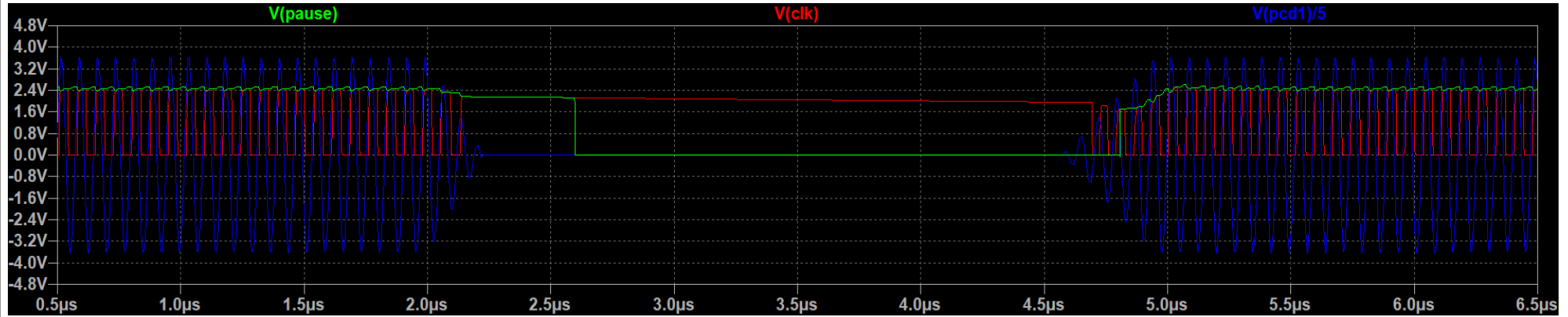
9



Recepción de Datos

10

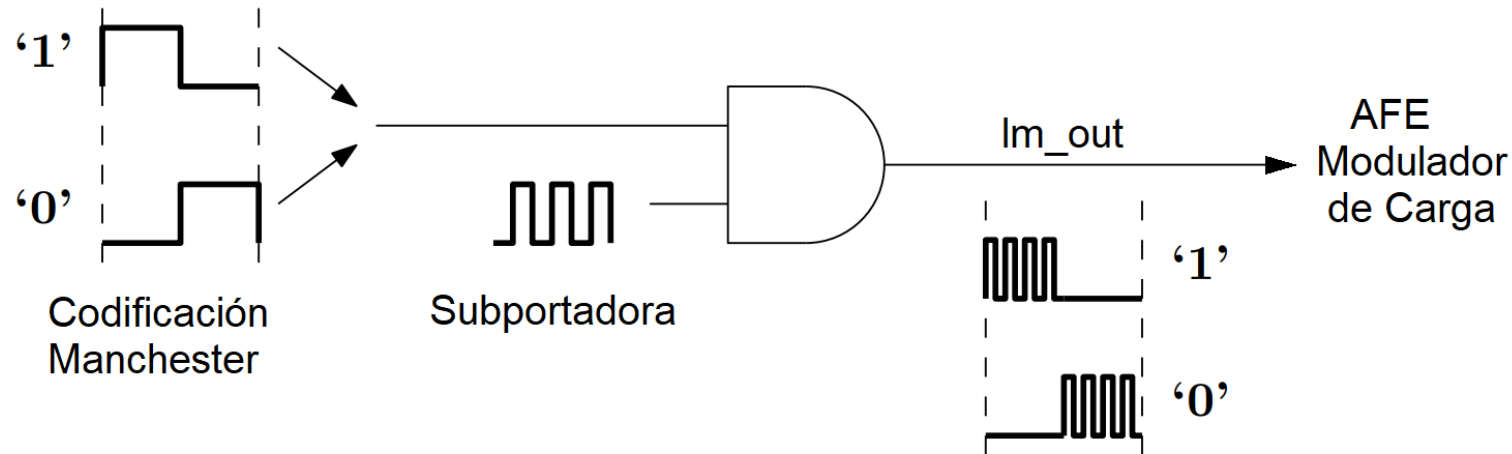
- Simulación SPICE de la recepción de una pausa en el AFE de Fabricio Alcade Bessia.
- Diseñado por otro proceso de fabricación (ON C5N).
- El reloj es recuperado de la portadora y se detiene durante las pausas.
- La relación entre la pausa enviada por el PCD y la pausa y el reloj generados por el AFE dependen en las propiedades del PCD y de la AFE.



Transmisión de Datos (PICC a PCD)

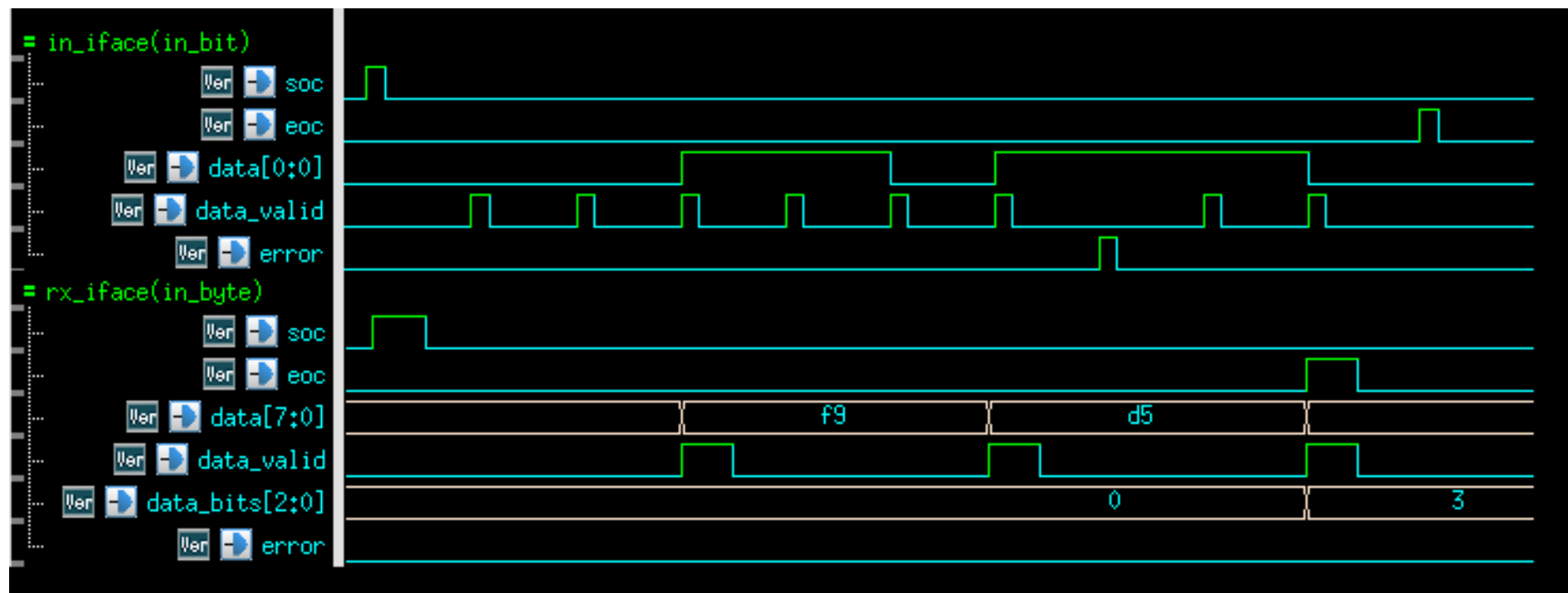
11

- Tasa de bits: $f_c / 128 = \sim 106 \text{ KHz}$.
- Subportadora con frecuencia $f_s = f_c / 16 = 847,5 \text{ KHz}$.



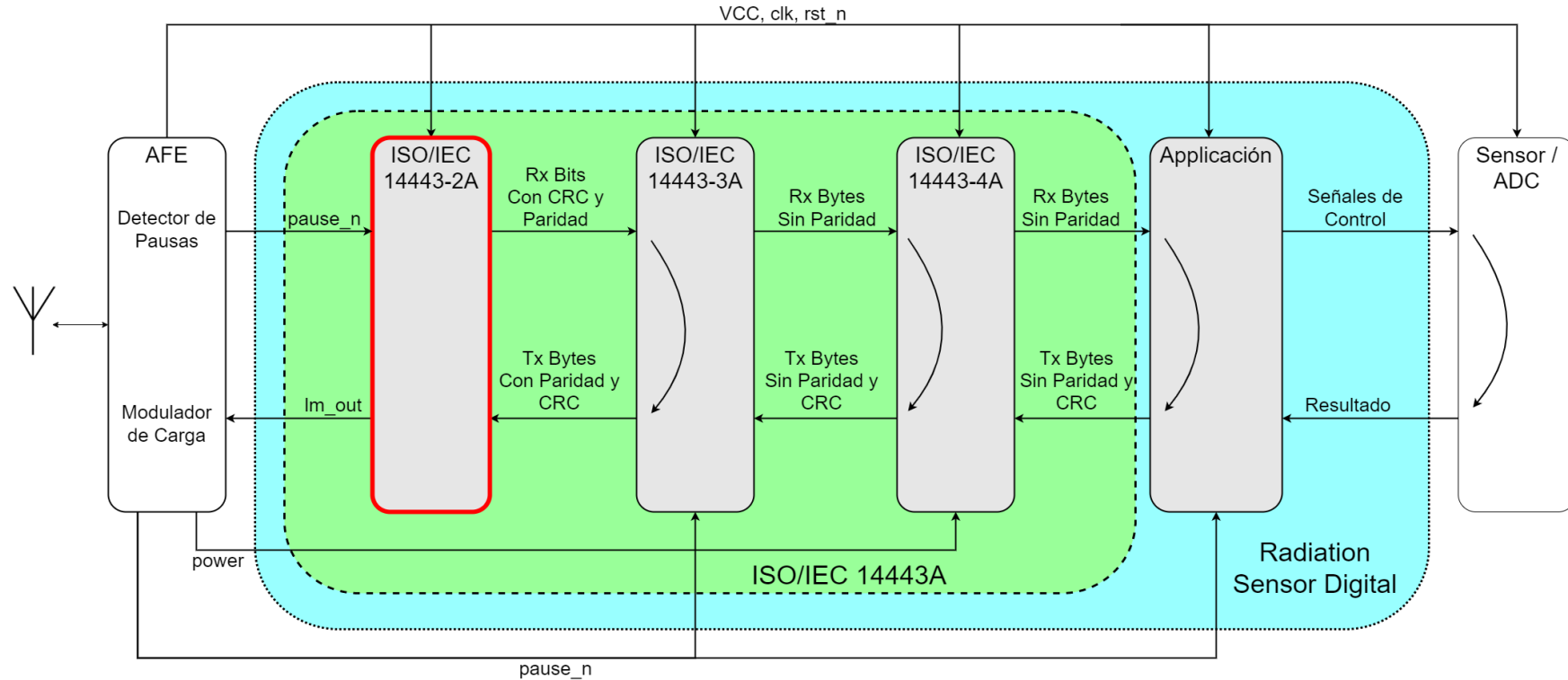
Envío de tramas entre los módulos - Rx

12



Implementación – ISO/IEC 14443-2A

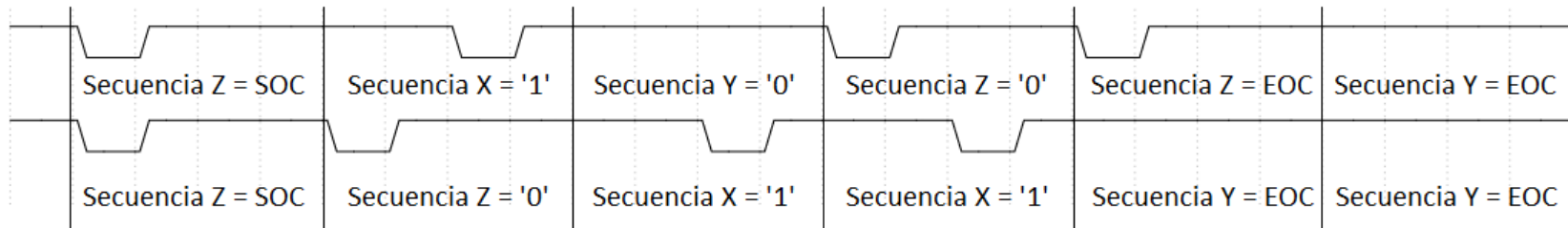
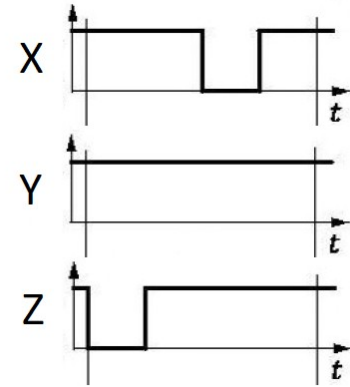
13



Recepción de Datos – ISO/IEC 14443-2A

14

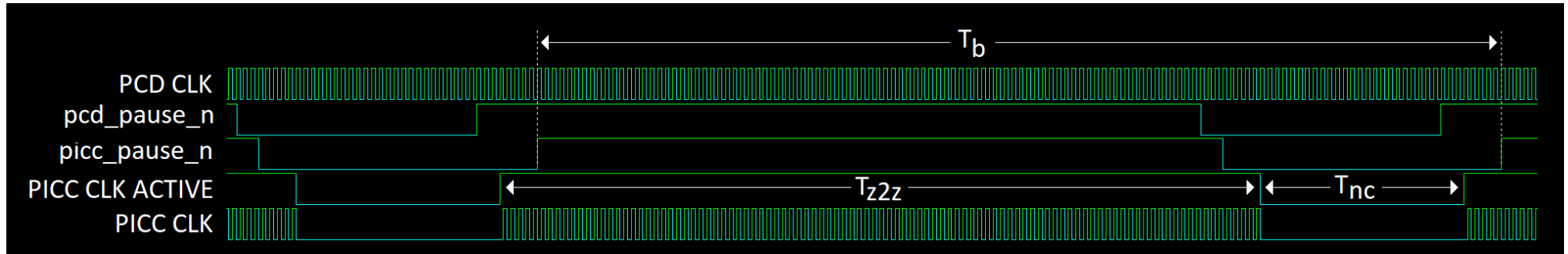
- Start Of Communications (SOC) – Secuencia Z.
- '1' Lógico – Secuencia X.
- '0' Lógico – Secuencia Y o Z.
- End Of Communications (EOC) – '0' Lógico + Secuencia Y.



Recepción de Datos – ISO/IEC 14443-2A

15

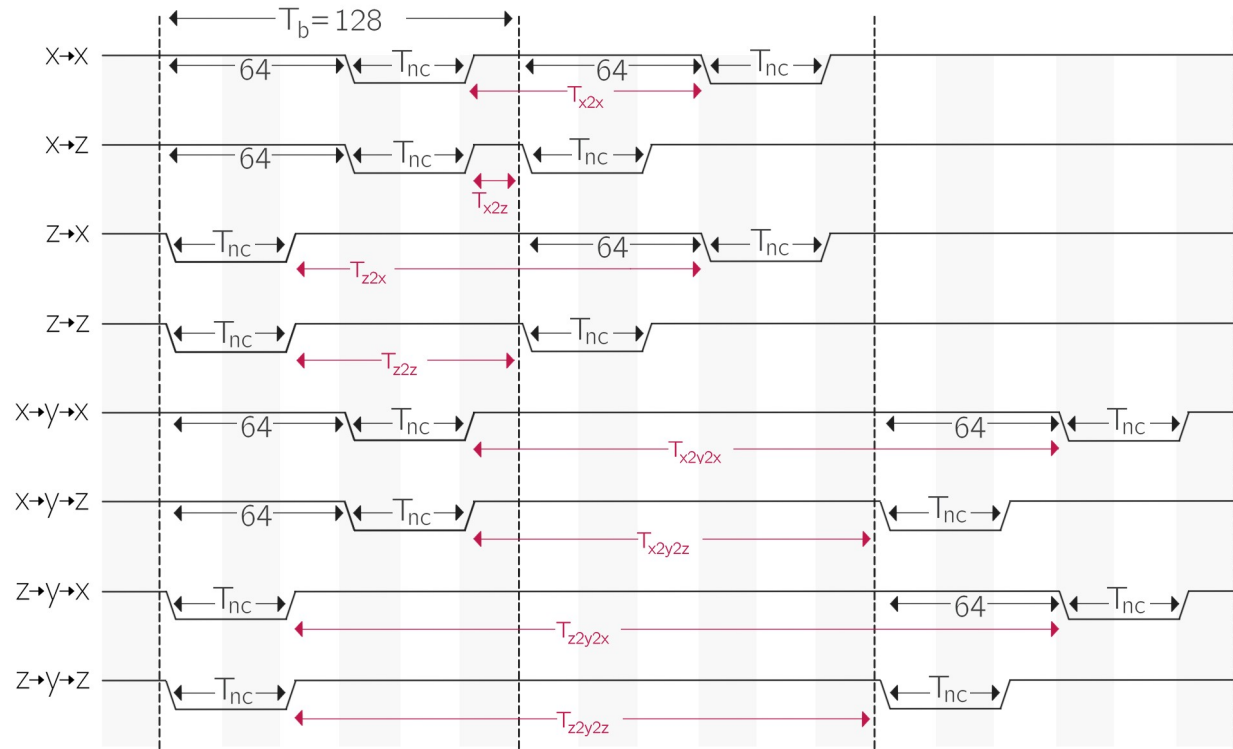
- ¿Cómo decodificar las pausas a secuencias cuando el reloj puede detenerse?
- Se cuenta ciclos del reloj entre flancos ascendentes de las pausas.
- Simulación de la recepción de dos secuencias Z.
- $T_b = 128$ ciclos.
- T_{nc} es el tiempo que el reloj permanece detenido.

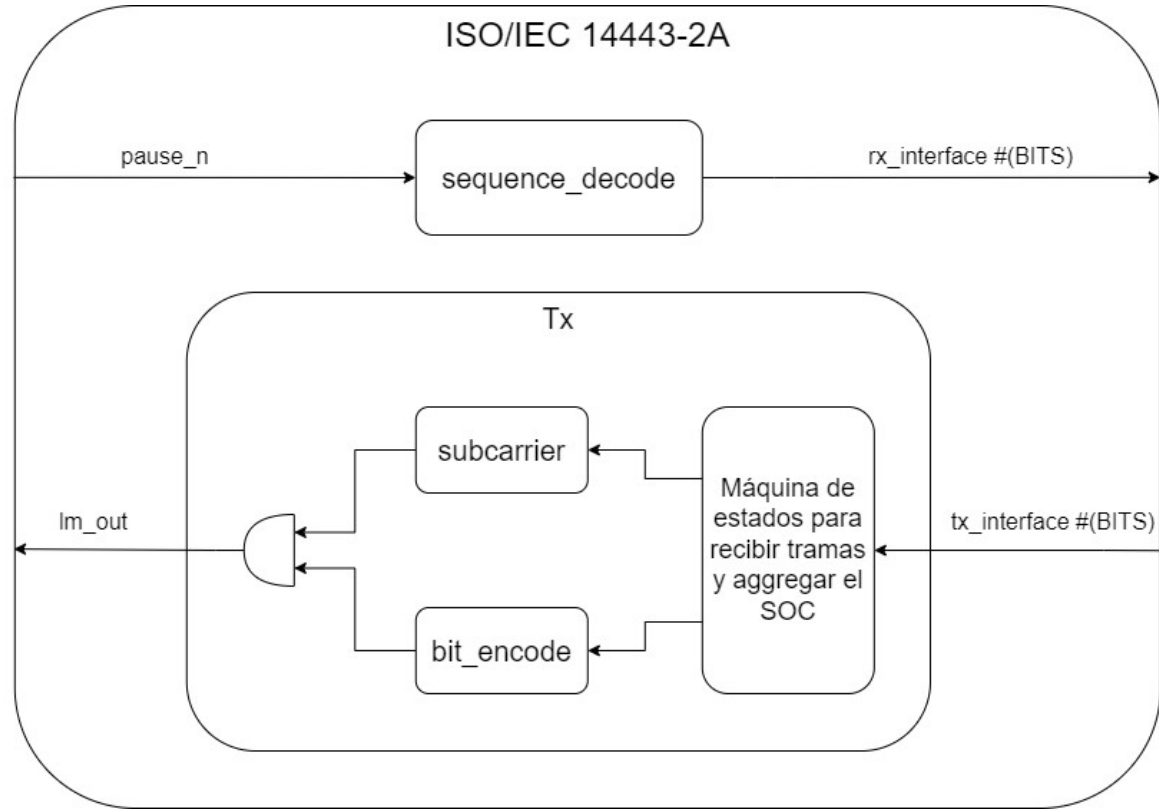


Recepción de Datos – ISO/IEC 14443-2A

16

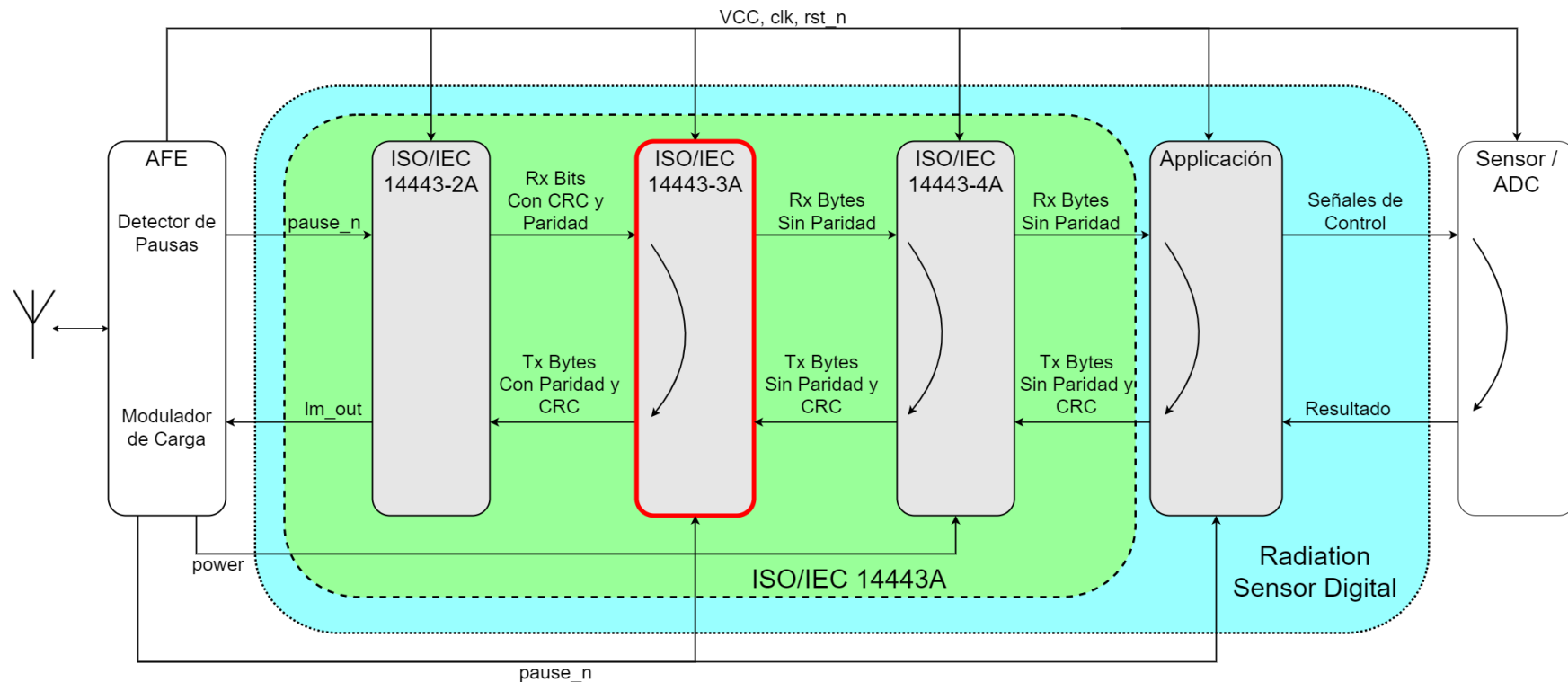
- $T_{nc_min} = 0$.
- $T_{nc_max} = 56$.
- Permite ± 3 ciclos de jitter en la detección de la pausa.





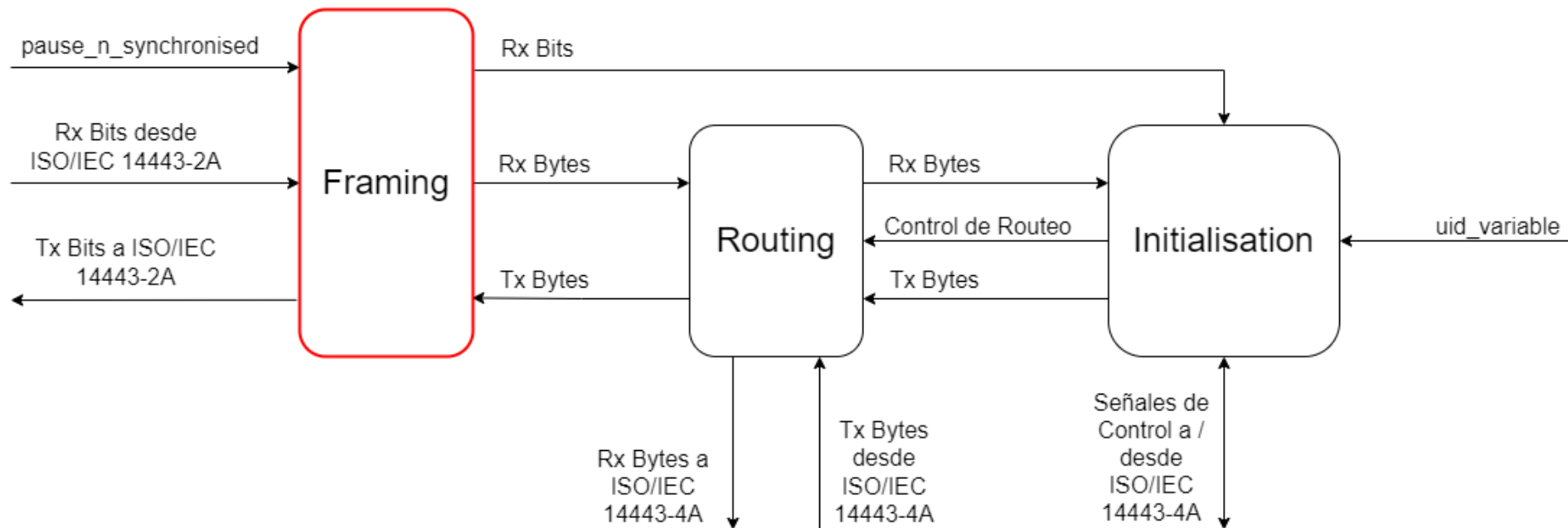
Implementación – ISO/IEC 14443-3A

18



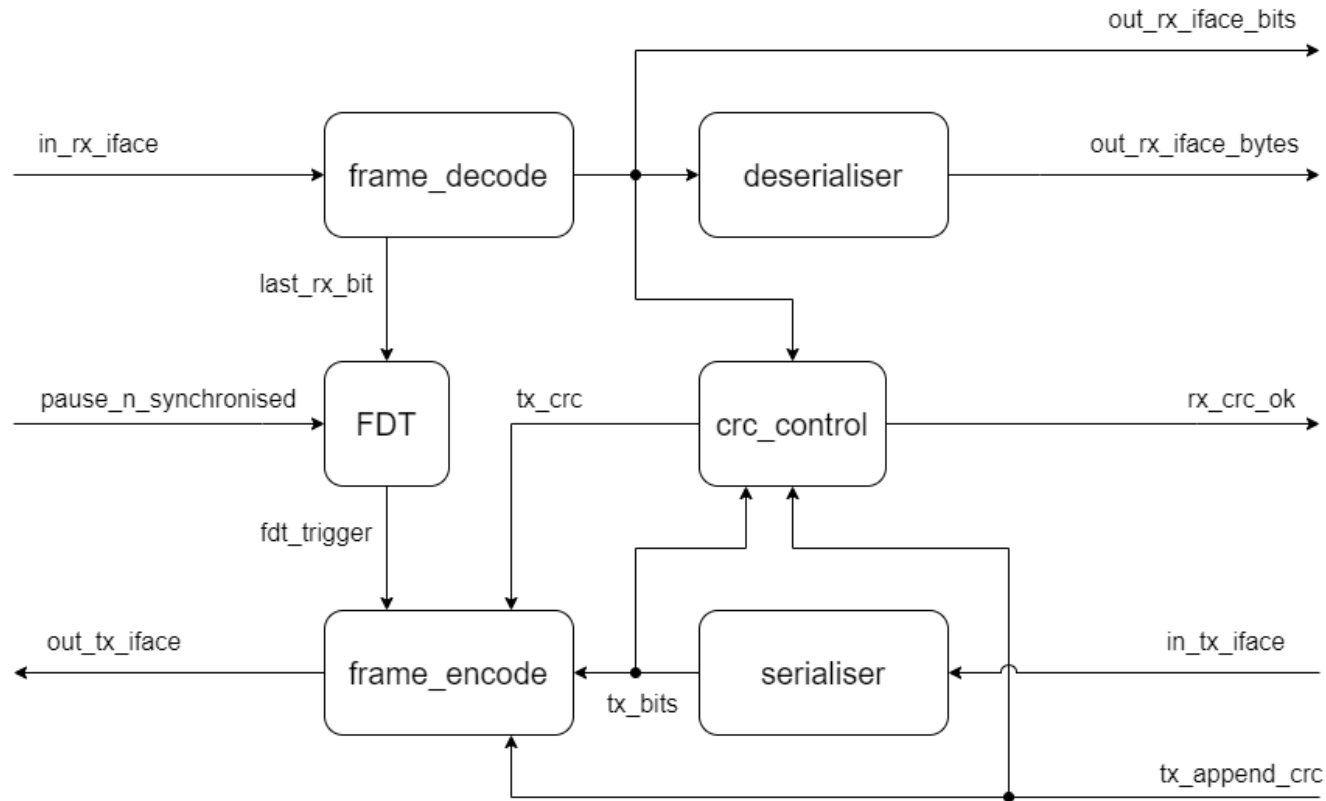
Implementación – ISO/IEC 14443-3A

19

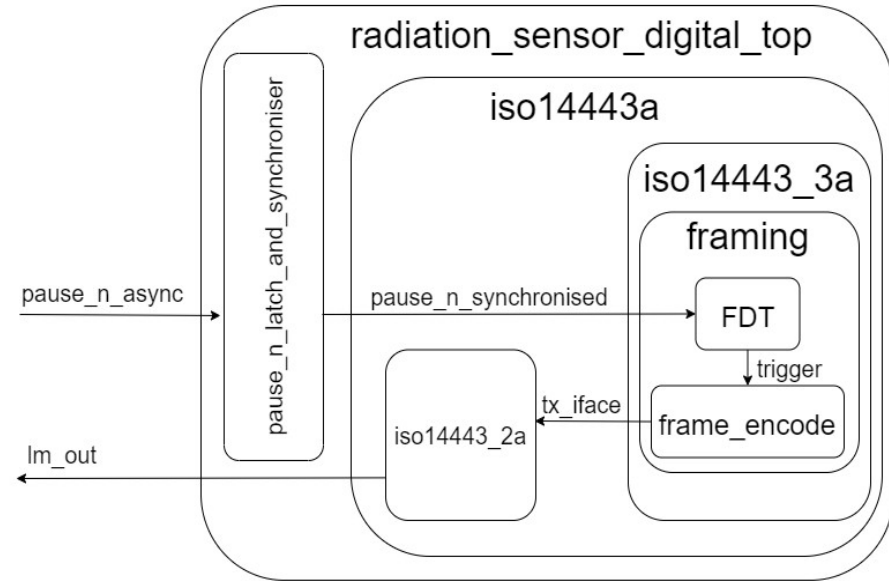
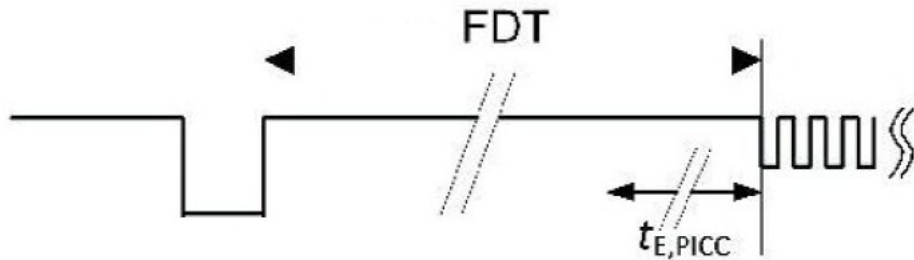


ISO/IEC 14443-3A – Framing

20

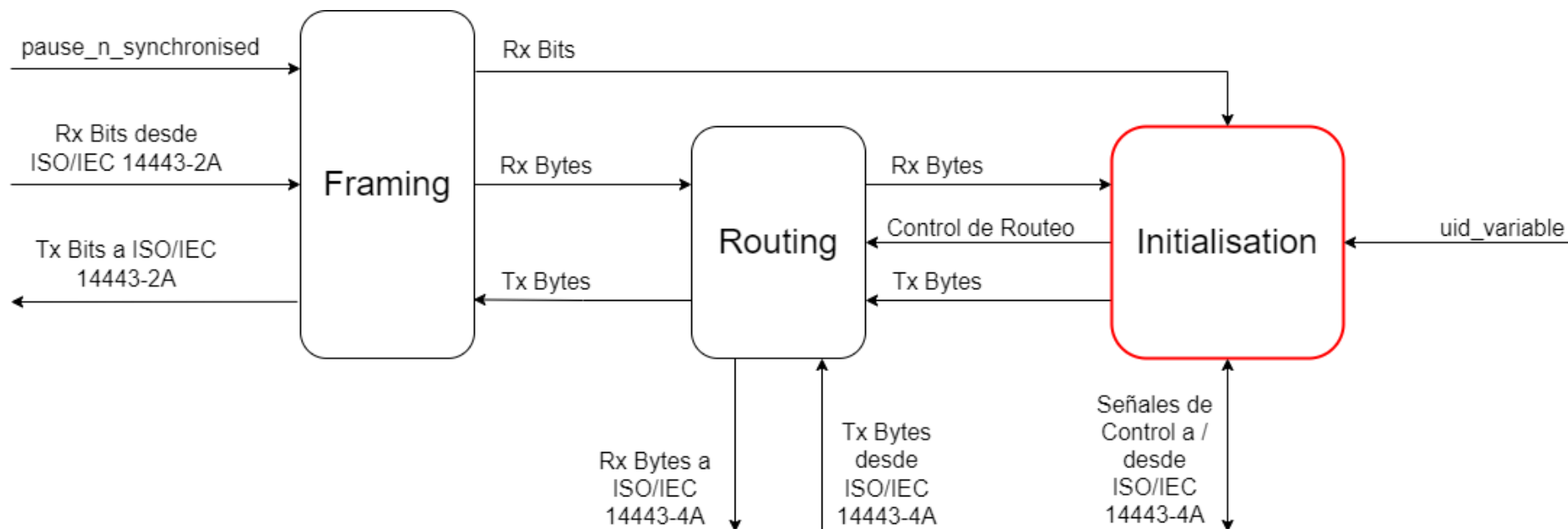


- Tiempo entre la última pausa y el primer flanco de modulación de la respuesta.
- Depende en la última bit de la solicitud:
 - '0' lógico: $T_{\text{FDT}} = 128 n + 20$
 - '1' lógico: $T_{\text{FDT}} = 128 n + 84$
- Tramas de inicialización: $n = 9$
- Otras tramas: $n \geq 9$



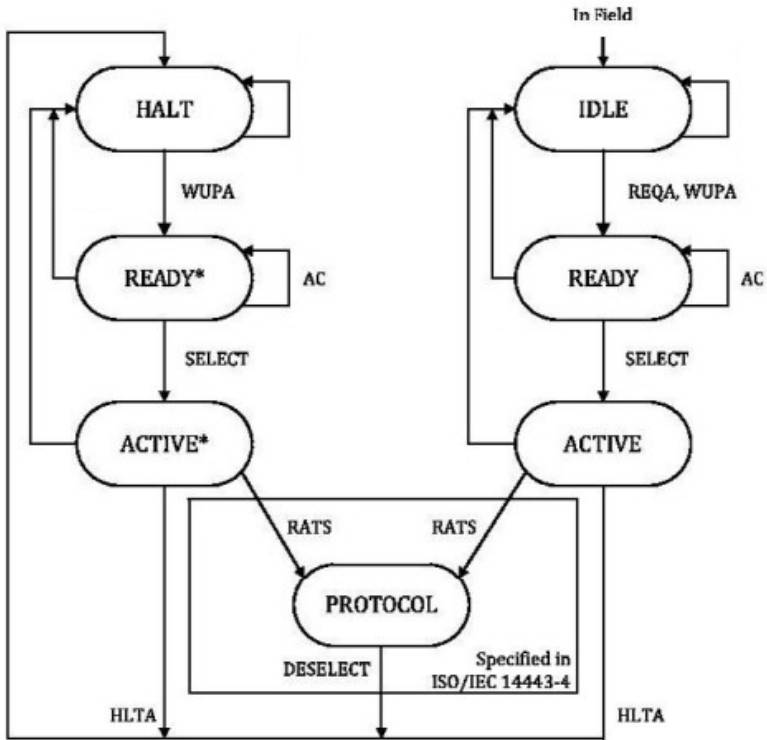
Implementación – ISO/IEC 14443-3A

22



ISO/IEC 14443-3A - Initialisation

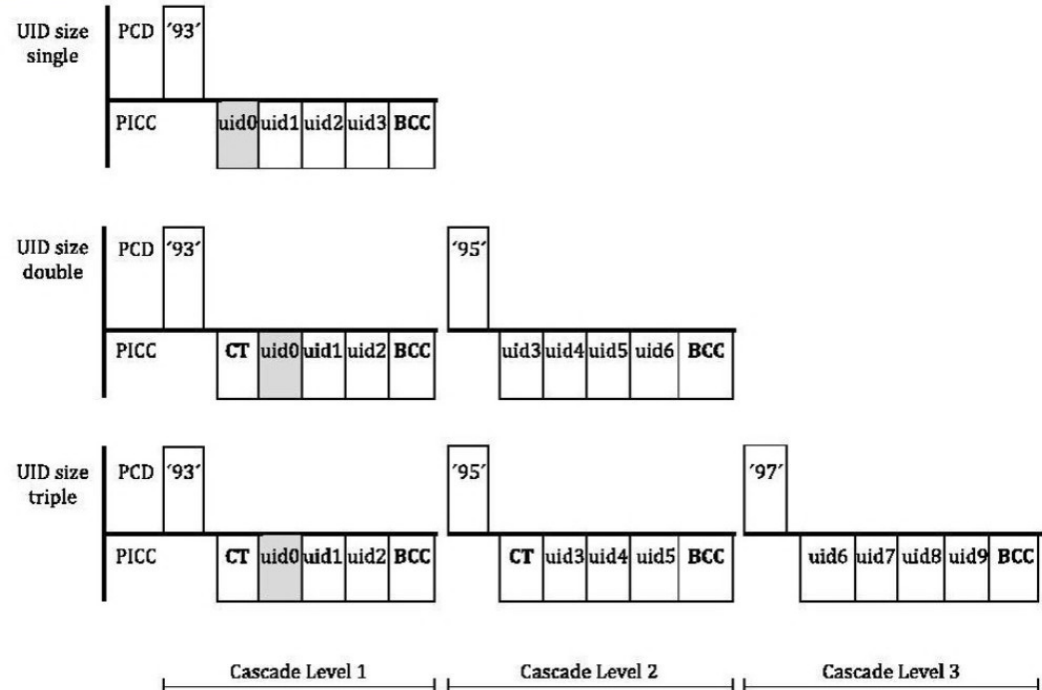
23



PCD \rightarrow PICC			PICC \rightarrow PCD		
Solicitud	Tipo	CRC	Respuesta	Tipo	CRC
REQA	Corta	No	ATQA	Estándar	No
WUPA	Corta	No	ATQA	Estándar	No
ANTICOLLISION	Anticolisión	No	ANTICOLLISION	Anticolisión	No
SELECT	Estándar	Sí	SAK	Estándar	Sí
HLTA	Estándar	Sí	Sin Respuesta		

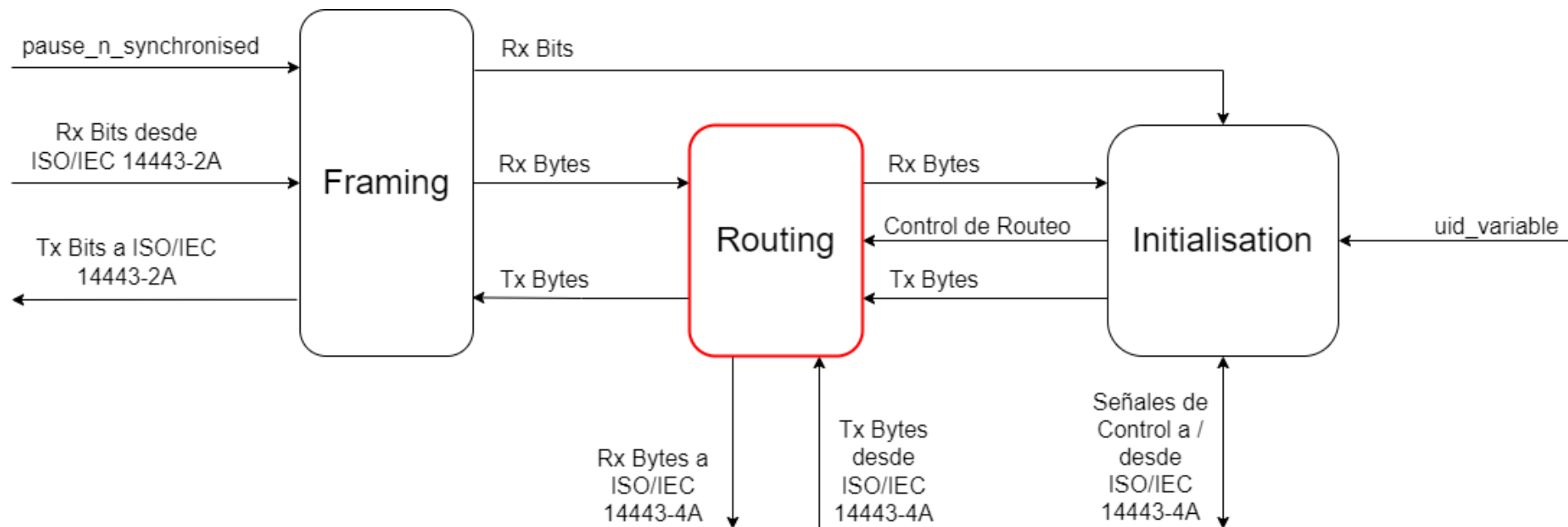
- HALT solo acepta la trama WUPA, y no REQA.
- READY* y ACTIVE* tienen transiciones a HALT en el caso de un error, en vez de a IDLE.
- Esto permite el PCD excluir unas PICCs del proceso de descubrimiento.

- Tres tamaños:
 - Simple – 4 bytes
 - Doble – 7 bytes
 - Triple – 10 bytes
- Esta tesis usa UIDs simples.
UID[31:0] =
0xEFFEC700 | uid_variable[2:0];
- uid_variable es una entrada al diseño.



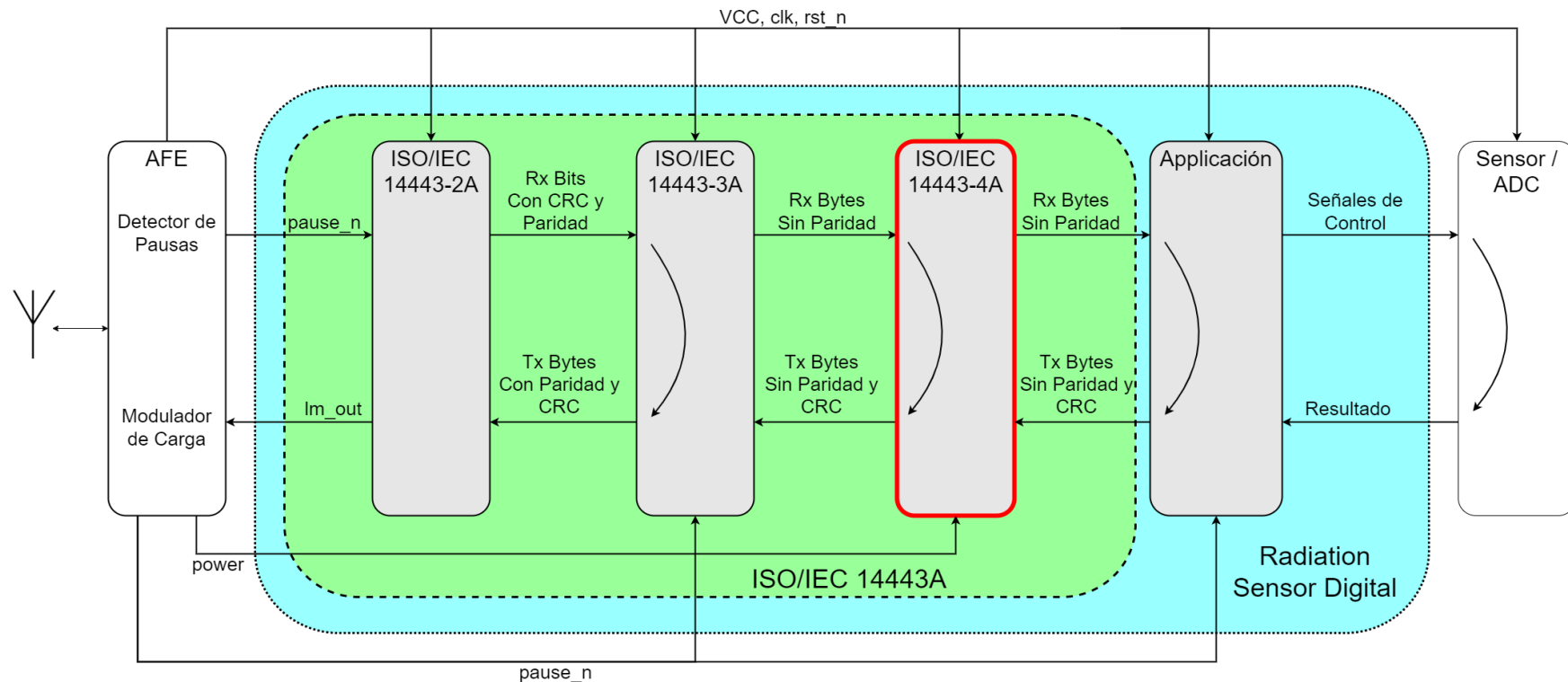
Implementación – ISO/IEC 14443-3A

25



Implementación – ISO/IEC 14443-4

26



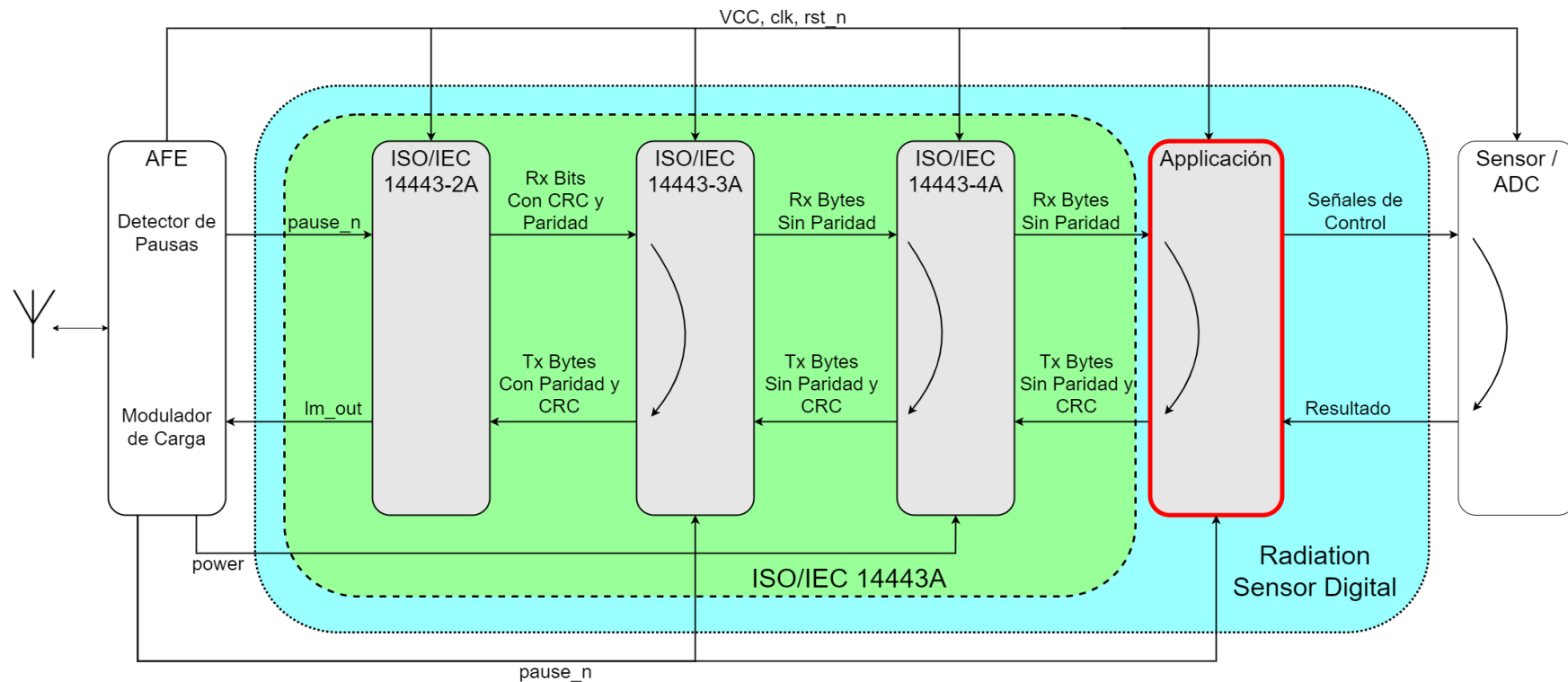
- La trama RATS es necesario para terminar activación (solo por PICCs de tipo A), contiene un CID único para esa PICC. La respuesta es ATS.
- Después del RATS y ATS, el PCD puede enviar la trama PPS para configurar las tasa de bits de comunicación
- Después la PICC está activada.
- Bloques estándares: Tipo I (información), R (reconocimiento) y S (supervisión).

Prologue field			Information field	Epilogue field
PCB	[CID]	[NAD]	[INF]	CRC16
1 byte	1 byte	1 byte		2 bytes

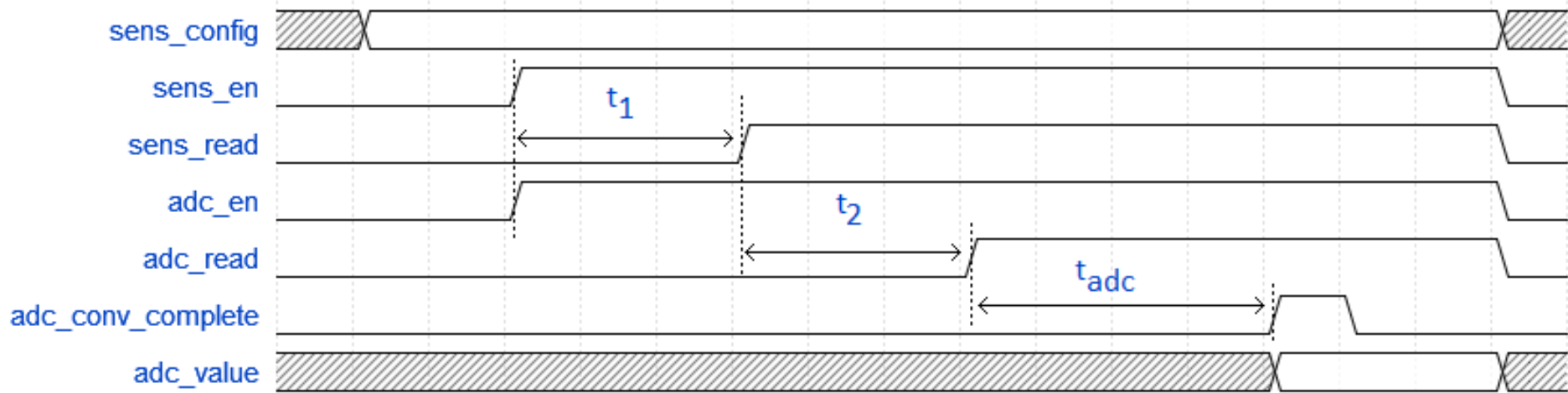
- Bloques-I:
 - Contienen el protocolo de nivel aplicación en el campo INF.
- Bloques-S
 - La única soportada en mi núcleo IP es S(DESELECT) para desactivar la PICC y transaccionar al estado HALT.
- Bloques-R
 - R(ACK) y R(NAK), usadas para:
 - Verificar la presencia de la PICC
 - Pedir la repetición de la última respuesta en caso de un error.

Implementación - Aplicación

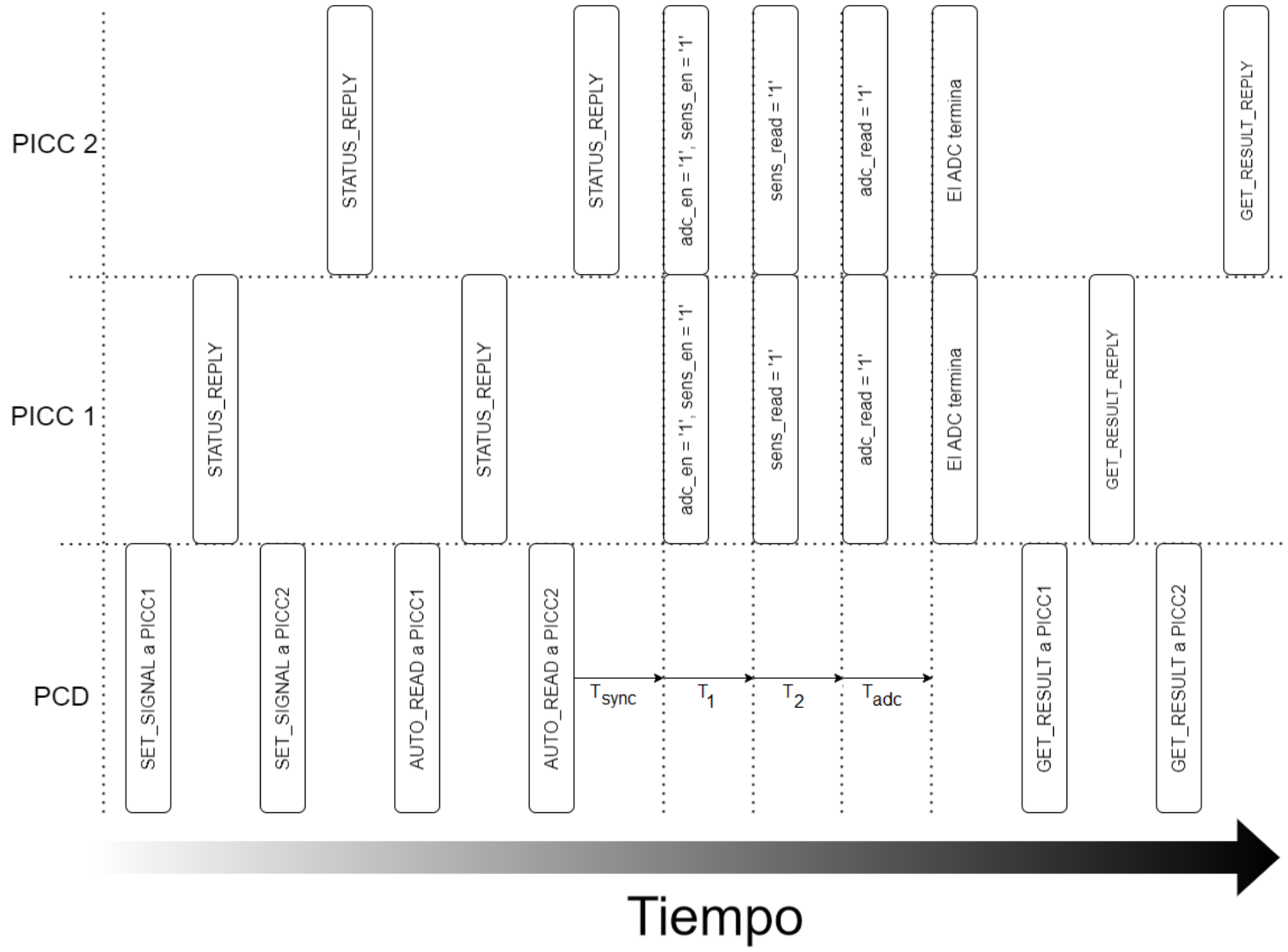
29



- El diseño del ADC es un trabajo futuro, motivo por el cual no se dispone de un modelo.
- Este trabajo soporta un ADC de hasta 16 bits.
- La interpretación de las señales del sensor y el ADC está fuera del alcance de esta tesis.



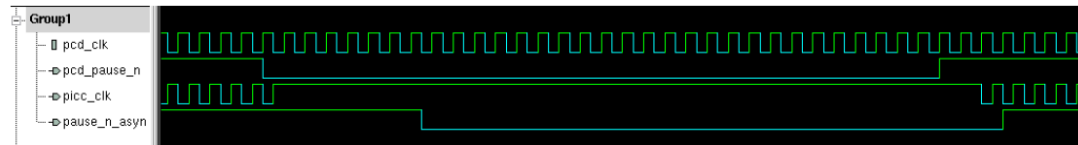
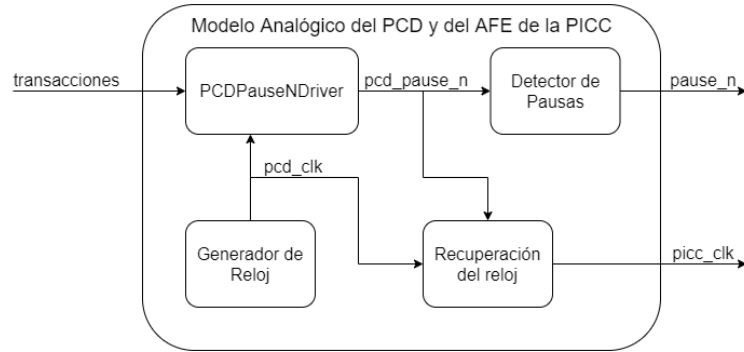
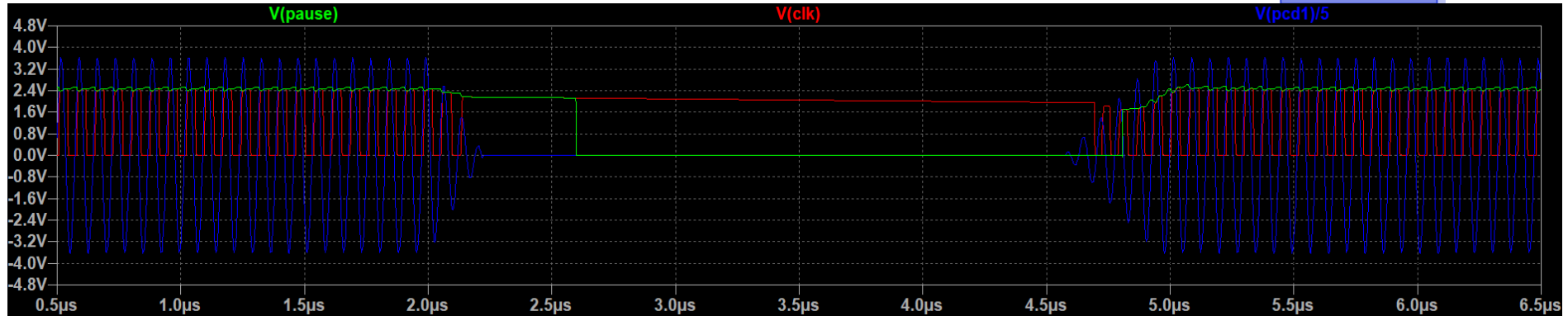
- El protocolo de nivel aplicación consiste en 5 comandos:
 - IDENTIFY – Devuelve la versión de todos los bloques en el diseño.
 - SET_SIGNAL – Cambia una o más de las salidas al sensor y ADC.
 - AUTO_READ – Realiza un muestreo automático del sensor.
 - GET_RESULT – Devuelve el resultado de la última muestra.
 - ABORT – Abandona la operación actual.
- SET_SIGNAL y AUTO_READ pueden ser sincronizados entre todas las PICCs activadas.
- Cada comando y respuesta comienza con una cabecera que consiste en un valor mágico y el tipo del comando.

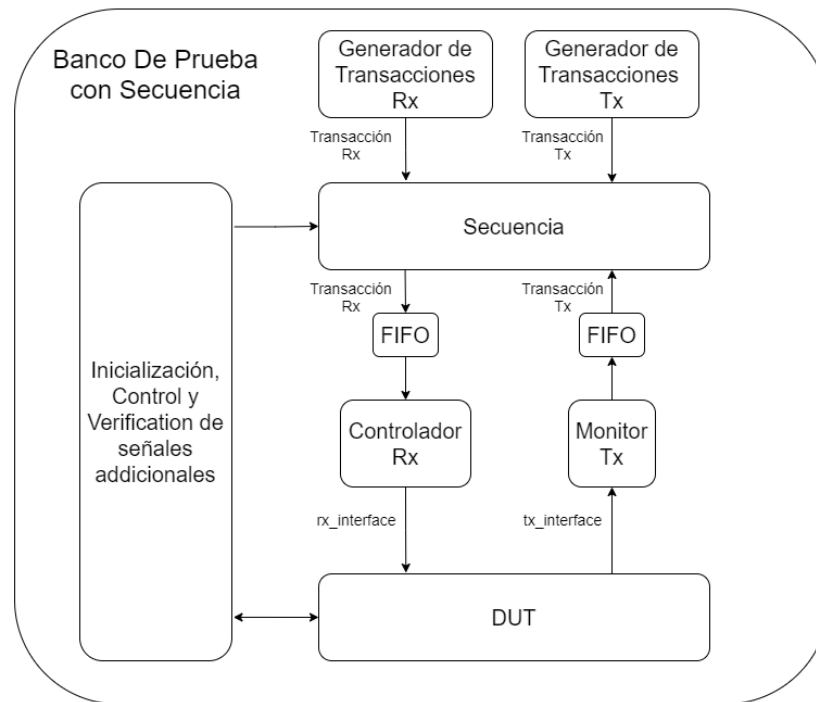
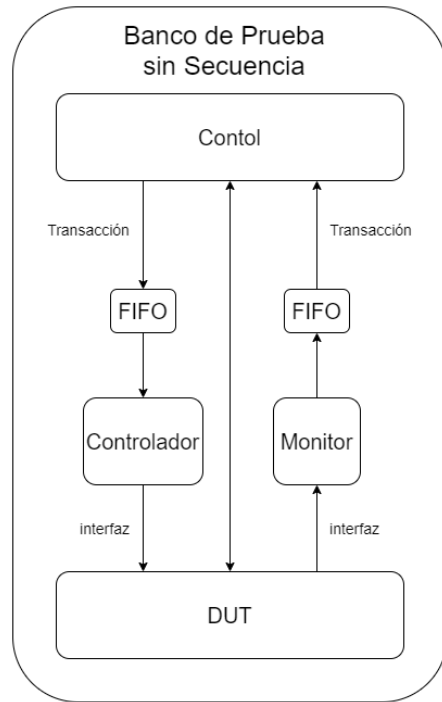


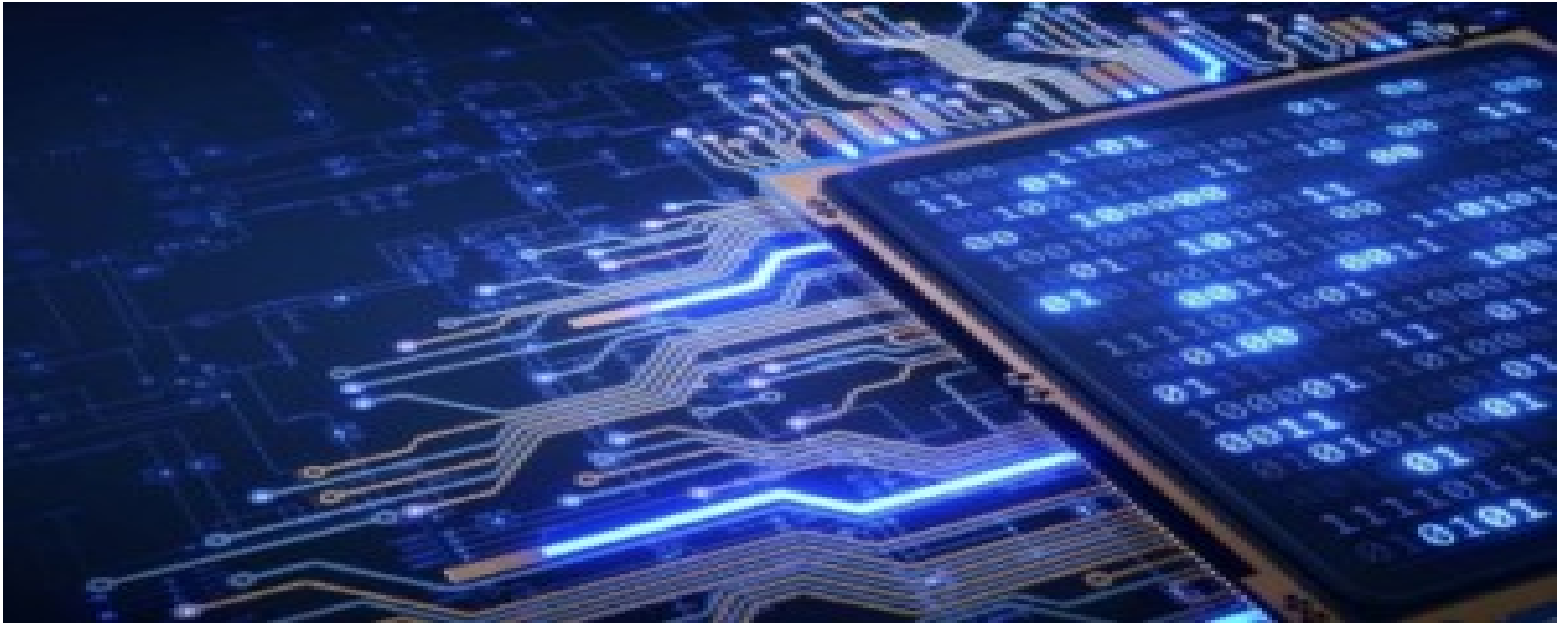
- Basado en técnicas de UVM.
- El marco consiste en un conjunto de clases, paquetes y módulos de SystemVerilog.
 - Transacciones – Representan tramas. Tx y Rx, Bytes, Bits y Secuencias (X, Y y Z).
 - Controladores – Llevan una interfaz virtual y una cola de transacciones. Transacciones empujados a la cola son enviadas sobre la interfaz.
 - Monitores – Llevan una interfaz virtual y una cola de transacciones. Monitorean la interfaz y construye una transacción por cada trama que detectan.
 - Secuencias – Generan series de tramas y verifican las respuestas.
 - Modelos del ADC y del conjunto PCD & AFE.

Verificación

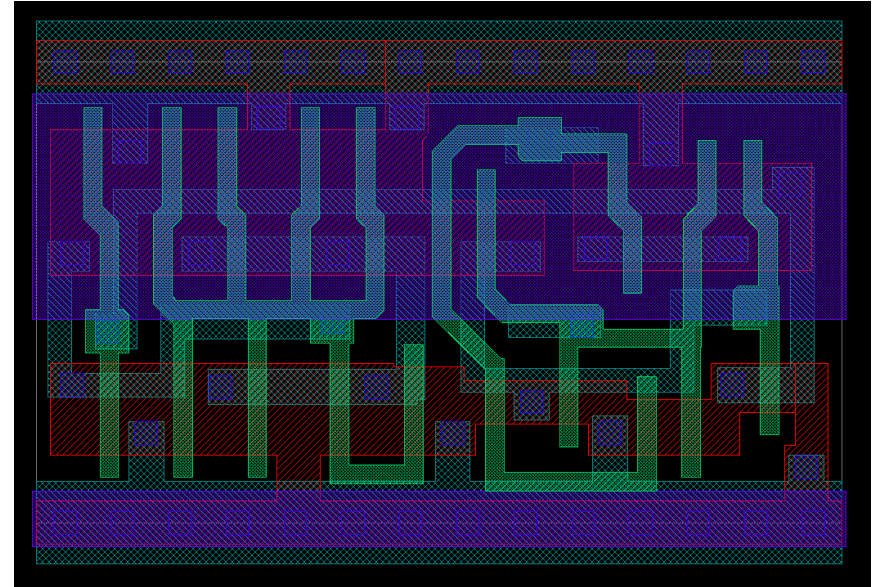
34





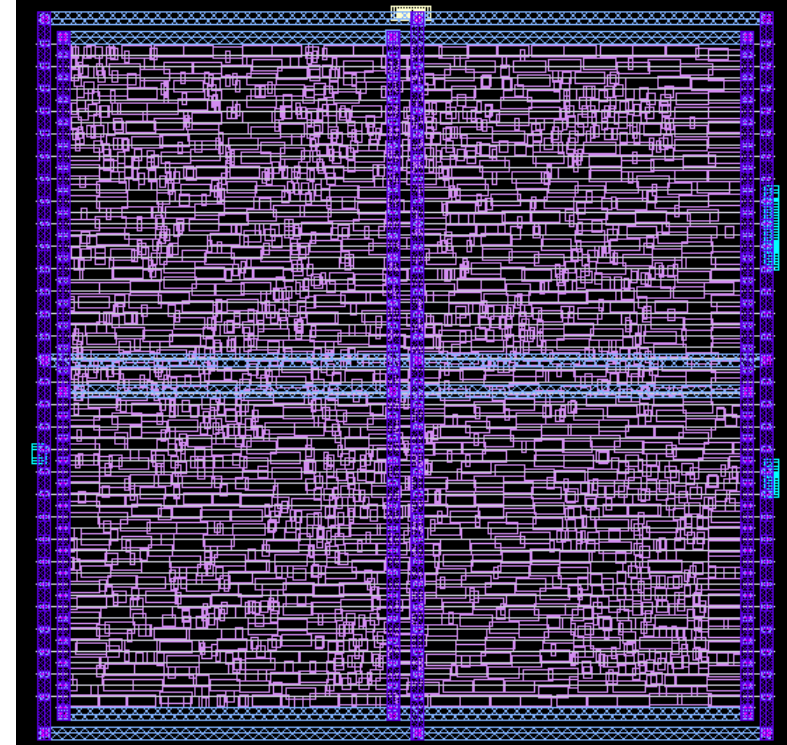
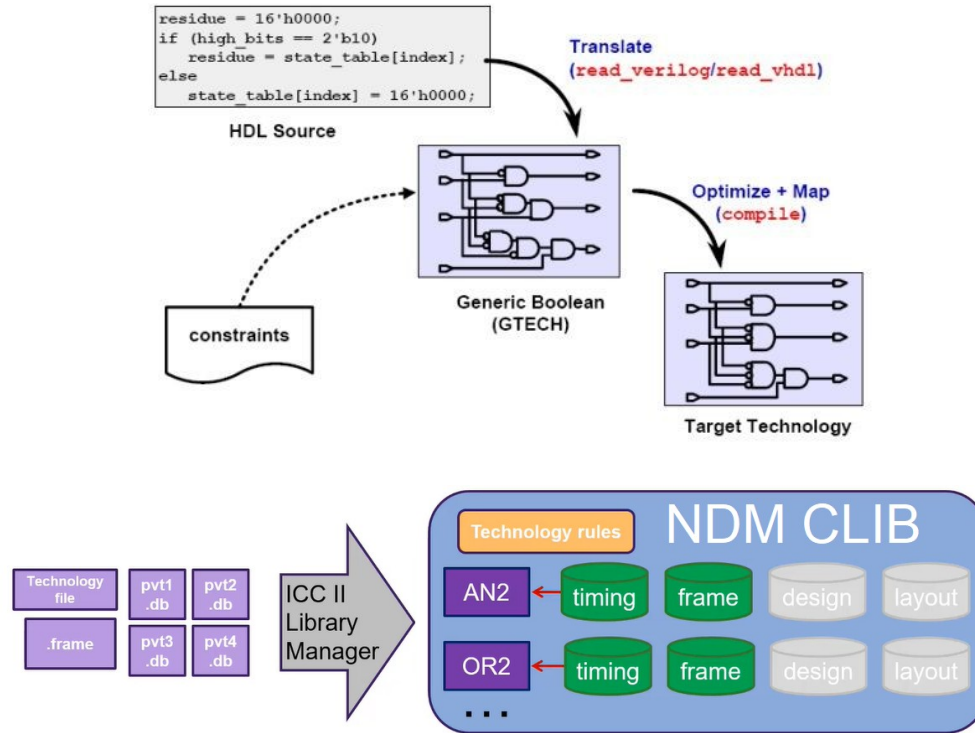


- XFAB XH018 (180 nm).
- 6 capas de metal: MET1 – MET4, METTP, METTPL.
 - MET1, MET3, METTP – Horizontal.
 - MET2, MET4, METTPL – Vertical.
- Celdas:
 - D_CELLS_HD – Velocidad estándar, Bajo potencia.
 - D_CELLS_HDLL – Bajo potencia, Bajo corriente de Fuga



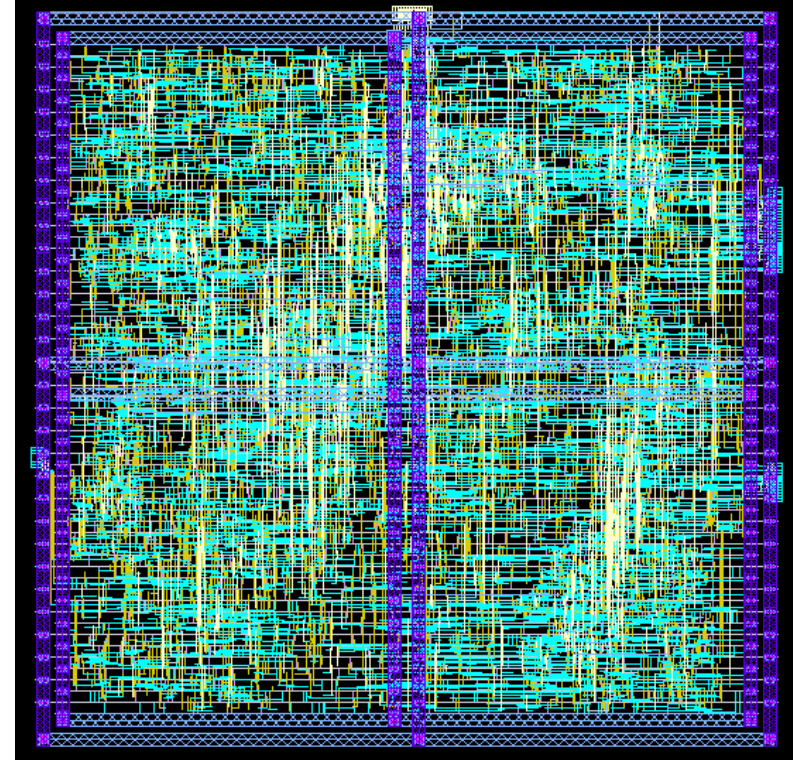
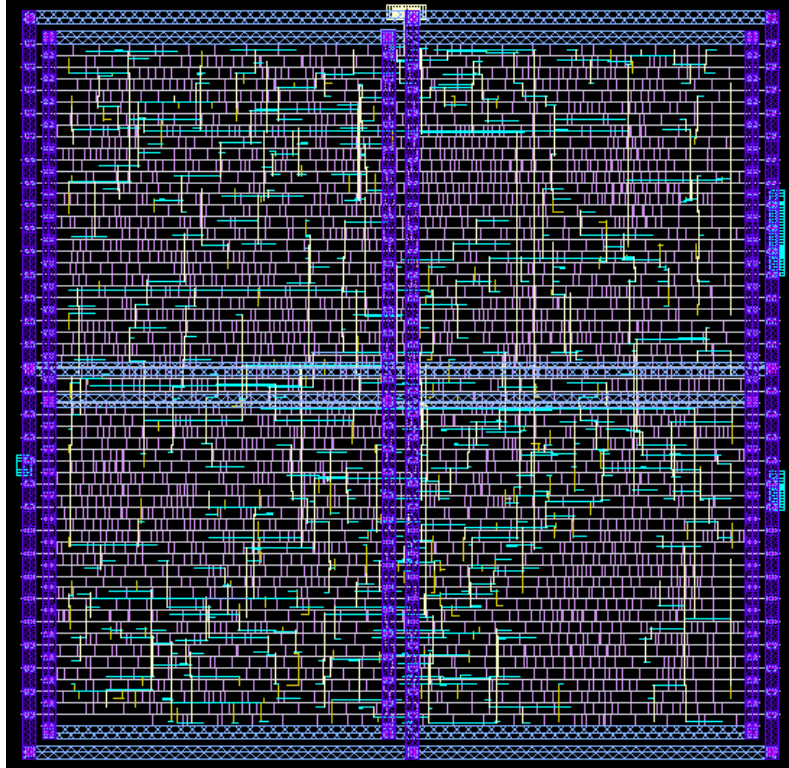
Síntesis y Place & Route

38



Síntesis y Place & Route

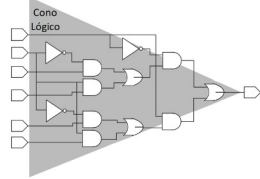
39



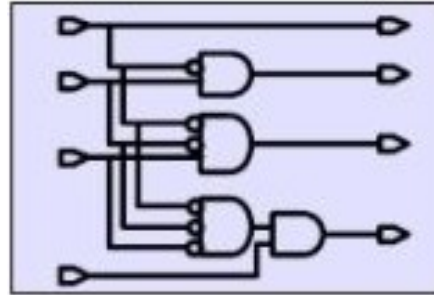
Síntesis y Place & Route

40

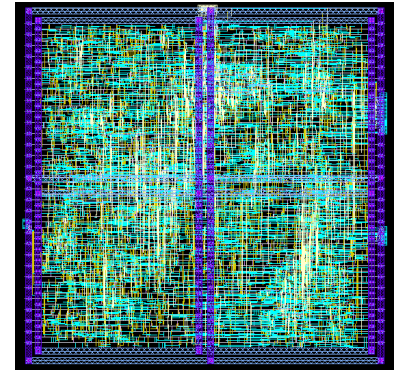
```
residue = 16'h0000;  
if (high_bits == 2'b10)  
    residue = state_table[index];  
else  
    state_table[index] = 16'h0000;
```



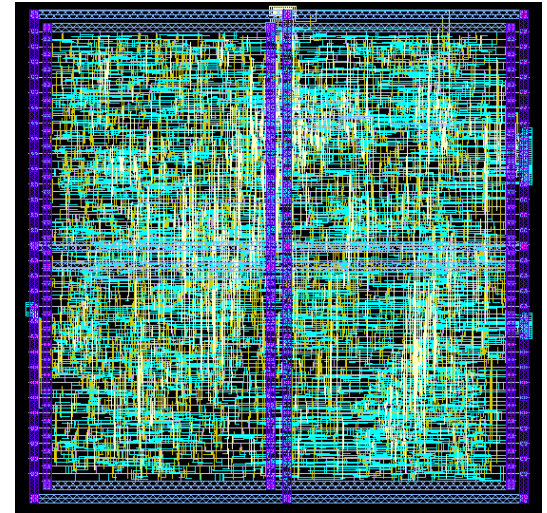
=



=
LVS



- Todo el RTL es verificado con simulaciones funcionales.
- Área: $86\,930\ \mu\text{m}^2 = 0,087\ \text{mm}^2$ (295,68 μm , 294,00 μm).
- Consumo de potencia promedio: 256 μW , compuesto de:
 - 163 μW potencia interna.
 - 92 μW potencia dinámica.
 - 624 nW potencia estática.
- No hay slack negativo de setup ni de hold.
- El GDS II es verificado ser equivalente al RTL.
- No hay errores de DRC ni LVS.



- Realizar una mejor estimación del consumo de potencia, incluyendo consumo pico. Esto es importante al momento de diseñar el AFE.
- Implementar el AFE y el ADC en la tecnología XH018 de X-FAB.
- Agregar puntos de prueba al diseño para permitir realizar mediciones e inyectar señales de forma directa.
- Fabricar y medir el IC.
- Aumentar el núcleo IP con las partes opcionales de la norma, así que puede ser usado en un rango de proyectos más amplio.

- ISO Central Secretary. Identification cards – Contactless integrated circuit cards – Proximity cards – Part 2: Radio frequency power and signal interface. en. Standard ISO/IEC 14443-1:2016. International Organization for Standardization, International Electrotechnical Commission, 2016. url: <https://www.iso.org/standard/66288.html>.
- ISO Central Secretary. Identification cards – Contactless integrated circuit cards – Proximity cards – Part 3: Initialization and anticollision. en. Standard ISO/IEC 14443-3:2016. International Organization for Standardization, International Electrotechnical Commission, 2016. url: <https://www.iso.org/standard/70171.html>.
- ISO Central Secretary. Identification cards – Contactless integrated circuit cards – Proximity cards – Part 4: Transmission protocol. en. Standard ISO/IEC 14443-4:2016. International Organization for Standardization, International Electrotechnical Commission, 2016. url: <https://www.iso.org/standard/70172.html>.
- Gerald J. Kutcher y col. Comprehensive QA for Radiation Oncology. Inf. téc. 1994. doi: 10.37206/45.
- M. Garcia-Inza y col. ((6MV LINAC characterization of a MOSFET dosimeter fabricated in a CMOS process)). En: Radiation Measurements 117 (2018), págs. 63-69. issn: 1350-4487. doi: 10.1016/j.radmeas.2018.07.009.
- Arana Leandro Javier. ((Interfaz RFID para dosimetría MOS de aplicación médica)). Universidad de Buenos Aires, 2018.
- Fabricio Alcalde, Octavio Alpago y José Lipovetsky. ((CMOS design of an RFID interface compatible with ISO/IEC-14443 type A protocol)). En: (2014). doi: 10.1109/EAMTA.2014.6906077.
- IEEE Standard Verilog Hardware Description Language. en. Standard IEEE 1364-2001. 2001. url: <https://standards.ieee.org/ieee/1364/2052/>.

Preguntas?

44