

Sistemas Digitales

(66.17/86.41)

Trabajo práctico 2

Voltímetro digital con salida VGA



1. Objetivo

El objetivo del presente Trabajo Práctico consiste en especificar, diseñar, describir una arquitectura, simular, sintetizar e implementar en FPGA un sistema digital para un voltímetro digital con salida VGA.

2. Especificaciones

- Implementar en lenguaje descriptor de hardware VHDL un voltímetro conformado por un conversor A/D Sigma-Delta con salida VGA.
- Sintetizar con la herramienta ISE la descripción de hardware para la FPGA correspondiente (tomar los valores de la correspondiente hoja de datos).
- Implementar la descripción en los kits de desarrollo provistos por la materia (Spartan-3 Starter Board y Nexys II).
- Generar un informe (no más de 5 hojas, sin contar el código) que incluya:
 - Diagrama en bloques, especificando entradas y salidas de cada bloque
 - Simulaciones (incluyendo algunas capturas de pantalla)
 - Tabla de resumen de síntesis, detallando: slices, Flip-Flops, LUTs utilizadas, y frecuencia máxima de reloj a la que es operable el circuito (todos los items, salvo la frecuencia máxima de reloj, con indicación de porcentajes de utilización).
 - Código fuente VHDL.

3. Desarrollo

El diagrama en bloques de la arquitectura propuesta se puede observar en la figura 1. En la misma se reconocen varios elementos, entre ellos:

- Entrada diferencial
- Flip-flop D
- Bloque de procesamiento de datos y control
- Resistencia (R) y capacitor (C)

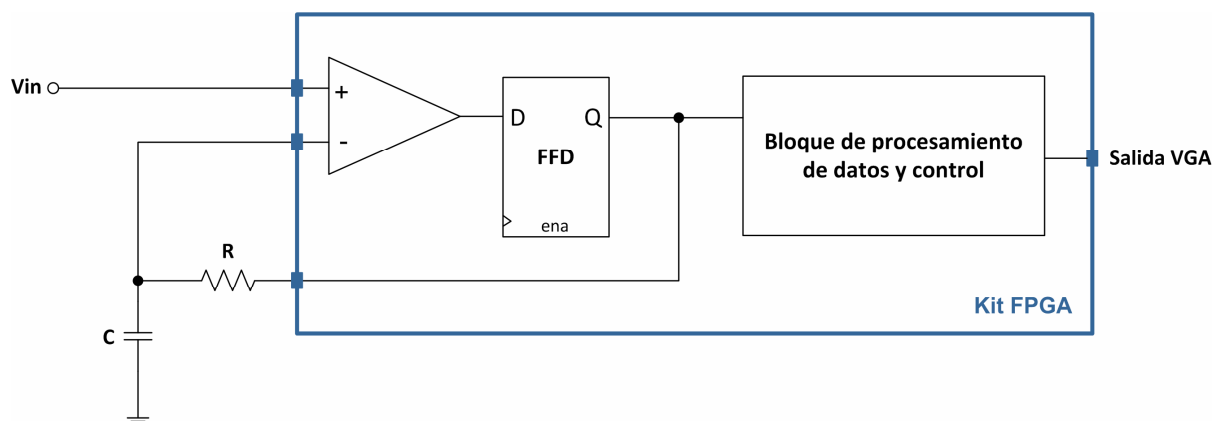


Figura 1. Diagrama en bloques del circuito a implementar

En la figura 2 se puede observar el detalle del bloque de procesamiento de datos y control.

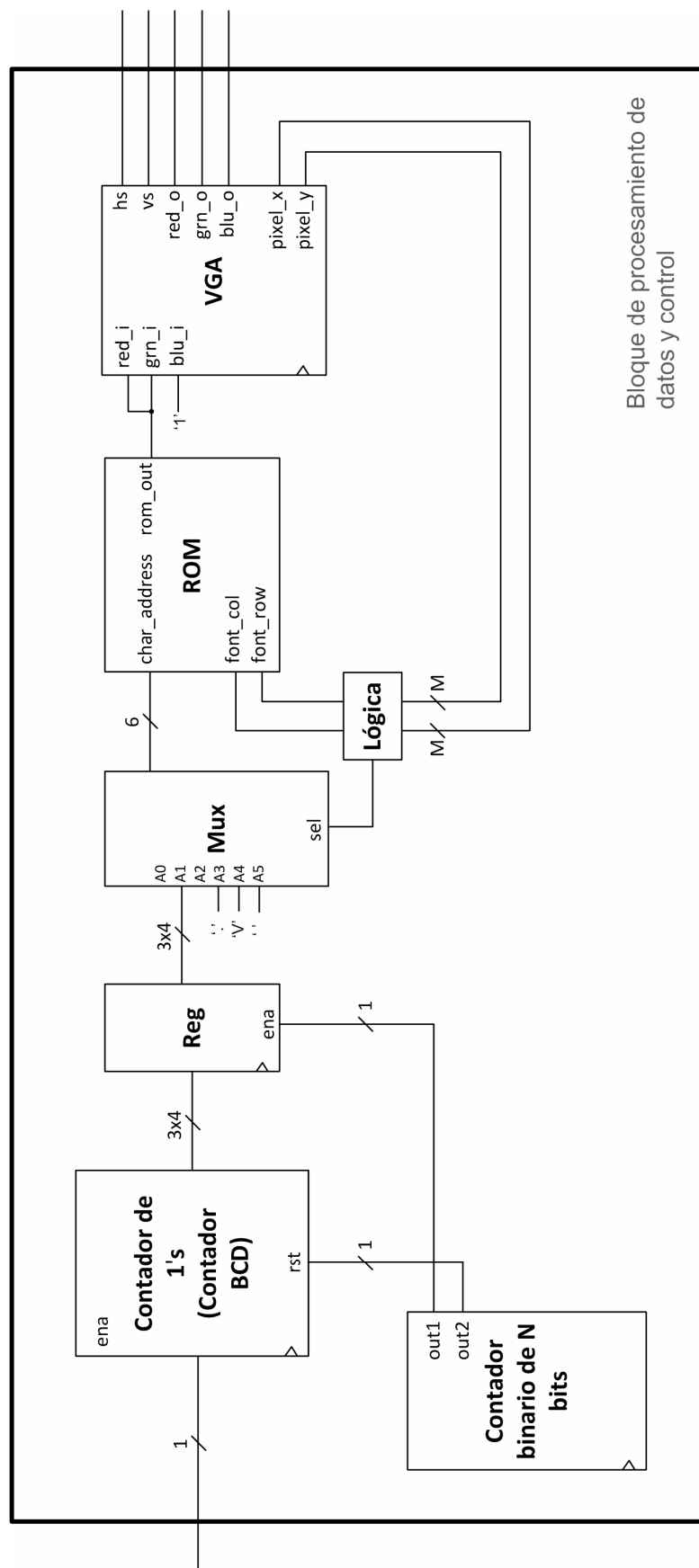


Figura 2. Esquema del bloque de procesamiento de datos y control

La idea del trabajo práctico es implementar un conversor A/D Sigma-Delta utilizando uno de los Flip-flops presentes en los bloques lógicos de la FPGA, seguido de un contador que dará cuenta de la cantidad de unos a la salida de dicho Flip-flop en un determinado tiempo (cantidad dada de ciclos de reloj). El valor obtenido se mostrará en un monitor a través de la interfaz VGA provista en el kit de desarrollo.

3.1. Flip-flop

Se utilizará un Flip-flop de uno de los bloques lógicos de la FPGA.

3.2. Contadores

Se podrán utilizar los contadores implementados en el trabajo anterior.

3.3. Controlador VGA

Los kits utilizados poseen un conector DB15 a través del cual pueden enviarse las señales de control correspondientes a una interfaz VGA de un monitor. Para lograr esto se debe implementar un controlador VGA, tomando como referencia el código existente en la página web de la materia. Asimismo, se debe confeccionar una ROM para almacenar los caracteres '0'...'9', '.', 'b' (espacio en blanco) y 'V' que serán los utilizados para mostrar los valores de tensión tomados a la entrada del voltímetro.

4. Material de apoyo

- Archivos VGActrl.vhd (controlador de VGA) y Char_ROM.vhd (memoria de caracteres) disponibles en la página web de la materia. Ambos pueden ser usados libremente para implementar el voltímetro.
- Archivo Entrada_diferencial.txt (Mapeo de pines de la entrada diferencial)
- <https://www.xilinx.com> (página web del fabricante del kit Spartan 3E Starter).
- <http://store.digilentinc.com/> (página web del fabricante del kit Nexys 2).
- Libro (optativo)
FPGA PROTOTYPING BY VHDL EXAMPLES - Xilinx Spartan-3 Version
Autor: Pong P. Chu Año: 2008
Editorial: John Wiley and Sons, Inc., Hoboken, New Jersey.
ISBN 978-0-470-18531-5
- Manual del sintetizador (optativo)
XST Xilinx Synthesis Tool User Guide.

5. Consideraciones extras

5.1. Modalidad de trabajo

Se recomienda enfáticamente realizar un testbench (simulación) por cada descripción de hardware a implementar.

Se recomienda también probar todo por separado, tanto para las descripciones en VHDL como para las pruebas con el kit de desarrollo. Una vez que se haya comprobado fehacientemente que cada descripción funciona por separado se procederá a integrarlas.

5.2. Modalidad de trabajo

Bajo ningún concepto se aprobará un trabajo práctico en el cual haya lógica en el camino del reloj.

No utilizar falling o rising edges del reloj al mismo tiempo, para lograr sincronización. Utilizar sólo uno de los dos flancos en todos los circuitos sincrónicos que se implementen.

5.3. Estilo de codificación

No utilizar señales de tipo bit o bit_vector. Tampoco utilizar señales de tipo inout y/o buffer para puertos de entidades.

5.4. Forma de evaluación

El informe del trabajo práctico se deberá entregar en la fecha límite presente en la página web de la materia. Se evaluará individualmente al alumno con el trabajo práctico funcionando y, en base a las preguntas realizadas por el docente, se determinará la aprobación.