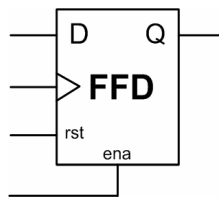
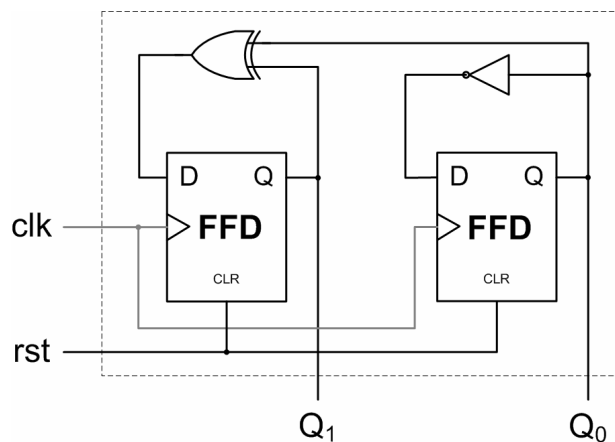


GUÍA PRÁCTICA N° 1

1. Crear un componente en VHDL que implemente un full-adder de un bit. Extenderlo a N bits utilizando la sentencia generate. Simular ambos diseños.
2. Teniendo como base el anterior componente crear otro que incluya la capacidad de resta (sumador-restador) agregando un puerto de selección de operación. Simular.
3. Crear en VHDL un componente flip-flop D de flanco ascendente con reset sincrónico (srst) y habilitación (ena). Simular.



4. Crear en VHDL un componente registro de N bits con reset sincrónico (srst) y habilitación (ena), a partir del flip-flop D. Simular.
5. Implementar en VHDL un contador de 2 bits de manera estructural (tal como se observa en la imagen). Indicar en el mismo todas las señales utilizadas. Simular.



6. IDEM anterior pero de 4 bits.
7. ¿Cómo haría para implementar un contador genérico de N bits de forma estructural?
8. Implementar un componente que determine la cantidad de ceros hasta el primer uno en las posiciones altas de un vector

