

Sistemas Digitales - 66.17

Trabajo Práctico 1

Contador BCD de 4 dígitos con salida a display 7 segmentos

1. Objetivo

El presente Trabajo Práctico consta en especificar, diseñar, describir una arquitectura, simular, sintetizar e implementar en FPGA un sistema digital para un contador BCD de 4 dígitos con salida a un display de 7 segmentos.

2. Especificaciones

1. Implementar en lenguaje descriptor de hardware VHDL: un contador BCD de 4 dígitos y un controlador para un display de 7 segmentos de 4 cifras. El contador se deberá incrementar aproximadamente cada 1 segundo.
2. Sintetizar con la herramienta *ISE* la descripción de hardware para la FPGA:
 - **Fabricante:** Xilinx
 - **Familia:** Spartan 3
 - **Modelo:** xc3s200
 - **Encapsulado:** FT256
 - **Speed:** -4
3. Implementar la descripción en el kit de desarrollo “Spartan-3 Starter Board” de la empresa digilent.
4. Generar un **informe** (no más de 5 hojas, sin contar el código) que incluya:
 - Diagrama en bloques, entradas y salidas de cada bloque.
 - Simulaciones (incluyendo algunas capturas de pantalla).
 - Tabla de **resumen de síntesis**, detallando: slices, Flip-Flops, LUTs utilizadas, Cantidad de *gated-clocks* (GCLK) y frecuencia máxima de reloj a la que es operable el circuito (todos los items, salvo la frecuencia máxima de reloj, con indicación de porcentajes de utilización).
 - **Código fuente VHDL.**

3. Desarrollo

El diagrama en bloques de la arquitectura propuesta se puede observar en la figura 1. En la misma se reconocen varios elementos, entre ellos:

- Contadores
- Generador de enable

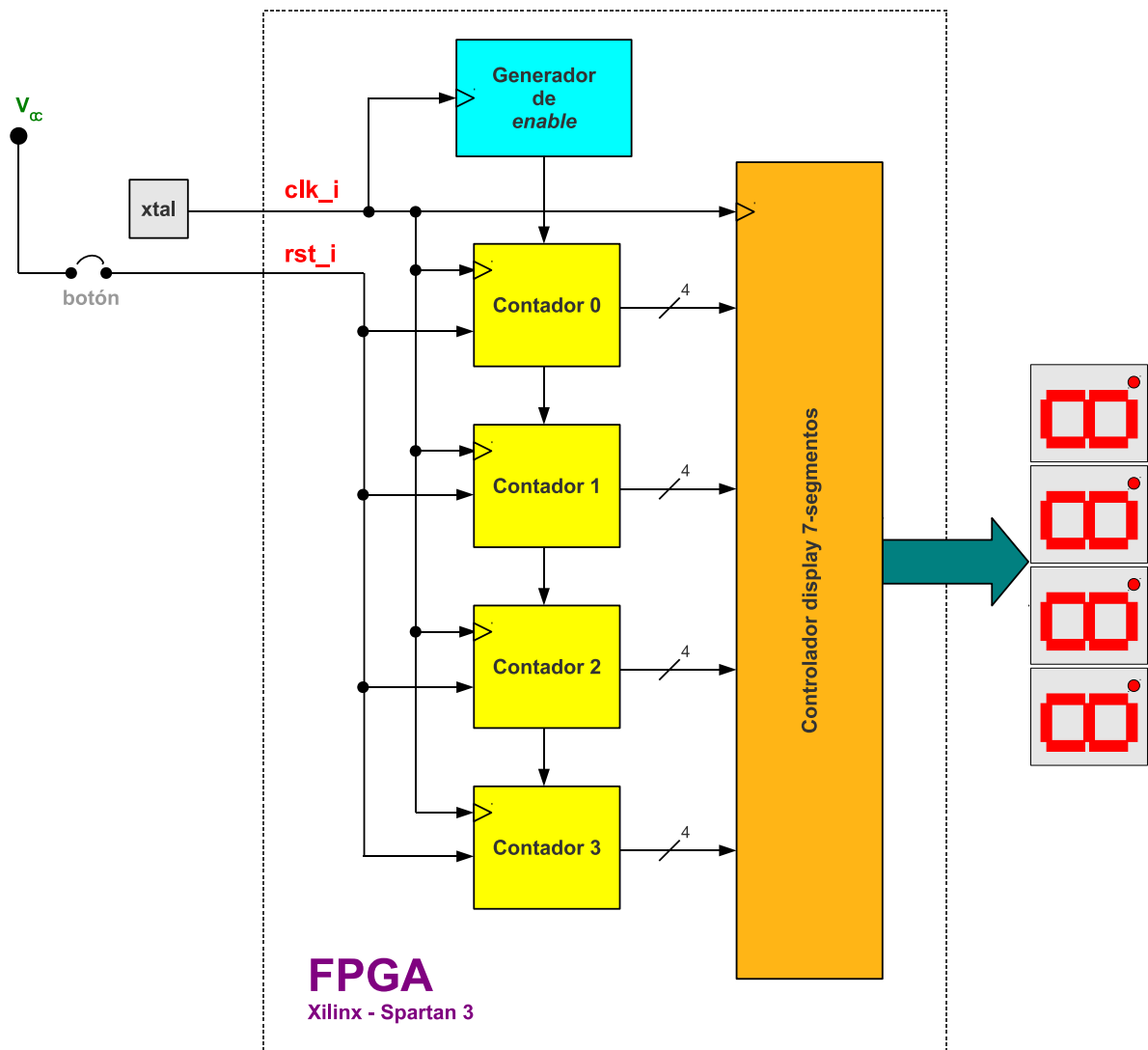


Figura 1: Diagrama en bloques de la arquitectura propuesta.

- Controlador de display 7-segmentos

La idea del trabajo práctico es implementar 4 contadores BCD. Estos deberán ser conectados de forma tal de que generen una cuenta en formato decimal. El contador poseerá una entrada de reset para inicializarlo en cero, la cual se implementará utilizando un botón (pulsador) provisto en el kit de desarrollo. Los 4 contadores alimentarán al controlador de display 7 segmentos, el cual se encargará de presentar en el display del kit de desarrollo el valor de la cuenta.

3.1. Contadores

Deberán contar de 0 a 9. Deben tener una entrada de reset que los ponga a cero y una entrada de enable. Tendrán una salida de 4 bits en la cual reflejarán el valor de la cuenta, como lo muestra la figura 2.

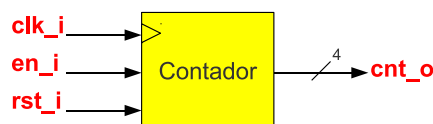


Figura 2: Contador BCD (*se instanciarán 4, como lo muestra la figura 1*).

3.2. Generador de Enable

El objetivo de este bloque es dividir la frecuencia de reloj de la placa de 50MHz a una frecuencia adecuada para que el contador pueda incrementar su cuenta cada aproximadamente 1 segundo. En la figura 3 se puede observar la forma de onda que tendrá la señal. Dicho hardware se puede implementar basándose en un contador.

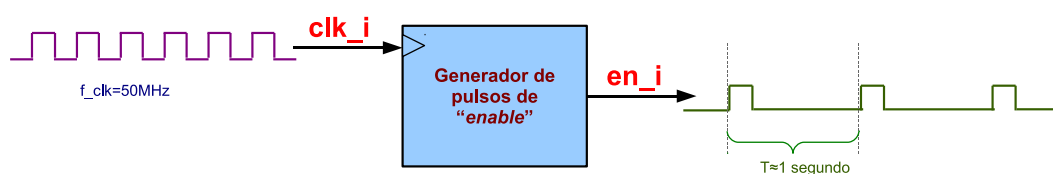


Figura 3: Generador de pulsos de enable.

3.3. Controlador de display 7-segmentos

El kit “**Spartan-3 Starter**” tiene un display de 7-segmentos de 4 caracteres el cual es controlado por los pines de entrada/salida de la FPGA.

Como se observa en la figura 4, cada dígito comparte ocho señales de control para encender cada LED individual que corresponde a un segmento del caracter. Cada caracter tiene un ánodo asociado. Poniendo un ‘0’ en el terminal de la FPGA que se conecta a ese ánodo, se selecciona el caracter a encenderse.

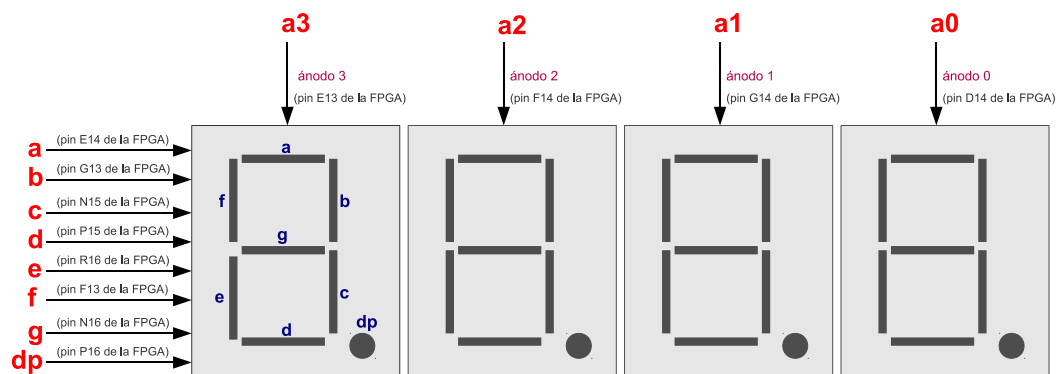


Figura 4: Conexión entre los I/Os de la FGPA y el display.

Ejemplo de funcionamiento:

Si se quiere escribir el número 3 en la segunda cifra del display, se deberán ingresar las señales como lo muestra la figura 5.

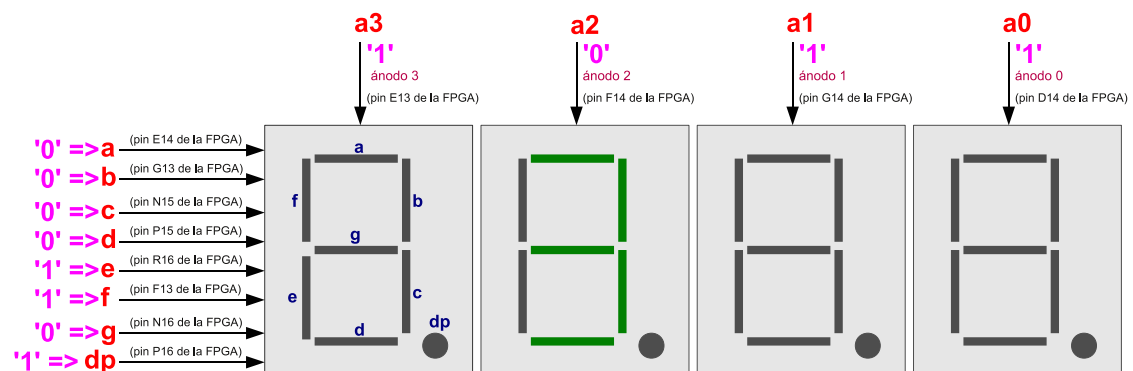


Figura 5: Estado de las señales para encender un 3 en la segunda cifra.

Para que el display pueda presentar los cuatro caracteres, se requiere multiplexar las

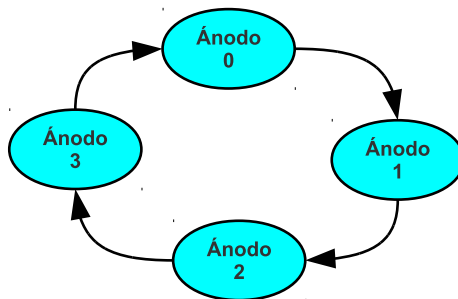


Figura 6: Secuencia de encendido de los ánodos.

señales correspondientes a los puertos a, b, c, d, e, f, g y dp. Para ello, se debe activar durante un tiempo cada uno de los cuatro ánodos del display, como lo muestra la figura 6.

Si se logra encender los ánodos lo suficientemente rápido como para “engañar” al ojo humano, el individuo que esté mirando el display percibirá que los cuatro caracteres se encuentran continuamente encendidos. Por otro lado, la frecuencia de encendido/apagado de los ánodos no debe ser tan elevada, pues a medida de que aumenta la frecuencia, aumenta el comportamiento capacitivo de los LEDs que conforman el display. Una frecuencia de unos cientos de Hz se considera adecuada para operar el display.

Se propone entonces, una posible arquitectura para implementar el controlador para el display de 7 segmentos en la figura 7.

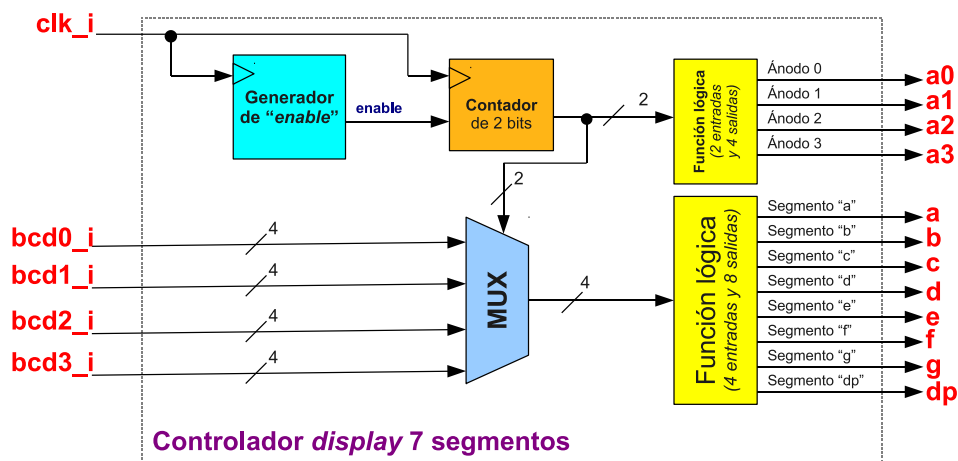


Figura 7: Arquitectura propuesta para el controlador de display 7 segmentos.

Se reconocen varios elementos que conforman el controlador, entre ellos:

- **Multiplexor (MUX):** selecciona cuál de las entradas en formato BCD se imprimirá según lo que indica el contador.
- **Funcion lógica de 4 entradas y 8 salidas:** Es la encargada de mapear los números en formato BCD a los LEDs que deben encenderse para representar dicho número.
- **Funcion lógica de 2 entradas y 4 salidas:** Es la encargada de seleccionar el ánodo según el valor del contador.
- **Contador de 2 bits:** Es el encargado de ir conmutando el ánodo para mantener los cuatro caracteres del display encendidos. La conmutación seguirá la secuencia propuesta en la figura 6.
- **Generador de enable:** Genera una señal de enable para que la conmutación de ánodos no sea muy rápida. (aprox. 1kHz)

Para mas información se puede consultar el *manual de referencia* del kit o bien el *manual de referencia* del kit *Nexys2*. En dicho manual (*kit de Nexys2*) se explica el funcionamiento del display de otra placa de desarrollo, el cual es similar al de la placa a ser utilizada en el trabajo práctico. Este material también se encuentra disponible en la página de digilent.

4. Material de apoyo

Para confeccionar el trabajo práctico, además de la bibliografía de la materia y el material disponible en la página web de la materia, se puede utilizar:

- Archivo **board_top.vhd** disponible en la página web de la materia. En dicho archivo se muestra la implementación de las asignaciones de pines en la FPGA.
- <http://www.digilentinc.com/> (página web del fabricante del kit).
- Libro (*optativo*)
FPGA PROTOTYPING BY VHDL EXAMPLES - Xilinx Spartan-3 Version
Autor: Pong P. Chu Año: 2008
Editorial: John Wiley and Sons, Inc., Hoboken, New Jersey.
ISBN 978-0-470-18531-5

5. Consideraciones extras

5.1. Modalidad de trabajo

Se recomienda enfáticamente realizar un *testbench* (simulación) por cada descripción de hardware a implementar.

Se recomienda también probar todo por separado, tanto para las descripciones en VHDL como para las pruebas con el kit de desarrollo. Una vez que se haya comprobado fehacientemente que cada descripción funcione por separado se procede a integrarlas.

5.2. Lógica en el camino del reloj

Bajo ningún concepto se aprobará un trabajo práctico en el cual haya lógica en el camino del reloj, como lo muestra el ejemplo de la figura 8. En la misma se ve como la señal de reloj, que alimenta al “Bloque 1”, es una “AND” entre la señal de reloj de la FPGA y una señal denominada “a_i”.

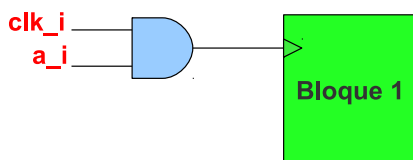


Figura 8: Ejemplo de lógica en el camino del reloj.

No utilizar más de un dominio de reloj. Tampoco utilizar falling o rising edges del reloj para lograr sincronización. **Utilizar sólo uno de los dos flancos en todos los circuitos síncronicos que se implementen.**

5.3. Estilo de codificación

No utilizar señales de tipo *bit* o *bit_vector*. Tampoco utilizar señales de tipo *inout* y/o *buffer* o señales numéricas *natural*, *integer*, etc. para puertos de entidades.

5.4. Forma de evaluación

El informe del trabajo práctico se deberá entregar antes de la fecha límite dispuesta en la página web de la materia. Se evaluará individualmente al alumno con el trabajo práctico funcionando y, en base a las preguntas realizadas por el docente, se fijará una nota del trabajo práctico.