



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

ОТЧЕТ

по лабораторной работе № 1

Название: Проектирование систем на кристалле на основе ПЛИС

Дисциплина: Архитектура ЭВМ

Студент

ИУ7И-56Б
(Группа)

(Подпись, дата)

Андрич К.

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Москва, 2022

Цель работы

Целью данной лабораторной работы является изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы необходимо ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, получить навыки проектирования СНК в САПР Altera Quartus II, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Функциональная схема разрабатываемой системы на кристалле



Система на кристалле состоит из следующих блоков:

- Микропроцессорное ядро Nios II/e выполняет функции управления системой.
- Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.
- Системная шина Avalon обеспечивает связность всех компонентов системы.
- Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внутренний сигнал сброса синхронизирован и имеет необходимую для системы длительность.
- Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.
- Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

Маршрута проектирования

Модуль в QSYS

1. Был создан новый модуль Qsys.
2. Установлена частота внешнего сигнала синхронизации 50 000 000 Гц.
3. Добавлен в проект модуль синхронизируемого микропроцессорного ядра Nios2.
4. Добавлен в проект модуль ОЗУ программ и данных.
5. Добавлены компоненты Avalon System ID, Avalon UART.
6. Создана сеть синхронизации и сброса системы.
7. Сигналы TX и RX экспортированы во внешние порты.
8. Назначены базовые адреса устройств.

Итог выполненных действий показан на рисунке

The screenshot shows the Qsys IDE interface for a project named 'nios.qsys'. The main window displays a table of components and their properties. The 'Component Library' on the left shows the 'nios.qsys' project structure. The 'Messages' window at the bottom shows information messages about memory initialization and system ID assignment.

Use	Connections	Name	Description	Export	Clock	Base	End	IRQ	Tags
<input checked="" type="checkbox"/>		clk_0	Clock Source	clk_0	clk_0				
<input checked="" type="checkbox"/>		clk_in	Clock Input	clk_0	clk_0				
<input checked="" type="checkbox"/>		clk_in_reset	Reset Input	reset	clk_0				
<input checked="" type="checkbox"/>		clk	Clock Output	clk_0	clk_0				
<input checked="" type="checkbox"/>		clk_reset	Reset Output	reset	clk_0				
<input checked="" type="checkbox"/>		onchip_memory2_0	On-Chip Memory (RAM or ROM)	Click to export	clk_0	0x00004000	0x00006003		
<input checked="" type="checkbox"/>		clk1	Clock Input	Click to export	clk_0				
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave	Click to export	clk_0				
<input checked="" type="checkbox"/>		reset1	Reset Input	Click to export	clk_0				
<input checked="" type="checkbox"/>		nios2_qsys_0	Nios II Processor	Click to export	clk_0				
<input checked="" type="checkbox"/>		clk	Clock Input	Click to export	clk_0				
<input checked="" type="checkbox"/>		reset_n	Reset Input	Click to export	clk_0				
<input checked="" type="checkbox"/>		data_master	Avalon Memory Mapped Master	Click to export	clk_0				
<input checked="" type="checkbox"/>		instruction_master	Avalon Memory Mapped Master	Click to export	clk_0				
<input checked="" type="checkbox"/>		jtag_debug_module_re	Reset Output	Click to export	clk_0				
<input checked="" type="checkbox"/>		jtag_debug_module_re	Avalon Memory Mapped Slave	Click to export	clk_0				
<input checked="" type="checkbox"/>		custom_instruction_m...	Custom Instruction Master	Click to export	clk_0				
<input checked="" type="checkbox"/>		sysid_qsys_0	System ID Peripheral	Click to export	clk_0				
<input checked="" type="checkbox"/>		clk	Clock Input	Click to export	clk_0				
<input checked="" type="checkbox"/>		reset	Reset Input	Click to export	clk_0				
<input checked="" type="checkbox"/>		control_slave	Avalon Memory Mapped Slave	Click to export	clk_0				
<input checked="" type="checkbox"/>		uart_0	UART (RS-232 Serial Port)	Click to export	clk_0				
<input checked="" type="checkbox"/>		clk	Clock Input	Click to export	clk_0				
<input checked="" type="checkbox"/>		reset	Reset Input	Click to export	clk_0				
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave	Click to export	clk_0				
<input checked="" type="checkbox"/>		external_connection	Conduit Endpoint	uart0	clk_0				

Messages

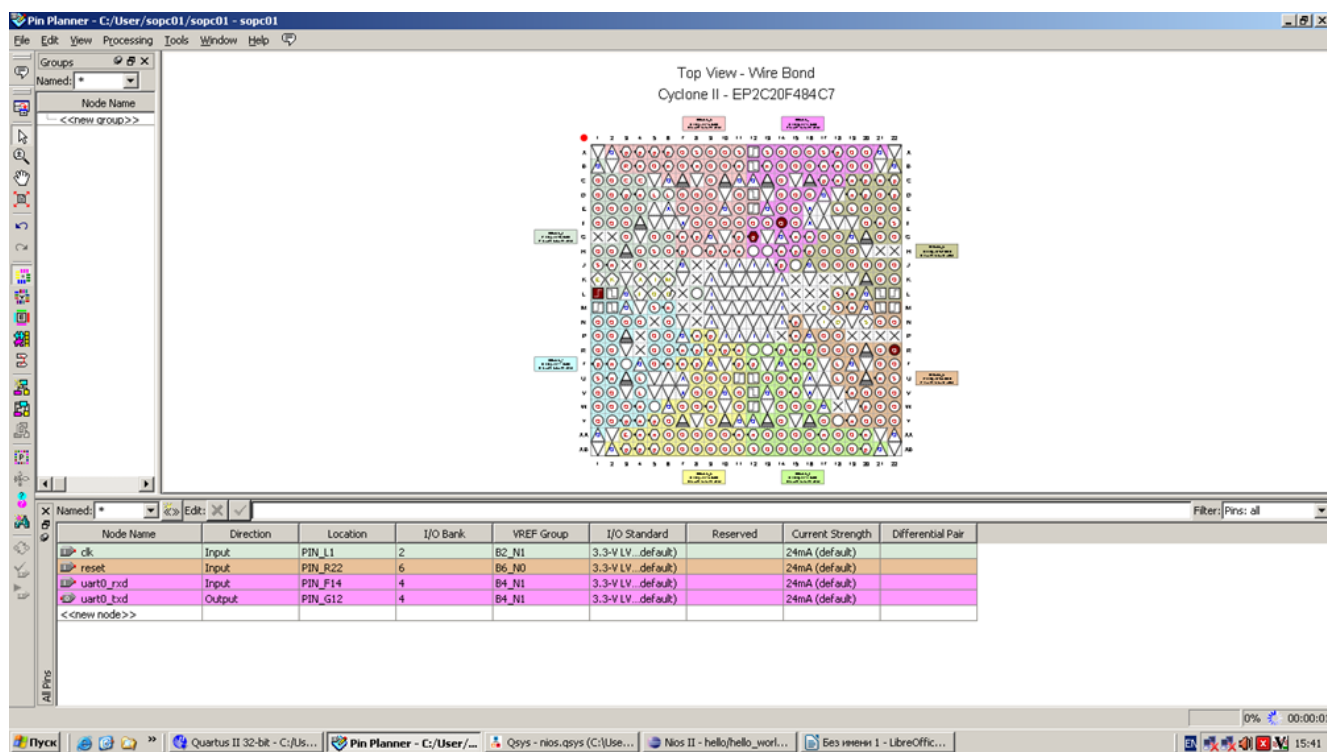
Description	Path
3 Info Messages	
Memory will be initialized from onchip_memory2_0.hex	System.onchip_memory2_0
System ID will no longer be automatically assigned.	System.sysid_qsys_0
Time stamp will be automatically updated when this component is generated.	System.sysid_qsys_0

0 Errors, 0 Warnings

Назначение портам проекта контактов микросхемы

Были назначены портам проекта контакты микросхемы в соответствии с таблицей, после чего был выполнен повторный синтез проекта

сигнал	контакт
clk	L1
reset	R22
uart0_rxd	F14
uart0_txd	G12

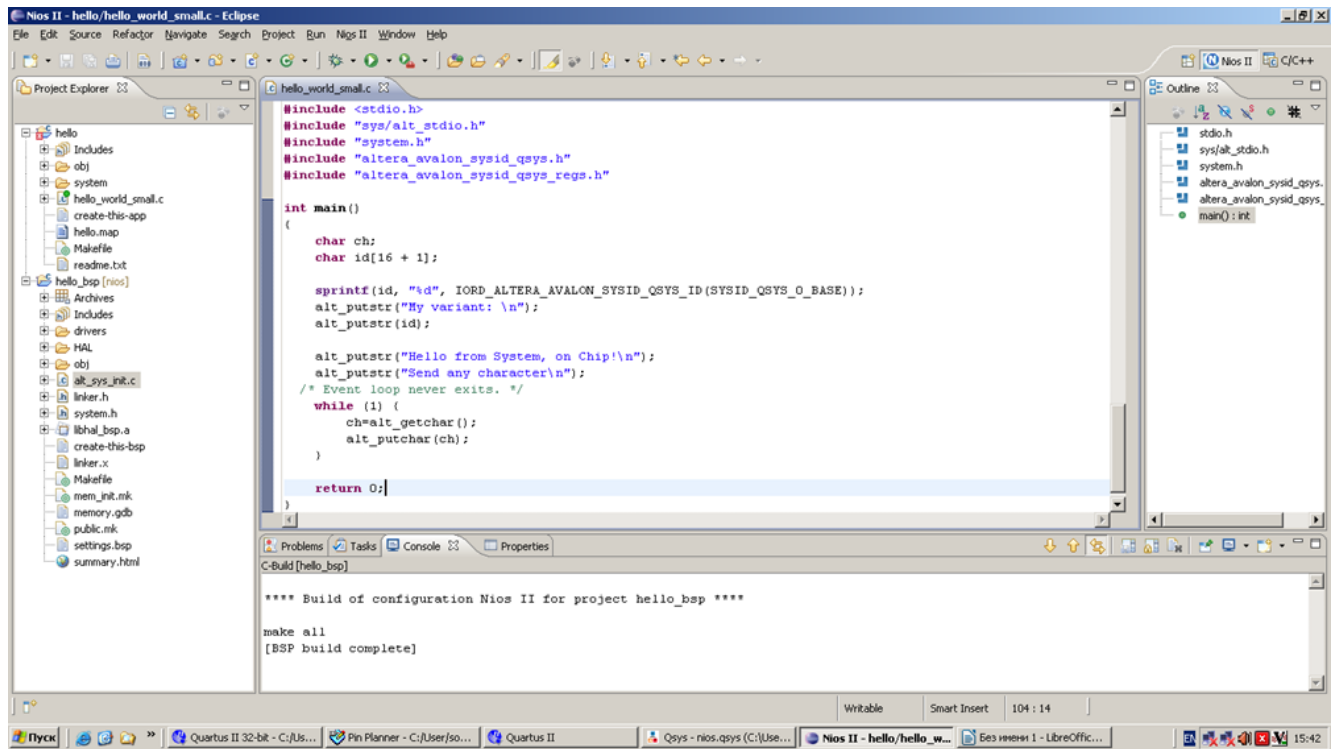


Создание проекта Nios2

В файл `hello_world_small.c` был добавлен код эхо-программы приема-передачи по интерфейсу RS232. Также был создан образ ОС HAL с драйверами устройств, используемых в аппаратном проекте.

```
#include "sys/alt_stdio.h"
int main()
{
    char ch;
    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");
    /* Event loop never exits. */
    while (1)
    {
        ch=alt_getchar();
        alt_putchar(ch);
    }
    return 0;
}
```

После успешной сборки и выполнения код программы был доработан: были добавлены строки, передающие по UART значение SystemID в виде четырех байт символов в ASCII формате.



Вывод

В ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, также были выполнены проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board